

GUILHERME SEBASTIÃO DA SILVA

**PROJETO E ANÁLISE TEÓRICO-EXPERIMENTAL
DE UM RETIFICADOR MONOFÁSICO COM
CORREÇÃO DO FATOR DE POTÊNCIA**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do grau de Engenheiro Eletricista.

Orientador: Jumar Luís Russi

**Alegrete
2011**

GUILHERME SEBASTIÃO DA SILVA

**PROJETO E ANÁLISE TEÓRICO-EXPERIMENTAL
DE UM RETIFICADOR MONOFÁSICO COM
CORREÇÃO DO FATOR DE POTÊNCIA**

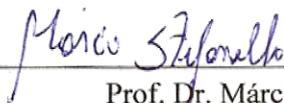
Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do grau de Engenheiro Eletricista.

Trabalho de Conclusão de Curso defendido e aprovado em: 21 de Junho de 2011

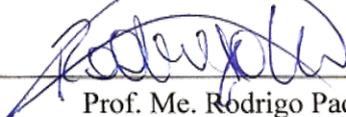
Banca Examinadora:



Prof. Dr. Jumar Luís Russi – Orientador
(Engenharia Elétrica) – UNIPAMPA



Prof. Dr. Márcio Stefanello
(Engenharia Elétrica) – UNIPAMPA



Prof. Me. Rodrigo Padilha Vieira
(Engenharia Elétrica) – UNIPAMPA

*Aos meus pais Cesar Roberto e Grace,
Aos meus irmãos Virgínia e Rafael,
Pelo incentivo, amor e dedicação.*

*À minha noiva Ana Paula
Por todo amor, carinho e incentivo dedicados.*

AGRADECIMENTOS

Minha eterna gratidão aos meus Pais, Cesar e Grace, e aos meus irmãos, Virgínia e Rafael, por todo amor, carinho, incentivo e ensinamentos. Muito obrigado por toda a dedicação, apoio e paciência para que este sonho se tornasse realidade.

À minha noiva Ana Paula, sempre presente com compreensão, incentivo, paciência, carinho e muito amor e que me deu uma razão a mais para lutar nesta vida a procura da realização de grandes sonhos.

Ao Prof. Jumar, por todo ensinamento dedicado durante a pesquisa e à realização deste trabalho, sempre muito atencioso, procurando auxiliar e esclarecer as dificuldades de forma mais clara possível e condizente com a realidade.

Aos colegas e amigos pelo convívio de grande importância, troca de experiências, momentos de felicidade e também de conhecimento adquirido.

Aos demais professores, minha gratidão pela forma como conduziram o curso, pelas ideias e experiências proporcionadas, bem como nas conversas mais informais. Agradeço também ao Prof. Márcio Stefanello pela atenção e conhecimento dados, os quais com certeza auxiliaram para realização deste trabalho.

À UNIPAMPA: corpo docente, técnicos, administração, alunos, pelo apoio durante a minha graduação, os quais com certeza estão contribuindo cada vez mais para o crescimento de uma Universidade exemplo.

À Deus pela vida.

Não me desencorajo, porque cada tentativa errada descartada é outro passo à frente.

Thomas A. Edison.

A diferença entre o impossível e o possível está na determinação de uma pessoa.

Tommy Lasorda.

RESUMO

PROJETO E ANÁLISE TEÓRICO-EXPERIMENTAL DE UM RETIFICADOR MONOFÁSICO COM CORREÇÃO DO FATOR DE POTÊNCIA

Autor: Guilherme Sebastião da Silva

Orientador: Prof. Dr. Jumar Luís Russi

Data e Local: Junho 2011, Alegrete.

Este trabalho de conclusão de curso apresenta a análise teórica e experimental de um conversor *boost* operando com correção do fator de potência. Inicialmente, após uma revisão bibliográfica, um estudo sobre a operação do conversor é apresentada, contemplando as principais formas de onda teóricas do conversor CC-CC operando como pré-regulador de fator de potência. Com base na análise teórica realizada, o projeto e a definição dos elementos que compõem o circuito do conversor são mostrados, demonstrando um procedimento baseado na análise do circuito do retificador e do conversor CC-CC. Uma modelagem por espaço de estados é apresentada para a obtenção do modelo representativo da corrente no indutor e do modelo da tensão de saída, com o objetivo de obter as características de resposta das variáveis a serem controladas. Estes modelos são utilizados no projeto dos controladores, os quais fazem parte do procedimento de projeto de controle apresentado, composto pelo projeto de um controlador proporcional para a malha de corrente e de um controlador proporcional-integral para a malha de corrente e tensão. Após são apresentados os resultados de simulação referentes à metodologia de projeto desenvolvida e comparados com a norma IEC 61000-3-2. Tanto na simulação como nos experimentos realizados em laboratório, o conversor *boost* opera em modo de condução contínua, com frequência de chaveamento constante (40 kHz) e com o sistema de controle implementado digitalmente. Os resultados experimentais obtidos com a implementação do protótipo são apresentados e comparados com a simulação, com o intuito de validar a metodologia adotada. Por fim, nos anexos constam: (i) a obtenção dos controladores digitais a partir de um método de discretização; (ii) a apresentação do protótipo implementado, com fotos e circuitos impressos utilizados; (iii) o código implementado no microcontrolador digital de sinais (dsPIC); (iv) o código desenvolvido na função-M do MATLAB/Simulink[®] para a realização do controle digital do conversor na simulação.

Palavras-chave: Controle Digital, Retificador PFC, Correção do Fator de Potência.

ABSTRACT

DESIGN AND THEORETICAL-EXPERIMENTAL ANALYSIS OF A SINGLEPHASE RECTIFIER WITH POWER FACTOR CORRECTION

Author: Guilherme Sebastião da Silva

Research Supervisor: Prof. Dr. Jumar Luís Russi

Date and Local: June/2011, Alegrete.

This completion of course work presents a theoretical and experimental analysis of a boost converter with power factor correction. Initially, after a bibliography revision, a study of converter operation is presented, beholding the main theoretical form waves of the DC-DC converter operating as power factor pre-regulator. Based on the theoretical analysis performed, the project and the definition of elements that compose the converter circuit are showed. A state space modeling is presented to obtain the representative model of the inductor current and the model of output voltage, to obtain the response features of variables to be controlled. These models are utilized in the controller's project, which are part of initial procedure of controllers project presented, composed of a proportional controller in the current control and a proportional-integral controller in the current and voltage control. After, the simulation results concerning the project methodology are showed and compared with the IEC 61000-3-2 standard. Both in simulation and in experiments, the boost converter operates in continuous conduction mode, with fixed switching frequency (40 kHz) and with the control implemented digitally. The obtained experimental results with the prototype implementation are presented and compared with simulation; in order to validate the chosen methodology. At end, in the annexes appear: (i) the obtaining of digital controllers by the discretization method; (ii) the presentation of prototype implemented, with photos and the circuits utilized; (iii) the code implemented in the digital signal microcontroller (dsPIC); (iv) the code developed in the M-Function of MATLAB/Simulink[®] to realize the digital control of converter in simulation.

Keywords: Digital Control, PFC Rectifier, Power Factor Correction.

LISTA DE FIGURAS

Figura 1.1 – Representação das cargas conectadas à rede pública de energia com a influência causada por cargas não lineares.....	19
Figura 1.2 – Esquema básico de uma UPS <i>double conversion</i>	19
Figura 1.3 – (a) Retificador monofásico ponte completa e (b) exemplo de espectro harmônico da corrente de entrada do retificador	21
Figura 1.4 – (a) Retificador <i>Boost</i> PFC e (b) exemplo de espectro harmônico da corrente de entrada obtido para uma frequência de chaveamento de 40 kHz	23
Figura 2.1 – Circuito do conversor <i>boost</i> PFC simplificado	26
Figura 2.2 – Estágios de condução do conversor <i>boost</i> . (a) Estágio 1 e (b) Estágio 2.....	27
Figura 2.3 – Modos de condução do conversor <i>boost</i> . (a) MCC. (b) MCD. (c) MCCR.....	28
Figura 2.4 – Formas de onda teóricas. (a) Tensão de <i>gate</i> e corrente do indutor. (b) Corrente da chave e do diodo.	29
Figura 2.5 – Formas de onda teóricas da corrente do indutor e da tensão de saída.....	29
Figura 2.6 – Formas de onda teóricas das correntes.....	31
Figura 2.7 – Detalhe da tensão reversa sobre o diodo.	32
Figura 2.8 – Núcleo de ferrite do tipo EE.....	34
Figura 2.9 – Demonstração da redução do efeito pelicular	36
Figura 2.10 – <i>Hold-up time</i>	38
Figura 2.11 – Primeiro estágio do <i>drive</i>	41
Figura 2.12 – Esquema interno do opto-acoplador 6N137.....	41
Figura 2.13 – Fonte regulada com zener e capacitores.....	42
Figura 2.14 – Circuito do <i>drive</i> de acionamento completo	43
Figura 2.15 – Detalhes dos pontos de medição	43
Figura 2.16 – Circuito de medição subtrator	45
Figura 2.17 – Circuito de sincronização	46
Figura 2.18 – Sinal de sincronização.....	46
Figura 3.1 – Estágios de condução do conversor <i>boost</i> . (a) Estágio 1 e (b) Estágio 2.....	47
Figura 3.2 – Comparação entre modelos (a) $D = 0,5 \rightarrow 0,505$ e (b) $D = 0,5 \rightarrow 0,48$	53
Figura 3.3 – Modo de corrente controlada	54
Figura 4.1 – Sistema de controle completo do conversor com a malha de corrente em destaque	56
Figura 4.2 – Malha de corrente.....	57
Figura 4.3 – Lugar geométrico das raízes da $G_{id}(s)$	59
Figura 4.4 – Resposta de $G_{id}(s)$ a um degrau.....	60
Figura 4.5 – Comparação das respostas de $e(s)$ a um degrau	62
Figura 4.6 – Lugar das raízes do controlador PI.....	63
Figura 4.7 – Diagrama de bode da planta $i_L(s)/d(s)$	63
Figura 4.8 – Lugar das raízes da planta $i_L(s)/d(s)$ simplificada.....	64
Figura 4.9 – Diagrama de bode da $FTMA_{CPI}$	66
Figura 4.10 – Malha de controle de tensão.....	67
Figura 4.11 – Lugar das raízes para a planta $G_{vi}(s)$	68

Figura 4.12 – Resposta em frequência para $FTMF_{Cv}$	70
Figura 4.13 – Esquema do circuito simulado	71
Figura 4.14 – Diagrama de bode com o controlador 2	72
Figura 4.15 – Resposta em frequência com o uso do controlador 3.....	73
Figura 4.16 – Corrente de entrada para o (a) Controlador 1, (b) o Controlador 2 e (c) o Controlador 3.....	74
Figura 4.17 – Corrente de entrada. (a) Controlador 1, (b) Controlador 2 e (c) Controlador 3. 75	
Figura 4.18 – Tensão de saída. (a) $P_s = 400\text{ W} \rightarrow 800\text{ W}$. (b) $P_s = 800\text{ W} \rightarrow 400\text{ W}$. (c) Detalhe da ondulação da tensão de saída para (a).....	76
Figura 4.19 – Corrente de entrada. (a) $P_s = 400\text{ W} \rightarrow 800\text{ W}$. (b) $P_s = 800\text{ W} \rightarrow 400\text{ W}$	77
Figura 5.1 – Tensão e corrente de entrada do retificador. (Canal 1) Corrente (2A/div) e (Canal 2) Tensão (10 V/div)	79
Figura 5.2 – Corrente de entrada retificador e sinal de sincronização. (Canal 1, Corrente, 2A/div - Canal 2, Sinal de sincronização, 2 V/div)	80
Figura 5.3 – Corrente de entrada retificador (a) três ciclos de 60 Hz e (b) ampliada	81
Figura 5.4 – Tensão de saída e corrente de entrada do conversor (Canal 1, Tensão, 50V/div - Canal 2, Corrente, 2 A/div) em (a). Tensão de saída com acoplamento CA e corrente de entrada (Canal 1, Tensão, 5V/div - Canal 2, Corrente, 2A/div) em (b)	81
Figura 5.5 – Comparação com degrau de carga (a) Experimental. (b) Simulação.....	82
Figura 5.6 – Corrente de entrada retificador e sinal da medição de corrente. (a) amplificador diferencial de instrumentação. (b) amplificador subtrator	83
Figura 5.7 – Aquisições da corrente de entrada retificador utilizando: (a) amplificador diferencial de instrumentação. (b) amplificador subtrator	84
Figura A.1 – Representação com aritmética de ponto fixo	91
Figura A.2 – Verificação do valor real do ganho K_{1Q14}	94
Figura B.1 – Esquemático completo do sistema implementado. (a) Conversor. (b) Fonte de alimentação e dsPIC. (c) <i>Drive</i> de acionamento. (d) Circuitos de medição. (e) Circuito de sincronização	95
Figura B.2 – Leiaute do circuito de medição e sincronização.....	96
Figura B.3 – Leiaute do <i>drive</i> de acionamento implementado.....	96
Figura B.4 – Foto do <i>drive</i> de acionamento implementado	97
Figura B.5 – Foto do conversor <i>boost</i> PFC implementado em (a) e do protótipo completo em (b)	97
Figura C.1 – Placa McBoard dsPIC33F	99

LISTA DE TABELAS

Tabela 1 – Parâmetros de projeto	30
Tabela 2 – Núcleos de ferrite tipo EE.....	35
Tabela 3 – Tabela de condutores de cobre esmaltado	37
Tabela 4 – Parâmetros do circuito da simulação	71
Tabela 5 – Parâmetros dos controladores de corrente	72
Tabela 6 – Distorção Harmônica Total da Corrente.....	74
Tabela 7 – Parâmetros utilizados no conversor	78
Tabela 8 – Resultado do cálculo da FFT e da THD da corrente de entrada.....	79
Tabela 9 – Componentes utilizados no protótipo	98
Tabela 10 – Descrição de cada conector da placa McBoard	99

LISTA DE SIGLAS

AWG	–	Seção de um condutor na <i>American Wire Gauge</i>
CA	–	Corrente Alternada
CC	–	Corrente Contínua
dsPIC	–	Microcontrolador Digital de Sinais
EMI	–	Interferência Eletromagnética, <i>Electromagnetic Interference</i>
FFT	–	Transformada Rápida de Fourier, <i>Fast Fourier Transform</i>
FP	–	Fator de Potência
IEC	–	<i>International Electrotechnical Commission</i>
MCC	–	Modo de Condução Contínua, <i>Continuous Conduction Mode</i>
MCD	–	Modo de Condução Descontínua, <i>Discontinuous Conduction Mode</i>
MCCR	–	Modo de Condução Crítica, <i>Critical Conduction Mode</i>
MOSFET	–	<i>Metal-Oxide Semiconductor Field Effect Transistor</i>
PFC	–	Correção do Fator de Potência, <i>Power Factor Correction</i>
PPF	–	Pré-Regulador de Fator de Potência
P	–	Proporcional
PI	–	Proporcional-Integral
PLL	–	<i>Phase Locked Loop</i>
PWM	–	Modulação por Largura de Pulso, <i>Pulse Width Modulation</i>
SEP	–	Sistema Elétrico de Potência
THD	–	Distorção Harmônica Total, <i>Total Harmonic Distortion</i>
UPS	–	Fonte Ininterrupta de Energia, <i>Uninterruptible Power Supply</i>

LISTA DE SÍMBOLOS

A_e	–	área efetiva do núcleo do indutor
A_w	–	área da janela do indutor
A_T	–	área total ocupada pelo condutor de cobre
A_C	–	área do condutor com isolamento
B_{max}	–	campo magnético máximo do núcleo
C	–	capacitor de saída
C_{dx}	–	capacitores do <i>drive</i> ($x = 1,2...3$)
D_b	–	diodo <i>boost</i>
D_d	–	diodo do <i>drive</i>
D_{zd}	–	diodo zener do <i>drive</i>
D_1-D_4	–	diodos retificadores
d_m	–	diâmetro máximo do condutor de cobre esmaltado
D_{max}	–	razão cíclica máxima
$d(t)$	–	razão cíclica no tempo
$FTMA_{NCi}$	–	função de transferência malha aberta não compensada da corrente
$FTMA_{NCv}$	–	função de transferência malha aberta não compensada da tensão
$FTMA_{Ci}$	–	função de transferência malha aberta compensada da corrente
$FTMA_{Cv}$	–	função de transferência malha aberta compensada da tensão
$FTMF_{Ci}$	–	função de transferência malha fechada compensada da corrente
$FTMF_{Cv}$	–	função de transferência malha fechada compensada da tensão
f_{cz}	–	frequência de cruzamento por zero
f_c	–	frequência de chaveamento
f_e	–	frequência da tensão de entrada
F_{cy}	–	frequência interna do microcontrolador
F_{osc}	–	frequência do oscilador
$G_{id}(s)$	–	função de transferência $i_L(s)/d(s)$
$G_{vi}(s)$	–	função de transferência $v_s(s)/i_L(s)$
$H_i(s)$	–	função de transferência do sensor de corrente
$H_v(s)$	–	função de transferência do sensor de tensão
I_1	–	amplitude da corrente fundamental
I_{2x2}	–	matriz identidade de dimensão 2x2
i_C	–	corrente no capacitor de saída
I_{ch_ef}	–	corrente eficaz na chave semicondutora
i_{D1}	–	corrente no diodo da ponte retificadora
I_{db_med}	–	corrente média no diodo <i>boost</i>
i_e	–	corrente de entrada
I_{e_ef}	–	corrente de entrada eficaz
I_{e_pico}	–	corrente de entrada de pico
i_{ret}	–	corrente de entrada retificada

- ΔI_L – variação na corrente no indutor
 i_L – corrente no indutor
 I_n – amplitude da n-ésima harmônica
 I_{s_max} – corrente de saída máxima
 J_{max} – densidade máxima de corrente
 K – constante estática de posição
 K_P – ganho controlador proporcional
 K_{PI} – ganho controlador proporcional-integral
 k_w – fator de ocupação do cobre
 L – indutor de entrada
 M^T – matriz transposta da matriz M
 N – número de espiras do indutor
 n_p – número de condutores em paralelo
 η – rendimento do sistema
 P_e – potência de entrada
 P_s – potência de saída
 P_{Rm5} – potência da resistência de medição 5
 p_i – polo do controlador proporcional-integral
 Q_x – transistores do drive
 R_s – resistência de saída ou carga
 R_{dx} – resistências para o drive ($x = 1,2...9$)
 R_{md} – resistências para circuitos de medição
 R_{mx} – resistências para divisores de medição ($x = 1,2...5$)
 R_{sx} – resistências para circuito de sincronização ($x = 1,2...6$)
 S_I – chave semicondutora
 S_C – seção da chave semicondutora
 S_T – chave semicondutora
 t – tempo
 t_h – tempo de sustentação da tensão de saída
 T – período de tempo da condução da chave semicondutora
 T' – período de tempo do bloqueio da chave semicondutora
 T_e – período da tensão de entrada
 T_s – período de chaveamento
 T_a – período de amostragem
 θ_1 – ângulo da fundamental
 $u(t)$ – vetor de entrada
 U – vetor de entrada em regime permanente
 U_d – circuito integrado do drive
 U_x – circuito integrado da medição e sincronização ($x = 1,2...3$)
 $\hat{u}(t)$ – vetor de entrada com perturbação
 $\pm V_{CC}$ – tensão de alimentação dos circuitos de medição e de acionamento
 v_e – tensão de entrada

V_{e_ef}	–	tensão de entrada eficaz
V_{e_pico}	–	tensão de entrada
v_s	–	tensão de saída
v_g	–	tensão de <i>gate</i> do MOSFET
v_{sinc}	–	tensão de entrada para sincronização
v_{ms}	–	tensão de saída medida
v_{ref}	–	ponto de referência das medições
v_{rd}	–	tensão reversa do diodo
ω_{cz}	–	frequência angular de cruzamento por zero
$x(t)$	–	vetor de estados
X	–	vetor de estados em regime permanente
$\hat{x}(t)$	–	vetor de estados com perturbação
$y(t)$	–	vetor de saída
Y	–	vetor de saída em regime permanente
$\hat{y}(t)$	–	vetor de saída com perturbação
z_i	–	zero do controlador proporcional-integral

SUMÁRIO

LISTA DE FIGURAS	IX
LISTA DE TABELAS	XI
LISTA DE SIGLAS	XII
LISTA DE SÍMBOLOS	XIII
1 INTRODUÇÃO GERAL.....	18
1.1 Fator de Potência e Distorção Harmônica.....	20
1.2 Pré-Reguladores de Fator de Potência (PFP).....	22
1.3 Contribuição do Trabalho	24
1.4 Organização do Trabalho	24
2 ANÁLISE TEÓRICA DO PRÉ REGULADOR DE FATOR DE POTÊNCIA.....	26
2.1 Introdução	26
2.2 Etapas de operação do Conversor <i>Boost</i> PFC	26
2.3 Projeto do circuito de potência.....	30
2.3.1 Cálculo das correntes do conversor e semicondutores.....	31
2.3.2 Especificações da ponte retificadora	32
2.3.3 Cálculo da Razão Cíclica	33
2.3.4 Cálculo da indutância	33
2.3.5 Projeto físico do indutor	33
2.3.6 Projeto do capacitor.....	38
2.3.7 Definição do diodo <i>boost</i>	39
2.4 Definição da Chave Semicondutora.....	39
2.5 Projeto do <i>drive</i> de acionamento.....	40
2.6 Projeto dos circuitos de medição	43
2.7 Projeto do circuito de sincronização	45
3 MODELAGEM DO CONVERSOR <i>BOOST</i>	47
3.1 Introdução	47
3.2 Modelo relativo à corrente de entrada.....	47
3.2.1 Estágio 1	48
3.2.2 Estágio 2	49
3.2.3 Equações Equilíbrio	50
3.2.4 Modelo de pequenos sinais.....	51
3.2.5 Validação do modelo.....	52
3.3 Modelo relativo à tensão de saída	53
4 PROJETO DO SISTEMA DE CONTROLE.....	56
4.1 Introdução	56
4.2 Projeto	56
4.3 Malha interna do controle de corrente	57
4.3.1 Projeto de um Controlador Proporcional.....	59
4.3.2 Projeto de um Controlador PI.....	62
4.4 Malha Externa de Tensão.....	67
4.5 Resultados de Simulação.....	71
5 RESULTADOS EXPERIMENTAIS.....	78
5.1 Introdução	78
5.2 Resultados da malha de corrente.....	78
5.3 Circuitos de medição e sincronização	83
6 CONSIDERAÇÕES FINAIS	85

REFERÊNCIAS BIBLIOGRÁFICAS	87
ANEXO A. CONTROLE DIGITAL	90
ANEXO B. IMPLEMENTAÇÃO DO PROTÓTIPO	95
ANEXO C. UNIDADE DE CONTROLE	99
ANEXO D. CÓDIGO EM .M PARA SIMULAÇÃO DO CONTROLE NO MATLAB/SIMULINK®	102
ANEXO E. CÓDIGO DESENVOLVIDO PARA DSPIC	105

1 INTRODUÇÃO GERAL

Atualmente, a energia é sem dúvida um fator extremamente importante para a sobrevivência da humanidade, além disso, descobrir novas fontes de energia e formas alternativas de geração de energia que atendam às necessidades da sociedade é fundamental.

Em relação ao suprimento energético, a eletricidade tornou-se uma das formas de energia mais versáteis, com seu uso indispensável e estratégico para o desenvolvimento socioeconômico e tecnológico de muitas regiões e países, devido principalmente ao baixo custo de produção e transporte quando comparada à outras fontes energéticas, tais como: petróleo, gás natural, entre outras.

Apesar dos benefícios e dos avanços tecnológicos proporcionados pela energia elétrica, estudos da Agência Internacional de Energia (IEA, *International Energy Agency*) mostram que um quinto da população mundial ainda não tem acesso a esse recurso, e dos quatro quintos restantes, uma parcela considerável é atendida de forma precária. Estudos como este mostram que a situação ocorre principalmente pelo aumento da população mundial, o que por consequência aumenta significativamente o consumo de energia elétrica. Neste sentido, fica evidente que o Sistema Elétrico de Potência (SEP) interligado (geração, transmissão e distribuição) necessita expandir-se para atender à recente demanda de energia, o que o torna maior e mais complexo.

No entanto, o SEP não é um sistema totalmente confiável, estando suscetível a falhas mesmo que ocorram investimentos na construção de novas usinas de geração e demais linhas de transmissão, não sendo possível garantir o fornecimento de energia de maneira ininterrupta. Normalmente os equipamentos elétricos são diretamente conectados à rede pública de energia, os quais ficam vulneráveis a determinados distúrbios que ocorrem no sistema, tais como: afundamentos de tensão, interrupções, sobretensões, harmônicos de corrente e tensão, entre outros.

Na Figura 1.1 é ilustrada a conexão de uma carga não linear juntamente com cargas lineares, onde se evidencia que corrente distorcida da carga não linear influencia diretamente na tensão da rede. Este problema causa a distorção e/ou incorreto funcionamento das cargas lineares conectadas juntamente conforme também é exposto nas formas de onda da Figura 1.1.

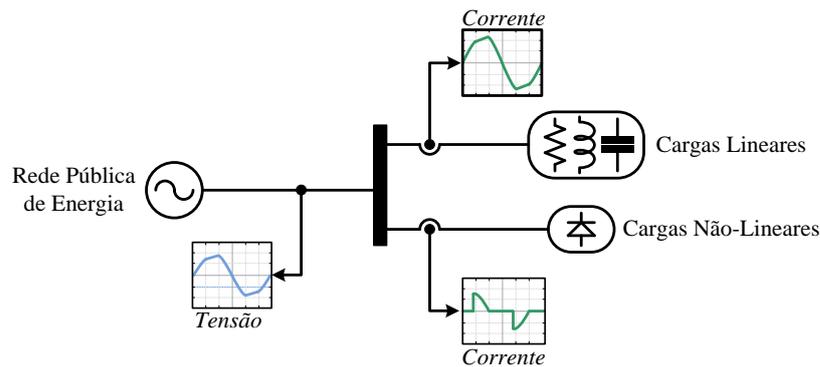


Figura 1.1 – Representação das cargas conectadas à rede pública de energia com a influência causada por cargas não lineares

Neste contexto, a utilização de componentes eletrônicos para reduzir a vulnerabilidade dos equipamentos à distúrbios de energia cresceu bastante nos últimos anos[5]-[7], uma vez que equipamentos de telecomunicações e de suporte à vida, assim como bancos e hospitais não podem ficar susceptíveis a tais falhas. Uma alternativa bastante comum é o uso de uma fonte ininterrupta de energia (UPS, *Uninterruptible Power Supply*) [5], ilustrada na Figura 1.2.

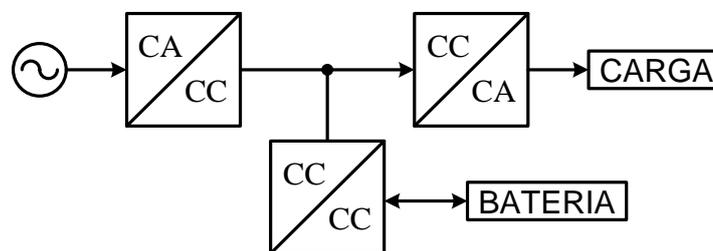


Figura 1.2 – Esquema básico de uma UPS *double conversion*

Como ilustrado, o esquema básico da UPS *double conversion* é constituído por um conversor estático (CA/CC/CA) que processa a energia fornecida pela fonte primária e gerencia a carga e a descarga da bateria através de um conversor CC/CC para que a carga seja suprida no caso da ocorrência de falta de energia elétrica e a bateria seja carregada no caso de energia excedente. Esta estrutura é composta basicamente por um retificador (conversor CA/CC), um elemento armazenador de energia (bateria) e um inversor (conversor CC/CA)[5]. Devido a esta estrutura estar conectada diretamente à rede elétrica, dependendo da topologia escolhida para o estágio de entrada, a qualidade de energia elétrica pode ser afetada.

Neste sentido, para o estágio de retificação existem inúmeras topologias apresentadas na literatura, tais como: retificador passivo a diodos, retificador com tiristores, *full-bridge*,

half-bridge, retificador com *boost* ou *buck* em série, entre outros [3], sendo que algumas possuem a característica de elevado fator de potência.

Dentre as estruturas descritas anteriormente para o estágio de entrada, o retificador passivo a diodos demonstra ser a solução mais simples e com o custo mais reduzido quando conectado a um filtro capacitivo, devido ao número reduzido de componentes associados ao mesmo. No entanto, esta estrutura produz uma corrente distorcida na entrada, o que diminui significativamente o fator de potência e drena correntes harmônicas da rede elétrica.

A respeito da qualidade de energia e/ou das perdas de energia elétrica, estas normalmente estão relacionadas com a sobrecarga dos sistemas, fator de potência (FP) reduzido, com as fugas de corrente de diversas naturezas e com a elevada distorção harmônica, os quais provocam a redução da potência total disponível, bem como da vida útil dos equipamentos envolvidos. Deste modo, fatores que reduzem a qualidade de energia elétrica normalmente estão associados ao aumento excessivo da potência aparente ou total demandada, bem como com o surgimento da potência reativa a qual deve ser compensada e/ou minimizada.

1.1 Fator de Potência e Distorção Harmônica

A análise do estágio de entrada de estruturas retificadoras convencionais conectadas a capacitores mostra que estas estruturas operam convertendo a tensão CA em CC. Este processo gera correntes de entrada de elevado conteúdo harmônico, as quais reduzem o fator de potência e conseqüentemente afetam a qualidade de energia elétrica.

Com base na literatura, um conceito formal de Fator de Potência (FP) pode ser definido como uma figura de mérito, a qual mede a eficiência com que a energia é transmitida entre a fonte e a carga [1]. Outra definição encontrada mostra que o FP é a relação entre potência ativa e potência aparente consumidas por um dispositivo ou equipamento, independente das formas de onda que as tensões e correntes apresentem, desde que os sinais sejam periódicos [2]. Apesar das diferentes definições para o Fator de Potência, fica evidente o princípio da eficiência no sistema elétrico de potência.

As Figuras 1 (a) e (b) ilustram o comportamento da corrente de entrada de um retificador de ponte completa não-controlado com o respectivo espectro harmônico, que mostra que a presença de componentes harmônicas de ordem ímpar, sendo as harmônicas de 3ª, 5ª, 7ª e 9ª ordem as mais significativas na distorção da forma de onda.

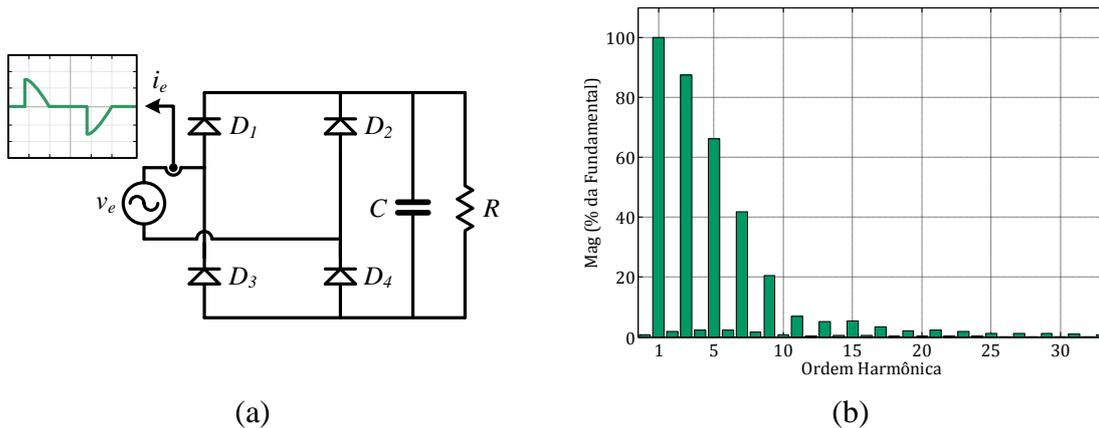


Figura 1.3 – (a) Retificador monofásico ponte completa e (b) exemplo de espectro harmônico da corrente de entrada do retificador

Em um sistema elétrico, o conteúdo harmônico presente nos sinais de tensão e corrente pode ser representado por um índice conhecido como distorção harmônica total (THD, *Total Harmonic Distortion*), o qual representa a relação existente entre os valores eficazes das componentes harmônicas e a da frequência fundamental [14], sendo apresentada na Equação (1.1).

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} I_n^2}}{I_1} \quad (1.1)$$

Onde: I_n é a amplitude da n-ésima harmônica;

I_1 é a amplitude da fundamental.

Uma THD elevada significa elevado conteúdo harmônico, ou seja, é mais potência reativa drenada, o que ocasiona o sobreaquecimento de condutores e de transformadores, consequentemente reduzindo a vida útil destes elementos. Além disso, o FP é diretamente influenciado pela presença de distorção harmônica no sistema, devido ao aumento da potência reativa. Esta relação é apresentada na Equação (1.2).

$$FP = \frac{\cos(\theta_1)}{\sqrt{1 + THD^2}} \quad (1.2)$$

Onde: θ_1 o ângulo da fundamental.

Deste modo, fica evidente a relação entre o FP e a THD absorvida. Neste sentido existem normas regulamentadoras do setor elétrico, as quais visam à limitação do conteúdo harmônico introduzido no sistema elétrico por cargas não lineares.

A regulamentação dos valores máximos estabelecidos para as harmônicas de corrente em equipamentos é apresentada na Norma IEC 6100-3-2, a qual é utilizada como base neste trabalho.

1.2 Pré-Reguladores de Fator de Potência (PFP)

Com o intuito de atender as restrições impostas pela norma supracitada, faz-se necessário o uso de circuitos específicos, denominados circuitos de correção do FP, os quais são divididos em circuitos passivos e ativos.

Segundo a literatura, os circuitos passivos utilizados para a correção do FP podem ser caracterizados como robustos, afetam a forma de onda na frequência fundamental, possuem operação silenciosa, porém são volumosos e pesados e não possibilitam a regulação da tensão [2]-[3], não sendo uma boa opção quando o objetivo é redução de volume e peso juntamente com rendimento elevado.

Já os ativos podem ser uma boa opção quando se deseja atender a norma sem a necessidade de substituir os equipamentos conectados no sistema elétrico, como exemplo a aplicação de filtros ativos em paralelo. Entretanto, na construção de componentes modernos com alto fator de potência, o uso de topologias pré-reguladoras do fator de potência pode ser uma solução satisfatória, vindo a substituir equipamentos somente a base de retificadores a diodo [3]. Estas topologias pré-reguladoras normalmente são compostas por um retificador a diodos em série com um conversor CC-CC, sendo por meio do segundo que ocorre a correção do fator de potência da entrada [1]-[3].

Na Figura 1.4 (a) é apresentado o Retificador *Boost* PFC, o qual sintetiza a forma de onda da corrente de entrada mais próxima a senoidal, caracterizando um sinal de baixo conteúdo harmônico, como visto no espectro harmônico da Figura 1.4 (b). Comparando com o espectro do retificador a diodos da Figura 1.3 (b), fica evidente que há uma melhoria com a utilização do conversor *Boost* em série, uma vez que as magnitudes das harmônicas mais significativas são reduzidas de forma bastante efetiva.

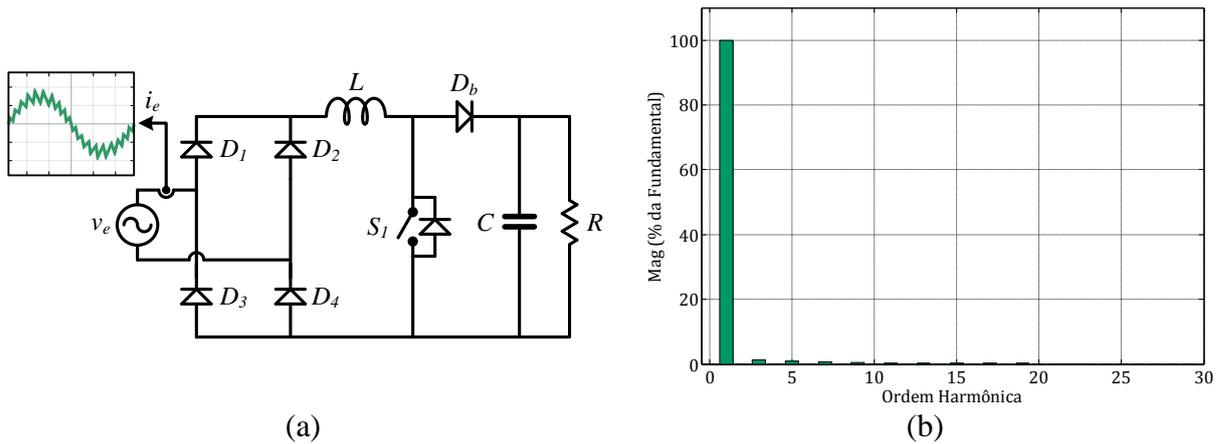


Figura 1.4 – (a) Retificador *Boost* PFC e (b) exemplo de espectro harmônico da corrente de entrada obtido para uma frequência de chaveamento de 40 kHz

Neste sentido, metodologias de projeto para a correção do fator de potência de conversores estáticos têm sido estudadas para o aumento da eficiência dos mesmos [5] e[7], bem como o estudo de técnicas de controle que apresentam uma contribuição significativa na correção, quando bem projetadas [3]-[4].

Segundo a literatura, a topologia que se apresenta mais interessante para aplicações com potência inferior a 2 kVA é o *boost* operando com correção de fator de potência (PFC, *Power Factor Correction*) [5]. Neste sentido, a estrutura apresenta vantagens, tais como [6]-[8]:

- i) Operação com correção de fator de potência e com baixa distorção harmônica de entrada;
- ii) O indutor na entrada do conversor absorve variações bruscas na tensão da rede, de modo a não afetar o restante do circuito;
- iii) Localização da chave semicondutora permite o acionamento de forma simples (referenciada ao terra do conversor) sem a necessidade de um *drive* isolado;
- iv) No modo de condução contínua (MCC) a interferência eletromagnética (EMI, *ElectroMagnetic Interference*) é bastante reduzida, não sendo necessário o uso de filtro na entrada para aplicações de pequena potência;

Outros conversores CC-CC podem operar como pré-reguladores de fator de potência, como o *Buck*, *Buck-Boost*, SEPIC, *Cuk*, porém este trabalho concentra-se no estudo da estrutura *Boost* operando em modo de condução contínua (MCC), por apresentar simplicidade estrutural e possuir as vantagens descritas anteriormente.

1.3 Contribuição do Trabalho

Este trabalho traz uma contribuição interdisciplinar para os acadêmicos do curso de engenharia elétrica, tanto em termos de projeto de controladores bem como em termos de implementação prática. As principais contribuições deste trabalho de conclusão de curso são:

- Projeto e modelagem de um conversor *boost*;
- Projeto e implementação do controle digital, bem como de um protótipo do conversor, incluindo sistema de medição e sincronização;
- Análise do sistema controle bem como da corrente gerada pelo mesmo.

1.4 Organização do Trabalho

Este trabalho será distribuído em quatro capítulos. No primeiro capítulo é exposta a análise teórica do conversor *Boost*, onde são mostradas as principais características de operação do conversor. Além disso, este capítulo contempla o projeto dos elementos físicos dos circuitos: conversor, *drive* de acionamento, medição e sincronização.

O segundo capítulo contém a definição dos modelos que foram utilizados no projeto do sistema de controle, tendo como principal objetivo uma abordagem metodológica para a determinação dos mesmos a partir dos estudos referenciados. Também são apresentados resultados de simulação para validar o modelo obtido para a malha de corrente.

No terceiro capítulo são realizados os projetos dos controladores com base na análise teórica e nos modelos para cada malha de controle. Ao final do capítulo são apresentados resultados de simulação comprovando o funcionamento dos controladores projetados, e expondo as principais características das respostas.

No capítulo quatro são mostrados os resultados experimentais obtidos com o protótipo montado em laboratório, mostrando o funcionamento de cada malha de controle e uma comparação da distorção harmônica das correntes com a norma IEC 61000-3-2.

Este trabalho contém cinco anexos. O primeiro traz o procedimento utilizado para discretizar os controladores obtidos via cálculo. O segundo apresenta o protótipo implementado, contemplando fotos dos circuitos bem como os leiautes de cada placa de circuito impresso. No terceiro são apresentadas as características do Kit de desenvolvimento

dsPIC utilizado, demonstrando as principais funções e instruções utilizadas. Os dois anexos finais contêm os códigos implementados no MATLAB/Simulink[®] e no microcontrolador digital de sinais (dsPIC).

2 ANÁLISE TEÓRICA DO PRÉ REGULADOR DE FATOR DE POTÊNCIA

2.1 Introdução

O conversor *boost* é um conversor CC-CC não isolado, que possui a característica da tensão de saída ser maior ou igual à tensão de entrada, a qual é obtida a partir do chaveamento dos elementos semicondutores do circuito (chave e diodo).

Neste capítulo, os dois estágios de operação do conversor *boost* PFC são apresentados, demonstrando suas características de operação bem como suas principais formas de onda. Além disso, é apresentado o projeto do estágio de potência, contemplando o projeto físico do indutor, o cálculo da indutância e da capacitância e o projeto dos dispositivos semicondutores do circuito (chave semicondutora e diodos).

2.2 Etapas de operação do Conversor *Boost* PFC

A operação de conversores CC-CC normalmente está relacionada à condução ou bloqueio dos elementos semicondutores do circuito, caracterizando no mínimo dois estágios de operação. Os estágios de operação do conversor *boost* com correção do fator de potência são os mesmos da configuração CC-CC sem o retificador. No entanto, a modulação da chave semicondutora é modificada com o intuito de reproduzir a corrente senoidal na entrada do retificador.

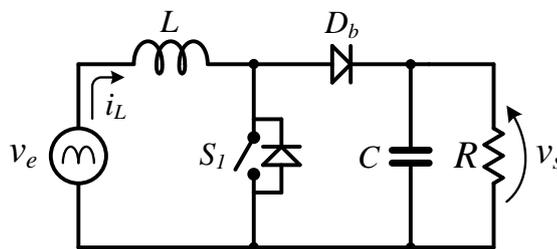


Figura 2.1 – Circuito do conversor *boost* PFC simplificado

Neste contexto, o circuito do conversor elevador operando como PFC pode ser simplificado como o da Figura 2.1, o qual foi utilizado como base para o estudo dos estágios do conversor, onde a ponte retificadora da entrada foi substituída por uma fonte senoidal pulsada.

Neste sentido, o conversor *boost* opera de acordo com os dois estágios ilustrados nas Figura 2.2 (a) e (b). No intervalo de tempo que ocorre o Estágio 1, $0 \leq t < d(t)T_s$, a chave semicondutora S_I encontra-se em condução e a energia da rede é transferida para o indutor L . Além disso, o diodo D_b está bloqueado e a carga R recebe energia do capacitor C , previamente carregado. A tensão sobre o indutor L é positiva e a corrente cresce de forma linear.

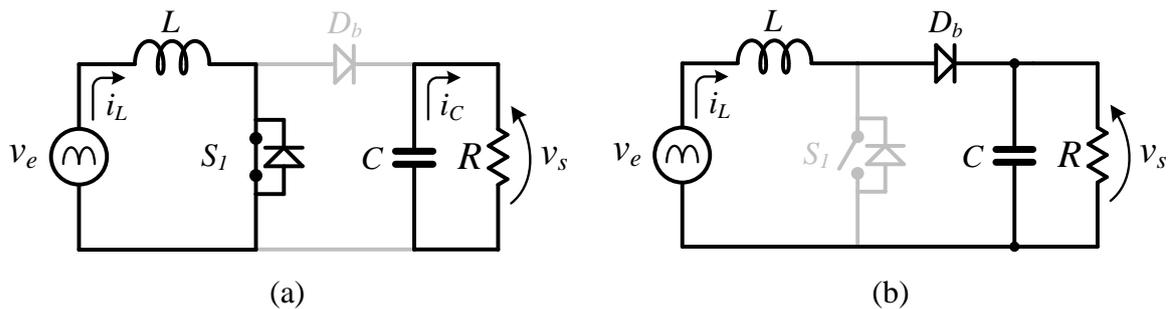


Figura 2.2 – Estágios de condução do conversor *boost*. (a) Estágio 1 e (b) Estágio 2

No segundo estágio, com o intervalo de tempo $d(t)T_s \leq t < T_s$ bloqueia-se a chave semicondutora S_I . Neste instante, sabendo que o indutor se opõe à variação de corrente, a tensão sobre o mesmo é invertida, fazendo com que o diodo D_b entre em condução. Ocorre então a transferência de energia da fonte v_e para C e para R . Neste período a corrente do indutor decresce praticamente de forma linear, carregando o capacitor de saída.

Dependendo da forma de acionamento do circuito e das características passivas (valores de indutância, capacitância e resistência), a corrente de entrada do conversor *boost* pode ser classificada de três formas diferentes: (i) modo de condução contínua (MCC); (ii) modo de condução crítica (MCCR); (iii) modo de condução descontínua (MCD). Quando a corrente do indutor não retorna a zero, com valores positivos antes do término do período de chaveamento, pode-se dizer que o conversor opera em MCC, como ilustrado na Figura 2.3 (a). Porém, se a corrente do indutor retornar a zero antes do término do período de chaveamento, pode-se dizer que a operação é em MCD, como ilustrado na Figura 2.3 (b). No caso de condução crítica, a corrente do indutor ao atingir zero, retorna a crescer, de acordo com a Figura 2.3 (c).

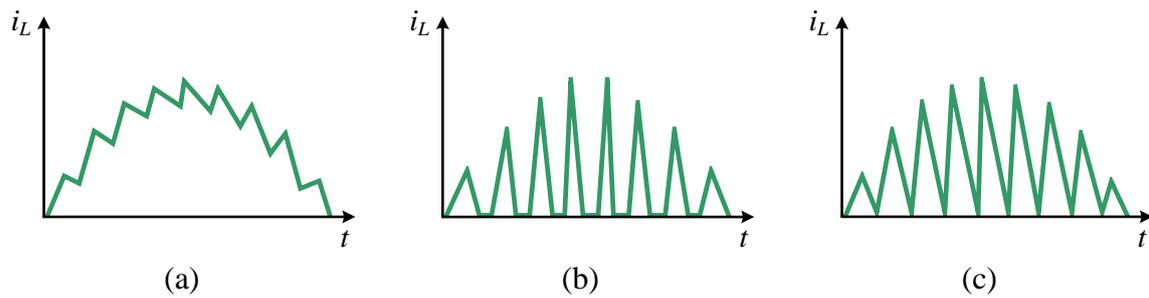


Figura 2.3 – Modos de condução do conversor *boost*. (a) MCC. (b) MCD. (c) MCCR.

Neste trabalho será utilizado o modo condução contínua, por possuir algumas vantagens em relação aos outros modos, sendo as seguintes:

- A corrente do indutor é contínua para este modo de condução, logo, a interferência eletromagnética (EMI) na rede CA é reduzida;
- Possui a característica de não exigir filtro de interferência eletromagnética (EMI), o que reduz o peso e custo do sistema;
- Os valores de pico e eficaz da corrente que circula pelos elementos do conversor são reduzidos;
- Frequência de chaveamento constante, o que facilita a implementação de técnicas de modulação por largura de pulso (PWM) e controle;

No modo de condução contínua, o conversor *boost* opera com a variação da razão cíclica entre os valores de zero e um, onde ela será próxima de 1 quando a tensão de entrada (referência da corrente) for próxima a zero e será próxima de zero quando a tensão de entrada atingir seu valor máximo (pico), como ilustrado nos gráficos da tensão de *gate* e da corrente do indutor da Figura 2.4 (a). Desta forma a corrente de entrada é obtida na forma senoidal e em fase com a tensão.

Neste sentido, pode-se compreender também que a corrente do indutor é a soma entre a corrente da chave semicondutora e a corrente do diodo *boost*, as quais podem ser visualizadas nos gráficos da Figura 2.4 (b).

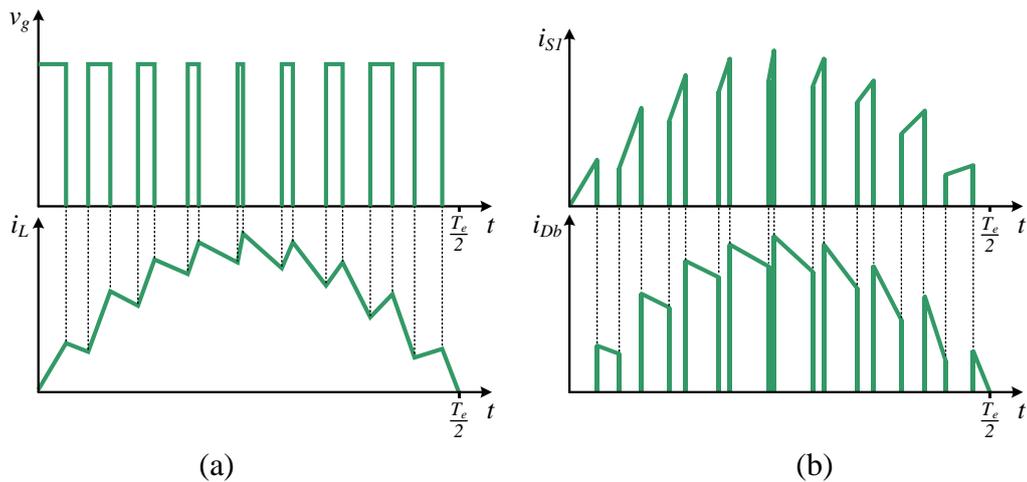


Figura 2.4 – Formas de onda teóricas. (a) Tensão de *gate* e corrente do indutor. (b) Corrente da chave e do diodo

Conforme [15], a tensão de saída é regulada com a variação do valor eficaz da corrente de entrada para manter as potências de entrada e de saída balanceadas, resultando em uma tensão de saída regulada. Quando a corrente e a tensão de entrada estão em fase, a potência de entrada do conversor possui uma ondulação com frequência duas vezes maior que a frequência da tensão, ou seja, 120 Hz. Logo, para que ocorra o balanço entre as potências esta ondulação também surge na tensão de saída, como ilustrado na Figura 2.5.

Considerando uma carga constante conectada à saída do retificador *boost* PFC, pode-se controlar a tensão de saída com o aumento ou diminuição da corrente eficaz de entrada. Em outras palavras, a tensão de saída cresce ou decresce para que ocorra o equilíbrio das potências, como ilustrado na Figura 2.5.

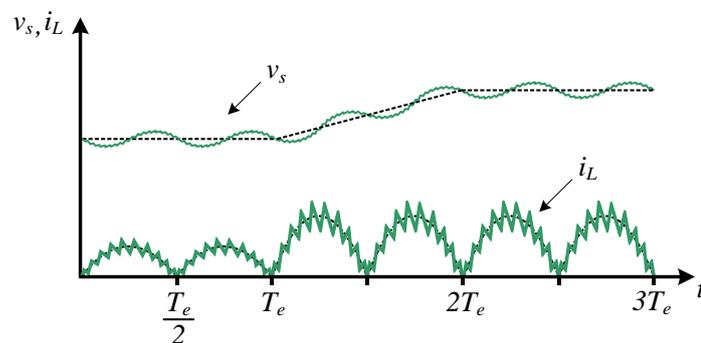


Figura 2.5 – Formas de onda teóricas da corrente do indutor e da tensão de saída

Segundo ERICKSON (2001), a ondulação causada na tensão de saída do conversor pode ser calculada de forma aproximada através da seguinte equação:

$$\Delta v_s \approx \frac{P_s}{\omega \cdot C \cdot v_{s_ef}} \quad (2.1)$$

Onde: P_s é a potência de saída

v_{s_ef} é a tensão eficaz de saída

C é a capacitância do conversor

ω é a frequência angular da rede

De acordo com o que foi exposto nesta seção, nota-se que três grandezas deverão ser medidas para a realização do controle do sistema. (i) A tensão senoidal de entrada como referência para a malha de corrente; (ii) A corrente do indutor como variável a ser controlada; (iii) A tensão de saída como variável a ser controlada. Neste trabalho, a utilização da medição da tensão de entrada foi eliminada, uma vez que uma tabela contendo o módulo da função seno programada internamente com o controle é utilizada. Com isto, substituiu-se o circuito de medição de tensão de entrada por um circuito de sincronização que será visto nas seções posteriores.

2.3 Projeto do circuito de potência

Nesta seção é apresentado o projeto do circuito de potência do conversor *boost* PFC, mais especificamente o projeto dos elementos passivos e ativos do circuito, bem como o circuito de acionamento e proteção.

Os parâmetros de projeto utilizados estão dispostos na Tabela 1, onde consta simbologia, descrição e valor adotado.

Tabela 1 – Parâmetros de projeto

Simbologia	Descrição	Valor
P_s	Potência de saída máxima	400 W
V_{e_ef}	Tensão eficaz de entrada	127 V
V_s	Tensão máxima de saída	400 V
I_{s_max}	Corrente máxima de saída	1 A
f_e	Frequência da tensão de entrada	60 Hz
f_c	Frequência de chaveamento	40 kHz
ΔI_L	Máxima ondulação na corrente no indutor	1,25 A
η	Rendimento do sistema	95 %

2.3.1 Cálculo das correntes do conversor e dos semicondutores

Antes de realizar o dimensionamento dos elementos passivos e ativos do circuito é necessária a determinação das correntes do circuito, uma vez que a partir destas será possível determinar os níveis de tensão e a potência de operação em cada elemento.

Com base na análise teórica realizada na seção 2.2, pode-se considerar que a potência aparente de entrada é muito próxima da potência ativa, uma vez que o fator de potência de entrada é elevado. Então, a potência de entrada pode ser determinada a partir do rendimento esperado do sistema, conforme cálculo a seguir:

$$P_e = \frac{P_s}{\eta} = \frac{400}{0,95} = 421,05 \text{ W} \quad (2.2)$$

Com base nas explicações sobre o conversor *boost*, nota-se que a corrente eficaz de entrada é igual à corrente eficaz do indutor, como ilustrado na Figura 2.6.

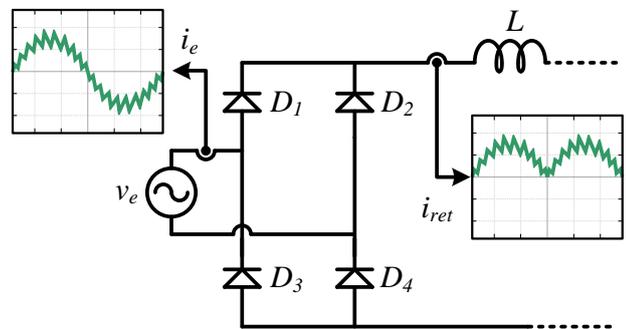


Figura 2.6 – Formas de onda teóricas das correntes

Deste modo, é possível determinar a corrente do indutor através dos parâmetros de entrada especificados na Tabela 1, conforme a relação entre potência de entrada e tensão de entrada expressa na equação a seguir:

$$I_{e_ef} = \frac{P_e}{V_{e_ef}} = \frac{421,05}{127} = 3,31 \text{ A} \quad (2.3)$$

Assim, a corrente de pico (I_{e_pico}) é:

$$I_{e_pico} = I_{e_ef} \cdot \sqrt{2} = 3,31 \cdot \sqrt{2} = 4,68 \text{ A} \quad (2.4)$$

2.3.2 Especificações da ponte retificadora

No estágio de retificação é necessária a determinação do diodo a ser utilizado, o qual normalmente é definido através da tensão reversa máxima (v_{rd}) e da corrente eficaz que circula pelo mesmo (I_{e_ef}), como ilustrado na Figura 2.7.

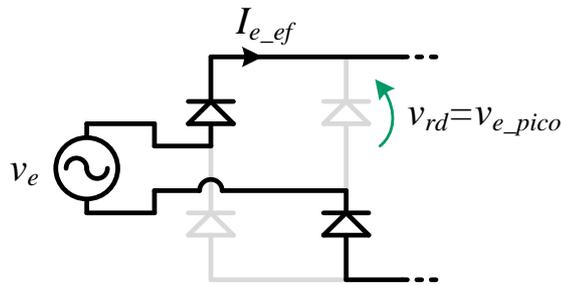


Figura 2.7 – Detalhe da tensão reversa sobre o diodo

Neste sentido, o procedimento é válido tanto para o semiciclo positivo da tensão de entrada, bem como para negativo, o que significa que os quatro diodos podem ser iguais.

Considerando a ausência de perdas no processo de retificação, ou seja, se a potência de entrada for igual a da saída (barramento CC), pode-se dizer que a tensão reversa máxima sobre o diodo é igual ao pico da tensão de entrada. Além disso, o diodo deve suportar a metade da corrente eficaz máxima de entrada [3], conforme o cálculo realizado na seção anterior ($I_{e_ef} = 3,31 \text{ A}$), onde:

$$V_{e_pico} = V_{e_ef} \cdot \sqrt{2} \cong 179,6 \text{ V} \quad (2.5)$$

Logo, a ponte retificadora PBU-605 foi escolhida por possuir as seguintes características:

- Tensão de pico reversa nos diodos: 600 V;
- Corrente média retificada de saída: 6 A.

2.3.3 Cálculo da Razão Cíclica

Considerando que a razão cíclica do conversor varia no tempo, uma vez que a corrente tem que seguir a referência desejada, a razão cíclica de operação do conversor é calculada considerando a mínima tensão de pico de entrada.

Assim, a razão cíclica pode ser calculada conforme equação (2.6).

$$D_{max} = \frac{V_s - V_{e_pico}}{V_s} = \frac{400 - 179,6}{400} = 0,551 \quad (2.6)$$

2.3.4 Cálculo da indutância

Com base nos dados da especificação do projeto, calcula-se a indutância da topologia através da equação (2.7).

$$L = \frac{D_{max} \cdot V_{e_pico}}{\Delta I_L \cdot f_c} = \frac{0,551 \cdot 179,6}{1,25 \cdot 40 \times 10^3} = 2 \text{ mH} \quad (2.7)$$

2.3.5 Projeto físico do indutor

Na maioria das topologias de conversores CC-CC, a realização do projeto do indutor sem dúvida requer um procedimento adequado, uma vez que ele influencia no correto funcionamento do sistema. Segundo Barbi (2002), os problemas estão normalmente relacionados à operação em elevadas frequências de chaveamento, o que pode resultar na inserção de uma série de elementos parasitas, como: efeito pelicular, indutâncias de dispersão, capacitâncias parasitas entre os enrolamentos e espiras, entre outros.

Assim, o núcleo de ferrite é mais indicado para operação em altas frequências, pois possui aquecimento e perda por histerese reduzidos quando comparado com o núcleo de ferro-silício, o qual é utilizado em frequências baixas.

Neste projeto, fez-se o uso de um núcleo de ferrite do tipo EE, ilustrado na Figura 2.8.

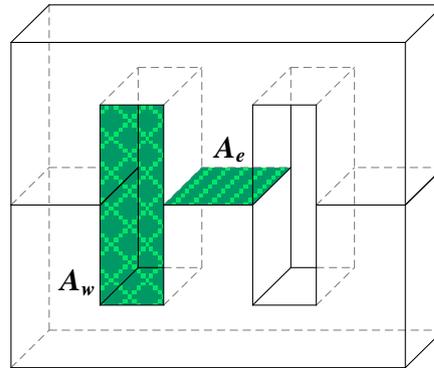


Figura 2.8 – Núcleo de ferrite do tipo EE

Para o projeto do núcleo de ferrite apropriado, o método do produto das áreas $A_e A_w$ é comumente empregado[3]-[7], onde A_e é a área transversal e A_w é a área da janela, ambas ilustradas na Figura 2.8. Uma relação entre estas duas áreas pode ser expressa pela equação (2.8).

$$A_e A_w = \frac{L \cdot I_{e_pico} \cdot I_{e_ef}}{B_{max} \cdot J_{max} \cdot k_w} \cdot 10^4 \quad (2.8)$$

Onde:

- B_{max} – campo magnético máximo (0,3 T)
- J_{max} – densidade de corrente máxima (450 A/cm²)
- k_w – fator de ocupação do cobre (0,7)
- 10^4 – torna a unidade do resultado em cm⁴

Considerando as correntes calculadas e os parâmetros estabelecidos anteriormente, calcula-se o produto das áreas para a definição do núcleo a ser empregado, onde:

$$A_e A_w = \frac{2 \times 10^{-3} \cdot 4,68 \cdot 3,31}{0,3 \cdot 450 \cdot 0,7} \cdot 10^4 = 2,549 \text{ cm}^4 \quad (2.9)$$

Através dos núcleos de ferrite apresentados na Tabela 2, o núcleo EE 42/15 é a escolha mais adequada, porém devido à indisponibilidade em laboratório, o núcleo EE 36/12 foi utilizado, o qual apresenta $A_e = 1,23 \text{ cm}^2$ e $A_w = 1,16 \text{ cm}^2$ e um $A_e A_w = 1,42 \text{ cm}^4$.

Tal escolha não influencia nos resultados experimentais, uma vez que os testes experimentais com protótipo montado em laboratório foram feitos em escala reduzida com um quarto da potência de saída.

Tabela 2 – Núcleos de ferrite tipo EE

Núcleo	A_e (cm ²)	A_w (cm ²)	l_e (cm)	l_c (cm/esp)	v_{nucleo} (cm ³)	$A_e A_w$ (cm ⁴)
EE 20/5	0,31	0,26	0,52	0,38	1,34	0,08
EE 30/14	1,22	0,85	0,67	0,67	8,17	1,03
EE 36/12	1,23	1,16	0,70	0,96	11,81	1,42
EE 42/15	1,81	1,57	0,97	0,87	17,60	2,84
EE 42/20	2,40	1,57	0,97	1,05	23,30	3,77
EE 55/21	3,54	2,50	1,20	1,16	42,50	8,85
EE 65/13	2,66	3,70	1,47	1,48	39,10	9,84
EE 65/26	5,32	3,70	1,47	1,48	78,20	19,68

De acordo com [17], a determinação do número de espiras é realizada através da equação (2.10).

$$N = \frac{L \cdot I_{e_pico}}{B_{max} \cdot A_e} = \frac{2,024 \times 10^{-3} \cdot 4,1}{0,3 \cdot 1,23} = 112,675 \cong 113 \text{ espiras} \quad (2.10)$$

A área total ocupada pelos condutores depende da densidade máxima permitida pelo condutor e da corrente eficaz da entrada, sendo expressa em (2.11).

$$S_T = \frac{I_{e_ef}}{J_{max}} = \frac{2,9}{450} = 0,0064 \text{ cm} \quad (2.11)$$

Com o cálculo do número de espiras e da área total ocupada pelos condutores, realiza-se a determinação da seção dos condutores empregados no indutor. Em aplicações de eletrônica de potência, é comum o aumento da frequência de chaveamento para a redução do volume dos elementos de filtragem (indutor e capacitor). Este procedimento faz com que a corrente no interior do condutor flua com maior densidade nas extremidades do mesmo, fenômeno conhecido como efeito pelicular (efeito *skin*). Logo, para a utilização dos

condutores em altas frequências é necessário levar em consideração o efeito pelicular, uma vez que esse efeito causa uma redução na área efetiva do condutor [17].

Um procedimento bastante difundido é a utilização de condutores em paralelo, como ilustrado na Figura 2.9.

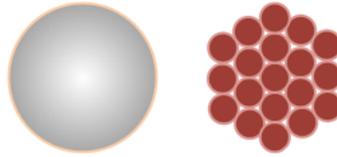


Figura 2.9 – Demonstração da redução do efeito pelicular

Neste sentido, deve-se ter o conhecimento do valor da profundidade de penetração (Δ), expresso pela equação (2.12).

$$d_m = 2 \cdot \Delta = 2 \cdot \sqrt{\frac{\rho}{\pi \cdot \mu_o \cdot \mu_r \cdot f_c}} \quad (2.12)$$

Onde:

- ρ_{cobre} – resistividade do condutor de cobre ($1,72 \cdot 10^{-4} \Omega\text{cm}^2/\text{m}$);
- μ_o – permeabilidade magnética do vácuo ($4\pi \cdot 10^{-7} \text{ H/m}$);
- μ_r – permeabilidade magnética relativa do condutor (1);
- Δ – profundidade de penetração (cm);
- d_m – diâmetro máximo do condutor (cm).

Logo, a partir da equação (2.12) o diâmetro máximo do condutor é duas vezes maior que o raio de penetração, sendo expresso por:

$$d_m = 2 \cdot \sqrt{\frac{\rho}{\pi \cdot \mu_o \cdot \mu_r \cdot f_c}} = 2 \cdot \sqrt{\frac{1,72 \cdot 10^{-4}}{\pi \cdot 4 \cdot \pi \cdot 10^{-7} \cdot 40 \cdot 10^3}} = 0,066 \text{ cm} \quad (2.13)$$

Neste sentido, a partir da tabela AWG (Tabela 3) foi definido o condutor de cobre esmaltado AWG 23, considerando as seções disponíveis no laboratório.

Tabela 3 – Tabela de condutores de cobre esmaltado

AWG	Diâmetro do Cobre (cm)	Área do Cobre (cm)	Diâmetro com Isolamento (cm)	Área com Isolamento (cm ²)	Ω/cm (20 °C)	Ω/cm (100 °C)	Corrente para J = 450A/cm ² (A)
10	0,259	0,05262	0,273	0,058572	0,000033	0,000044	23,679
11	0,231	0,041729	0,244	0,046738	0,000041	0,000055	18,778
12	0,205	0,033092	0,218	0,037309	0,000052	0,00007	14,892
13	0,183	0,026243	0,195	0,029793	0,000066	0,00008	11,809
14	0,163	0,020811	0,174	0,0238	0,000083	0,000111	9,365
15	0,145	0,016504	0,156	0,019021	0,000104	0,00014	7,427
16	0,129	0,013088	0,139	0,015207	0,000132	0,000176	5,89
17	0,115	0,010379	0,124	0,012164	0,000166	0,000222	4,671
18	0,102	0,008231	0,111	0,009735	0,000209	0,00028	3,704
19	0,091	0,006527	0,1	0,007794	0,000264	0,000353	2,937
20	0,081	0,005176	0,089	0,006244	0,000333	0,000445	2,329
21	0,072	0,004105	0,08	0,005004	0,00042	0,000561	1,847
22	0,064	0,003255	0,071	0,004013	0,00053	0,000708	1,465
23	0,057	0,002582	0,064	0,003221	0,000668	0,000892	1,162
24	0,051	0,002047	0,057	0,002586	0,000842	0,001125	0,921
25	0,045	0,001624	0,051	0,002078	0,001062	0,001419	0,731
26	0,04	0,001287	0,046	0,001671	0,001339	0,001789	0,579
27	0,036	0,001021	0,041	0,001344	0,001689	0,002256	0,459
28	0,032	0,00081	0,037	0,001083	0,002129	0,002845	0,364
29	0,029	0,000642	0,033	0,000872	0,002685	0,003587	0,289
30	0,025	0,000509	0,03	0,000704	0,003386	0,004523	0,229
31	0,023	0,000404	0,027	0,000568	0,004269	0,005704	0,182
32	0,02	0,00032	0,024	0,000459	0,005384	0,007192	0,144
33	0,018	0,000254	0,022	0,000371	0,006789	0,00907	0,114
34	0,016	0,000201	0,02	0,0003	0,00856	0,011437	0,091
35	0,014	0,00016	0,018	0,000243	0,010795	0,014422	0,072
36	0,013	0,000127	0,016	0,000197	0,013612	0,018186	0,057
37	0,011	0,0001	0,014	0,00016	0,017165	0,022932	0,045

Com a definição do condutor a ser utilizado e da seção total de condutores é possível determinar o número de condutores em paralelo para reduzir o efeito pelicular, assim, tem-se:

$$n_c = \frac{S_T}{S_C} = \frac{0,006444}{0,003221} = 2,004 \quad (2.14)$$

Onde:

S_T – área total ocupada pelos condutores (cm²);

S_C – área do condutor com isolamento definido através da tabela AWG.

Desta forma, o número de condutores dispostos em paralelo é dois.

2.3.6 Projeto do capacitor

A capacitância de saída influencia diretamente na ondulação da tensão de saída e a dinâmica da malha de controle de tensão. Neste sentido, deve-se considerar a variação máxima de tensão permitida, dada uma variação na tensão de entrada [8].

Neste trabalho utilizou-se o critério de *hold-up time*, o qual tem por objetivo garantir que a tensão de saída permaneça acima de um valor mínimo, após a ocorrência de uma interrupção na tensão de entrada com tempo específico [8]. A representação está ilustrada na Figura 2.10.

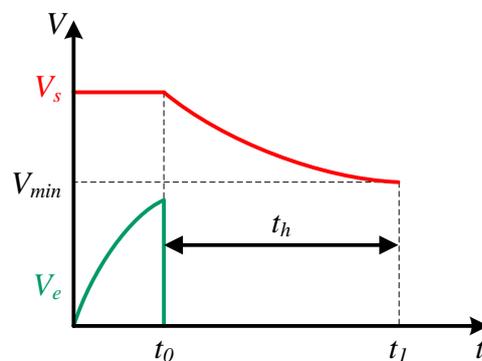


Figura 2.10 – *Hold-up time*

Para a determinação do capacitor levou-se em consideração um tempo t_h igual a um ciclo da tensão de entrada (60 Hz), sendo 16,67 ms. Assim, a capacitância pode ser calculada através de (2.15).

$$C = \frac{2 \cdot P_s \cdot t_H}{V_s^2 - V_{min}^2} = \frac{2 \cdot 400 \cdot 16,67 \cdot 10^{-3}}{400^2 - 320^2} = 231,4 \mu\text{F} \quad (2.15)$$

Assim, três capacitores de 680 μF /200V foram conectados em série, com o intuito de garantir a operação sob a tensão 400V de saída (600V máximo). Além disso, a associação dos três capacitores em série resulta em uma capacitância de 226,67 μF , o que fica próximo o suficiente do valor da capacitância calculada em (2.15).

2.3.7 Definição do diodo *boost*

Calcula-se a corrente média no diodo boost (D_b), a qual pode ser definida segundo ERICKSON (2001) como sendo igual a corrente de saída, expressa pela equação

$$I_{db_med} = \frac{P_s}{V_s} = \frac{400}{400} = 1 \text{ A} \quad (2.16)$$

Além da definição da corrente média é necessário considerar que o diodo boost deve suportar uma tensão reversa igual à tensão de saída, ou seja, 400 V. Com estas características adota-se o diodo MUR460, o qual possui as seguintes especificações:

- Tensão reversa máxima: 600 V;
- Corrente média de operação: 4 A;
- Tempo de recuperação reversa: 60 ns;
- Queda de tensão direta: 1,35 V (considerando corrente 4 A).

2.4 Definição da Chave Semicondutora

Para a definição da chave semicondutora utilizou-se o método da integral dupla, descrito por ERICKSON (2001). Segundo o autor, a corrente da chave semicondutora pode ser decomposta em duas integrais, onde a primeira calcula o valor médio da corrente a cada frequência de chaveamento, e a segunda calcula o valor médio sobre o período da rede.

A equação resultante destas integrais pode ser descrita pela equação (2.17) e obtida através do mesmo procedimento demonstrado por ERICKSON (2001, p. 674–676).

$$I_{ch_ef} = I_{e_ef} \sqrt{1 - \frac{8}{3\pi} \frac{V_{e_pico}}{V_s}} = 3,31 \sqrt{1 - \frac{8}{3\pi} \frac{179,6}{400}} = 2,604 \text{ A} \quad (2.17)$$

Com a corrente eficaz sobre a chave durante um período da rede e sabendo que a tensão aplicada sobre a chave pode ser considerada como igual à tensão média de saída

(400V), define-se a chave semicondutora do tipo MOSFET, modelo IRF830, com as seguintes características:

- Tensão reversa máxima sobre o diodo antiparalelo: 500 V;
- Corrente média de operação: 4,5 A.

2.5 Projeto do *drive* de acionamento

Conversores estáticos normalmente fazem o uso de chaves semicondutoras em alta frequência (MOSFETs e IGBTs). Neste projeto, o controle do conversor é feito de forma digital, através de um microcontrolador digital de sinais. Logo, para acionar a chave semicondutora é necessário o uso de um circuito específico, normalmente denominado *drive*, o qual realiza o condicionamento do sinal digital entregue pelo microcontrolador em um sinal com nível de tensão suficiente para acionar a chave semicondutora.

O *drive* utilizado neste trabalho é composto por cinco estágios, sendo os quatro últimos baseados no *drive* proposto em [21]:

- Estágio de condicionamento 1
- Isolação
- Fonte CC regulada
- Estágio de inversão
- Estágio de condicionamento 2 (*toten-pole*)

O primeiro estágio de condicionamento foi criado com o intuito de possibilitar o acionamento do optoacoplador através do dsPIC. Neste estágio foi utilizado um transistor, o qual opera nas regiões de saturação e corte para garantir a condução e bloqueio da corrente sobre o diodo emissor de luz do opto-acoplador. Além disso, nota-se que o LED (pinos 2 e 3 do optoacoplador) está em série com o transistor, o que não inverte o sinal de saída em relação à entrada, apesar de ser uma configuração emissor-comum, ilustrada na Figura 2.11.

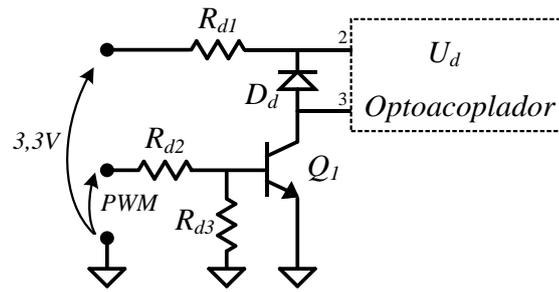


Figura 2.11 – Primeiro estágio do *drive*

Para a determinação das resistências do circuito da Figura 2.11, deve-se ter o conhecimento da corrente máxima de saída do dsPIC e da corrente necessária para acionar o optoacoplador, logo, através do *datasheet* de cada componente obtiveram-se: (i) 2,5mA para a corrente fornecida pelo dsPIC (corrente máxima é 4mA); (ii) 15mA para a corrente máxima recomendável na entrada do opto-acoplador.

Neste sentido, a resistência R_{d2} é definida através da equação (2.18):

$$R_{d2} = \frac{3,3 - 0,7}{2,5 \cdot 10^{-3}} = 1040 \cong 1k\Omega \quad (2.18)$$

Considerando que ocorra uma queda de tensão de 1,5V no diodo emissor de luz (LED) do optoacoplador e uma corrente i_F menor que 15mA, tem-se:

$$R_{d1} = \frac{3,3 - 1,5}{12 \cdot 10^{-3}} = 150\Omega \quad (2.19)$$

O segundo estágio é composto pela isolamento entre o circuito de potência e o circuito de controle, a qual é realizada através do circuito integrado opto-acoplador 6N137, ilustrado na Figura 2.12.

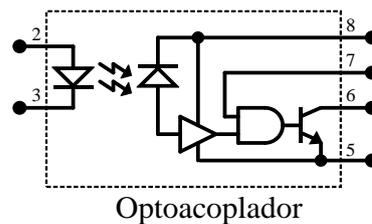


Figura 2.12 – Esquema interno do opto-acoplador 6N137

Em relação à Figura 2.12, o acionamento do LED (pinos 2 e 3) reflete na excitação da base do transistor conectado nos pinos 5 e 6. Esta configuração (emissor comum) faz com que o sinal de saída seja invertido em relação ao sinal de entrada.

Como o circuito integrado 6N137 necessita de alimentação de 4,5V a 5,5V, da mesma forma que [21], foi criada uma fonte regulada para alimentar o CI a partir da tensão V_{cc} , a qual é utilizada para o acionamento do MOSFET. Desta forma, não é preciso o uso de fontes adicionais. O circuito da fonte regulada está ilustrado na Figura 2.13.

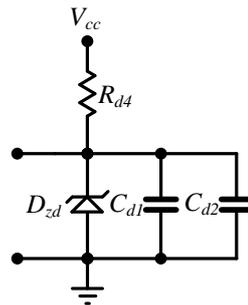


Figura 2.13 – Fonte regulada com zener e capacitores

A definição da resistência R_{d4} vem da corrente máxima que o zener suporta e da mínima para garantir a sua regulação, logo, um intervalo de resistências pode ser determinado pela equação (2.20).

$$\frac{V_{cc} - V_{zener}}{i_{zmáx} + i_{8máx}} < R_{d4} < \frac{V_{cc} - V_{zener}}{i_{zmin} + i_{8min}} \quad (2.20)$$

$$\frac{12 - 5,1}{5 \cdot 10^{-3} + 9 \cdot 10^{-3}} < R_{d4} < \frac{12 - 5,1}{5 \cdot 10^{-3} + 7 \cdot 10^{-3}}$$

$$492,9 < R_{d4} < 575$$

Logo, a resistência R_{d4} foi definida com o valor de 560Ω , considerando que a corrente que circula pelos capacitores é zero.

Os próximos dois estágios do *drive* são calculados exatamente conforme apresentado por [21], sendo o estágio inversor composto por Q_2 e o estágio *toten-pole* composto por Q_3 e Q_4 , sendo o esquemático completo do *drive* ilustrado na Figura 2.14.

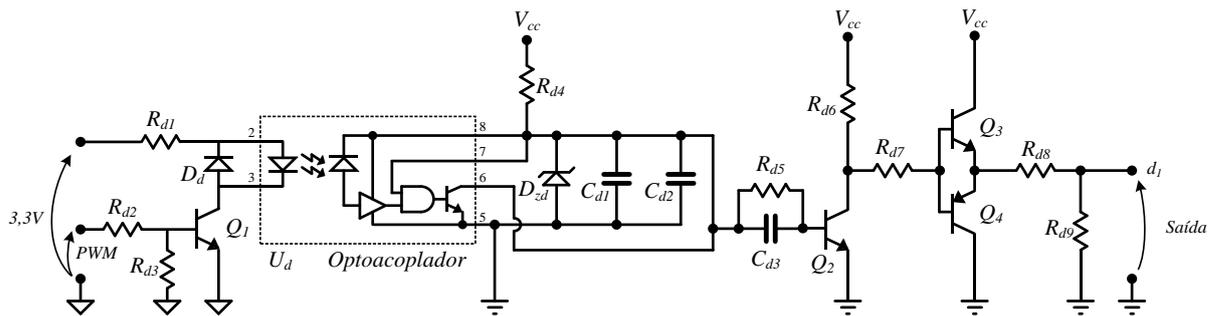


Figura 2.14 – Circuito do *drive* de acionamento completo

2.6 Projeto dos circuitos de medição

Nesta seção é descrito o funcionamento, bem como as características dos circuitos de medição utilizados. Os circuitos de medição são bastante similares, pois foram feitos com base na mesma estrutura, porém com ajuste de ganhos diferentes.

Conforme foi dito na seção 2.2 são necessárias três medições para o controle, as quais são obtidas através da: (i) tensão de entrada para sincronização (v_{sinc}); (ii) tensão de saída medida (v_{ms}); (iii) corrente no indutor medida (v_{mi}). Estas duas últimas medições podem ser visualizadas na ilustração da Figura 2.15, já a v_{sinc} é retirada da alimentação da fonte criada para os circuitos de medição.

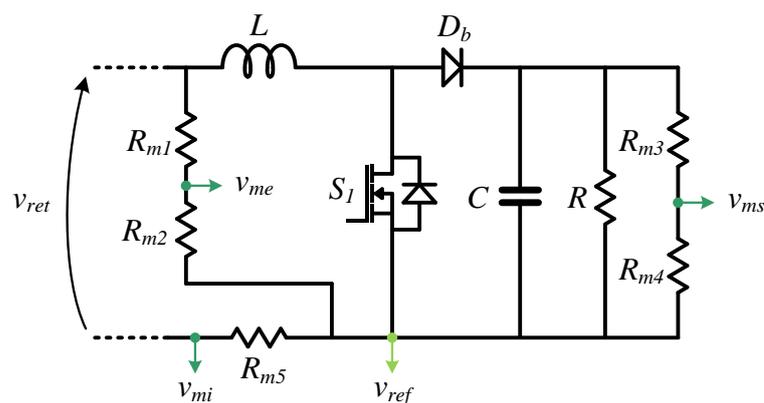


Figura 2.15 – Detalhes dos pontos de medição

No caso das medições de tensões, dois divisores resistivos foram adicionados ao circuito para rebaixar o nível de tensão a ser medido, operando dentro dos limites de tensão dos amplificadores operacionais (AMPOP), os quais foram definidos para o condicionamento

dos sinais. Para a medição da corrente foi adicionado um resistor em série com a corrente do conversor, com o intuito de medir a tensão sobre o mesmo, ao invés de fazer o uso de sensores de corrente o que elevaria o custo do sistema.

A relação de transformação de cada divisor resistivo pode ser obtida definindo inicialmente a tensão máxima desejada para determinado ponto de operação do conversor. Partindo desta ideia, supondo que o sistema esteja operando em regime permanente e com tensão eficaz de entrada de 127 V, a tensão de pico obtida na entrada do circuito de sincronização desejada é de 1,5 V. Esta relação pode ser calculada conforme a equação (2.21), a qual expressa o divisor de tensão da entrada do conversor.

$$R_{m2} = \frac{v_{me} \cdot R_{m1}}{v_s \cdot R_{m1} - v_{me}} \quad (2.21)$$

Em relação à equação anterior, considerou-se R_{m1} igual a 100k Ω , com o propósito de dissipar o mínimo de potência no divisor resistivo, uma vez que afeta o rendimento do conversor. Assim, obtêm-se a resistência R_{m2} :

$$R_{m2} = \frac{1,5 \cdot 100 \cdot 10^3}{127 \cdot \sqrt{2} \cdot 100 \cdot 10^3 - 1,5} = 8,35 \text{ k}\Omega \quad (2.22)$$

Logo, R_{m2} foi definida com o valor comercial de 8,2 k Ω .

Este procedimento também é realizado para a obtenção das resistências do divisor resistivo da tensão de saída, sendo expresso conforme equação (2.23).

$$R_{m4} = \frac{1,5 \cdot 100 \cdot 10^3}{400 \cdot 100 \cdot 10^3 - 1,5} = 3,75 \text{ k}\Omega \quad (2.23)$$

Logo, R_{m4} foi definida com o valor comercial de 3,9 k Ω .

Conforme dito anteriormente, a corrente de entrada é medida através da tensão que surge sob o resistor em série com o fluxo de potência do conversor. O valor mais adequado para esta resistência é entre um intervalo que atenda duas restrições: (i) o valor da resistência deve ser um valor que produza a tensão de 1,5 V (metade da máxima) no conversor A/D para a corrente nominal; (ii) não deve ser pequeno ao ponto de dissipar potência elevada.

$$R_{m5} = \frac{V_{Rm5}}{I_{e_pico}} = \frac{1,5}{3,31} = 0,4531 \Omega \quad (2.24)$$

$$P_{Rm5} = \frac{V_{Rm5}^2}{R_{m5}} = \frac{1,5^2}{0,47} = 4,7 \text{ W} \quad (2.25)$$

Logo, utilizou-se o valor comercial de $0,47 \Omega$ de potência (P_{Rm5}) igual a 5 W. Neste sentido, nota-se que para a corrente eficaz nominal do conversor a tensão nos terminais do resistor é de 1,5 V.

Para a medição e isolamento entre os pontos de terra fez-se necessário o uso de um circuito de medição diferencial, ilustrado na Figura 2.16, pois a referência (terra) do sistema de controle deve ser isolada da referência do conversor (v_{ref}).

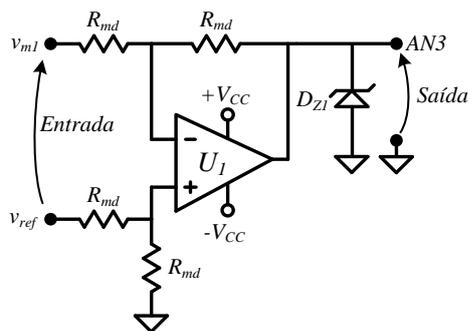


Figura 2.16 – Circuito de medição subtrator

Como a relação de transformação já é dada pelo divisor resistivo, este circuito tem o objetivo apenas de fazer com que o terra do conversor seja diferente da referência de medição Figura 2.16. Assim, a relação de ganho para esta estrutura é unitária, operando como um amplificador subtrator, sendo o valor da resistência R_{md} definido com o valor de 10 k Ω .

O diodo zener D_{Z1} foi colocado com o intuito de proteger o conversor A/D do dsPIC, definido como tensão de grampeamento de 3,0V.

2.7 Projeto do circuito de sincronização

O estágio de sincronização é necessário para produzir uma corrente em fase com a tensão, pois tem como principal objetivo sincronizar o sistema de controle com a tensão de entrada da rede.

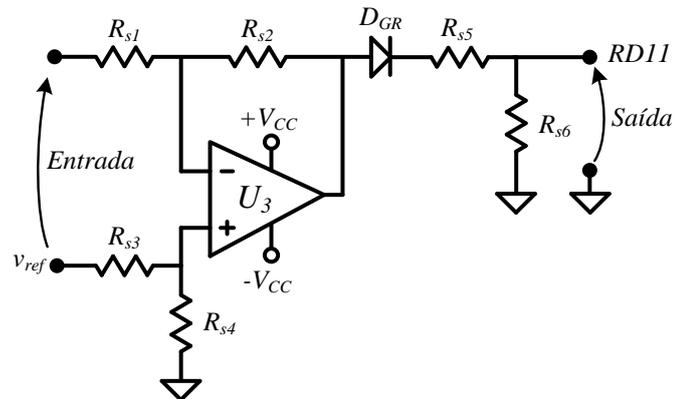


Figura 2.17 – Circuito de sincronização

O circuito utilizado para este propósito é um comparador, o qual gera uma forma de onda quadrada em sua saída em fase com a tensão da rede. Esta onda quadrada possui nível de tensão de $-V_{CC}$ no primeiro semiciclo da rede e nível de tensão $+V_{CC}$ no segundo ciclo da rede, conforme ilustrado na Figura 2.18.

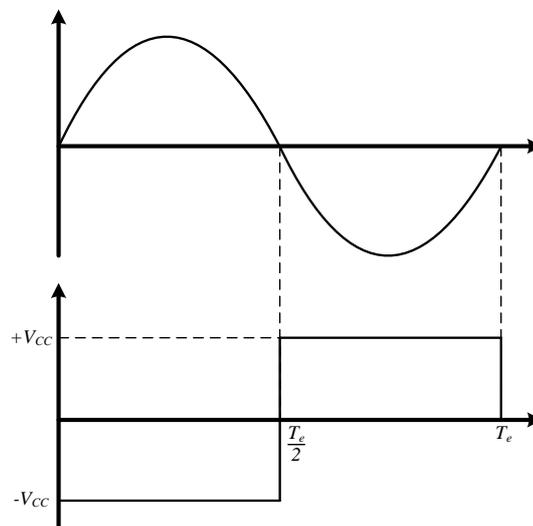


Figura 2.18 – Sinal de sincronização

Como a sincronização é realizada por meio de uma interrupção interna do microcontrolador foram adicionados um diodo grameador e um divisor resistivo, com o intuito de retirar a tensão de $-V_{CC}$ e adequar a tensão de $+V_{CC}$ à entrada de 3,3V do dsPIC.

3 MODELAGEM DO CONVERSOR *BOOST*

3.1 Introdução

Como mencionado anteriormente, neste sistema duas grandezas necessitam ser controladas, a corrente de entrada (i_L) e a tensão de saída (v_s). Neste sentido, a modelagem do sistema é realizada em duas partes: (i) com a obtenção do modelo que relaciona a corrente de entrada com a razão cíclica do conversor; (ii) com a obtenção do modelo que relaciona a tensão de saída com a corrente de entrada do conversor.

Cada etapa da modelagem tem como objetivo a obtenção das funções de transferência $i_L(s)/d(s)$ e $v_s(s)/i_L(s)$ para que seja possível realizar o projeto do sistema de controle. Para isto, a técnica de modelo médio por espaço de estados foi adotada, sendo seu procedimento descrito nos tópicos seguintes.

3.2 Modelo relativo à corrente de entrada

De acordo com Erickson (2001), a modelagem do sistema deve considerar os dois estágios de operação do conversor, onde o Estágio 1 possui como característica a condução da chave S_1 e o Estágio 2 o bloqueio da mesma, como ilustrado na Figura 3.1 (a) e (b).

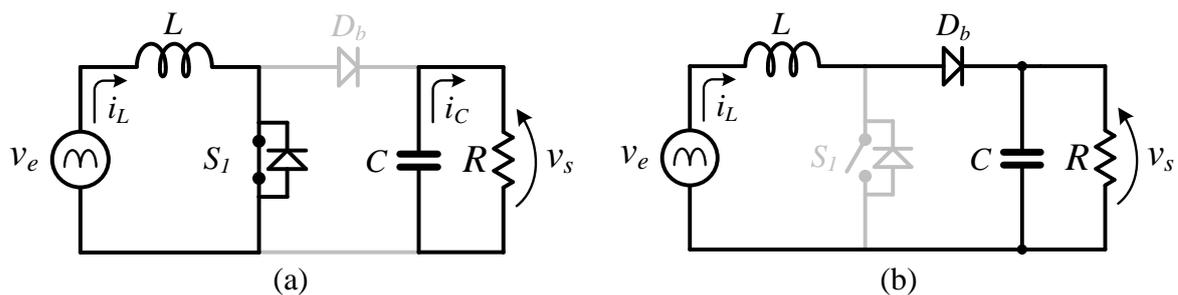


Figura 3.1 – Estágios de condução do conversor *boost*. (a) Estágio 1 e (b) Estágio 2

Normalmente, a modelagem por espaço de estados leva em consideração as equações diferenciais representativas dos elementos armazenadores de energia do circuito, ou seja, as equações representativas do indutor e do capacitor [1]. Neste sentido, define-se como variáveis independentes do sistema a corrente no indutor ($i_L(t)$) e a tensão no capacitor de saída ($v_s(t)$).

Logo, o vetor de estados é definido como:

$$x(t) = [i_L(t) \quad v_s(t)]^T \quad (3.1)$$

Como pode ser observado na Figura 3.1 (a) e (b), a tensão de entrada ($v_e(t)$) é uma fonte de tensão independente, portanto, pode ser incluída no vetor de entrada do sistema, o qual está expresso na equação (3.5). Por fim, o vetor de saída é definido conforme equação (3.6), pois o objetivo é obter o modelo da corrente do indutor em função da razão cíclica, mencionado na seção 3.1.

$$u(t) = [v_e(t)] \quad (3.2)$$

$$y(t) = [i_L(t)] \quad (3.3)$$

3.2.1 Estágio 1

O estágio 1 é representado pela condução da chave semicondutora S_1 , como ilustrado no circuito da Figura 3.1 (a), sendo o intervalo de tempo de condução expresso por $0 \leq t < d(t)T_s$, onde $d(t)$ é a razão cíclica do conversor. Com a aplicação da Lei de Kirchhoff das Tensões (LKT) no circuito do estágio 1 obtêm-se as equações diferenciais expressas em (3.4).

$$\text{Estágio 1: } \begin{cases} L \frac{di_L(t)}{dt} = v_e(t) \\ C \frac{dv_s(t)}{dt} = -\frac{v_s(t)}{R} \end{cases} \quad (3.4)$$

De acordo com Erickson (2001), as equações que descrevem os estágios relacionando os vetores de estados, de entrada e de saída, de uma forma geral são expressas como em (3.5).

$$\begin{aligned} K \frac{dx(t)}{dt} &= A_1 x(t) + B_1 u(t) \\ y(t) &= H_1 x(t) \end{aligned} \quad (3.5)$$

Relacionando as equações obtidas através da LKT (3.4) e as utilizadas por Erickson (3.5), é possível definir os coeficientes K , A_1 , B_1 e H_1 , onde:

$$K = \begin{bmatrix} L & 0 \\ 0 & C \end{bmatrix} \quad (3.6)$$

$$A_1 = \begin{bmatrix} 0 & 0 \\ 0 & -1/R \end{bmatrix} \quad (3.7)$$

$$B_1 = \begin{bmatrix} 1 \\ 0 \end{bmatrix} \quad (3.8)$$

$$H_1 = [1 \quad 0] \quad (3.9)$$

3.2.2 Estágio 2

O estágio 2 é representado pelo bloqueio da chave semicondutora S_1 , sendo o intervalo de tempo de condução expresso por $d(t)T_s \leq t < T_s$ para o circuito ilustrado na Figura 3.1 (b). Com a aplicação da Lei de Kirchhoff das Tensões (LKT) no circuito ativo durante o estágio 2, obtêm-se as equações diferenciais expressas em (3.10).

$$\text{Estágio 2: } \begin{cases} L \frac{di_L(t)}{dt} = v_e(t) - v_s(t) \\ C \frac{dv_s(t)}{dt} = i_L(t) - \frac{v_s(t)}{R} \end{cases} \quad (3.10)$$

Da mesma forma que para o estágio 1, as equações que descrevem os estágios relacionando os vetores de estados, de entrada e de saída, de uma forma geral são expressas como em (3.11).

$$\begin{aligned} K \frac{dx(t)}{dt} &= A_2 x(t) + B_2 u(t) \\ y(t) &= H_2 x(t) \end{aligned} \quad (3.11)$$

Relacionando as equações obtidas através da LKT (3.10) e as utilizadas por Erickson (3.11), é possível definir os coeficientes A_2 , B_2 e H_2 , onde:

$$A_2 = \begin{bmatrix} 0 & -1 \\ 1 & -1/R \end{bmatrix} \quad (3.12)$$

$$B_2 = \begin{bmatrix} 1 \\ 0 \end{bmatrix} \quad (3.13)$$

$$H_2 = [1 \quad 0] \quad (3.14)$$

3.2.3 Equações Equilíbrio

Conforme ERICKSON (2001), para a modelagem CA é necessário obter as equações de estado em regime permanente, também conhecidas como modelo CC do conversor. Neste sentido, a obtenção é possível desde que as frequências naturais do sistema, assim como a frequência de variação das grandezas que compõem o vetor de entrada sejam muito menores do que a frequência de chaveamento do conversor, o que para o caso específico é válido, uma vez que a frequência da tensão de entrada é 60 Hz e a frequência de chaveamento é 40 kHz.

Para a obtenção do modelo CC, o vetor de estados em regime permanente, $X = [I_L(t) \ V_s(t)]^T$ e o vetor de saída em regime permanente, $Y = [I_L(t)]$, podem ser solucionados através das equações apresentadas em (3.15).

$$\begin{aligned} X &= -A^{-1}BU \\ Y &= (-HA^{-1}B)U \end{aligned} \quad (3.15)$$

Onde:

$$\begin{aligned} A &= A_1D + A_2D' \\ B &= B_1D + B_2D' \\ H &= H_1D + H_2D' \\ U &= [V_e] \end{aligned} \quad (3.16)$$

Desta forma, substituindo (3.7)-(3.9) e (3.12)-(3.14) em (3.15) e (3.16), tem-se as equações que representam os vetores de estado e de saída em regime permanente, conforme (3.17) e (3.18).

$$\begin{bmatrix} I_L \\ V_s \end{bmatrix} = \begin{bmatrix} \frac{v_e}{R(D-1)^2} \\ -\frac{v_e}{(D-1)} \end{bmatrix} \quad (3.17)$$

$$I_L = \frac{v_e}{R(D-1)^2} \quad (3.18)$$

3.2.4 Modelo de pequenos sinais

O modelo de pequenos sinais representa a resposta de um sistema frente a uma perturbação nas variáveis de entrada. Neste caso, foram consideradas perturbações pequenas na tensão de entrada e na razão cíclica do conversor, sendo o vetor de entrada perturbado igual à $\hat{u}_p(t) = [\hat{u}(t) \ \hat{d}(t)]^T$. Destaca-se que o modelo de pequenos sinais só é válido para pequenas perturbações, o que é suficiente para o projeto de compensadores.

$$\begin{aligned} \frac{d\hat{x}(t)}{dt} &= A_p \hat{x}(t) + B_p \hat{u}_p(t) \\ \hat{y}(t) &= H_p \hat{x}(t) \end{aligned} \quad (3.19)$$

Onde:

$$\begin{aligned} A_p &= K^{-1}A \\ B_p &= K^{-1}[B \ (A_1 - A_2)X + (B_1 - B_2)U] \\ H_p &= H \end{aligned} \quad (3.20)$$

Neste sentido, a partir das equações (3.6)-(3.9), (3.12)-(3.14) e (3.16), obtêm-se o modelo CA de pequenos sinais do conversor *boost*, onde:

$$A_p = \begin{bmatrix} 0 & \frac{D-1}{L} \\ -\frac{D-1}{C} & -\frac{1}{RC} \end{bmatrix} \quad (3.21)$$

$$B_p = \begin{bmatrix} \frac{1}{L} & -\frac{v_e}{L(D-1)} \\ -\frac{D-1}{C} & -\frac{v_e}{RC(D-1)^2} \end{bmatrix} \quad (3.22)$$

$$H_p = [1 \quad 0] \quad (3.23)$$

Segundo ERICKSON (2001), a determinação da função de transferência que relaciona as variáveis perturbadas com a saída é realizada com a Transformada de Laplace da equação (3.19), conforme a apresentada em (3.24).

$$\hat{y}(s) = H_p (sI_{2 \times 2} - A_p)^{-1} B_p \hat{u}(s) \quad (3.24)$$

Solucionando a equação (3.24) e considerando que o vetor de entrada é $\hat{u}(s) = [0 \quad \hat{d}(s)]$, ou seja, apenas havendo a perturbação da razão cíclica ($\hat{v}_e(s) = 0$) e que o vetor de saída é $\hat{y}(s) = [\hat{i}_L(s)]$, isto é, a variável a ser controlada no circuito é a corrente no indutor, obtêm-se a função de transferência apresentada em (3.25).

$$G_{id}(s) = \frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{V_s}{L} \cdot \frac{\left(s + \frac{2}{RC}\right)}{s^2 + \frac{1}{RC}s + \frac{(1-D)^2}{LC}} \quad (3.25)$$

A partir do modelo de pequenos sinais é possível realizar o projeto do sistema de controle.

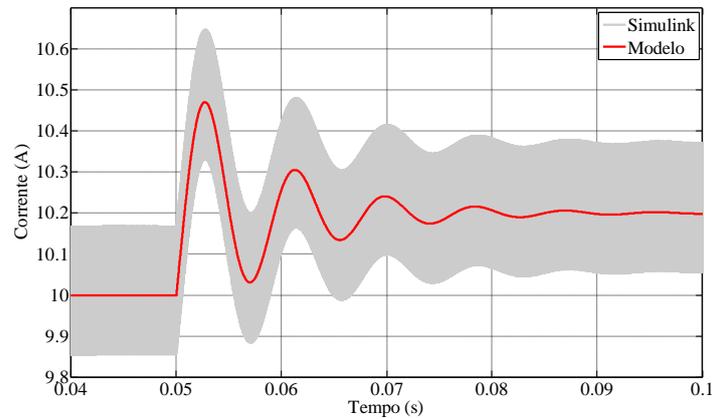
3.2.5 Validação do modelo

Com o intuito de verificar se o modelo encontrado representa a resposta da corrente frente a uma pequena variação da razão cíclica, realizou-se uma comparação com o circuito de um conversor *boost*, com o objetivo de validar do modelo obtido através do software MATLAB/Simulink®.

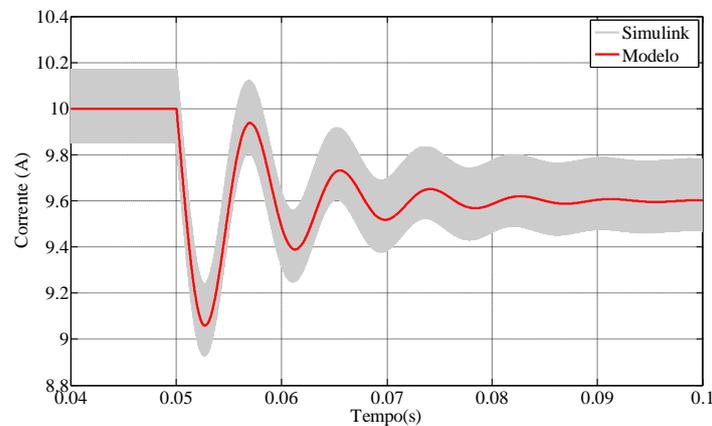
Como o modelo representa apenas a variação que ocorre na corrente, é necessário determinar a componente CC que compõem a resposta do conversor. Com a equação do modelo CC, determinada em (3.18), é possível determinar o valor em regime permanente da corrente do indutor, sendo:

$$I_L = \frac{v_e}{R(D-1)^2} = \frac{50}{20(0,5-1)^2} = 10 \text{ A} \quad (3.26)$$

Com o intuito de verificar se o modelo atende às especificações do projeto, foram feitos dois testes com degrau na entrada do modelo. Assim, no primeiro caso o degrau representa uma variação da razão cíclica de 0,5 para 0,505, conforme a Figura 3.2 (a). Já no segundo caso o degrau é de 0,5 para 0,48, conforme Figura 3.2 (b).



(a)



(b)

Figura 3.2 – Comparação entre modelos (a) $D = 0,5 \rightarrow 0,505$ e (b) $D = 0,5 \rightarrow 0,48$

Para ambos os casos, a variação da corrente corresponde à variação da razão cíclica, onde fica evidente que o modelo obtido atende às especificações para pequenas variações, uma vez que este é um modelo de pequenos sinais.

3.3 Modelo relativo à tensão de saída

A modelagem da tensão de saída representa a resposta da tensão de saída frente às variações na corrente do indutor, logo, esta relação expressa características da regulação de tensão para que seja possível o projeto do controlador.

O processo de regulação da tensão de saída é fundamentado na variação do valor eficaz da corrente do indutor, a qual é ajustada de forma que a tensão do capacitor esteja em torno do valor desejado.

A obtenção da função de transferência que relaciona a tensão de saída em função da corrente de entrada foi obtida através do conceito do controle de conversores no modo corrente-controlada proposto em [10], ilustrado na Figura 3.3.

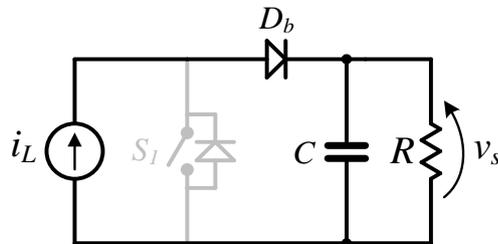


Figura 3.3 – Modo de corrente controlada

Neste sentido, a modelagem pode ser realizada através da equação diferencial do modelo da Figura 3.3, expressa na equação (3.27), sendo as variáveis de entrada e saída relacionadas através da impedância equivalente de R e C.

$$i_L(t) = \frac{v_s(t)}{R} + C \frac{dv_s(t)}{dt} \quad (3.27)$$

Aplicando a Transformada de Laplace em (3.27) obtém-se a função de transferência $v_s(s)/i_L(s)$, expressa em (3.28), a qual é aproximada através da razão cíclica média. Esta aproximação é válida na malha de tensão, pois a variação da razão cíclica não influencia diretamente a resposta da corrente, uma vez que a ação de controle de tensão não pode ser modulada em períodos menores que o semi-ciclo da rede [10], o que tornaria a corrente de entrada distorcida e não-senoidal.

$$G_{vi}(s) = \frac{\hat{v}_s(s)}{\hat{i}_L(s)} = D'_{med} \frac{\frac{1}{C}}{s + \frac{1}{RC}} \quad (3.28)$$

A razão cíclica média foi utilizada devido ao fato da tensão de saída ser controlada diretamente a partir da amplitude da corrente de entrada e também por que a frequência de amostragem da malha de corrente é bem maior que a frequência de chaveamento do conversor, onde a razão cíclica não tem efeito direto sob o controle da malha de tensão e sim a amplitude da corrente de entrada. Logo, a razão cíclica média é expressa como sendo [10]:

$$D'_{med} = \frac{2}{\pi} \frac{V_{e_pico}}{V_s} \quad (3.29)$$

4 PROJETO DO SISTEMA DE CONTROLE

4.1 Introdução

No projeto de sistemas de controle, inúmeras características do sistema devem ser consideradas, de acordo com sua funcionalidade e seus requisitos. De um modo geral, normalmente estas especificações são relativas à estabilidade, desempenho, precisão, e/ou tempo de resposta. Neste sentido, este capítulo visa demonstrar uma metodologia do projeto de controle para o conversor *boost* PFC, com o objetivo de tornar a dinâmica do sistema de acordo com as especificações desejadas.

4.2 Projeto do Controle

Para este projeto, é necessário lembrar duas características que o conversor *boost* PFC deve possuir: (i) a tensão de saída regulada em um valor constante; (ii) a corrente de entrada deve estar em fase com a tensão de entrada e com característica senoidal. Neste contexto, o sistema de controle empregado é baseado no conceito da utilização de duas malhas, uma interna (controle da corrente) e outra externa (controle da tensão). O sistema de controle empregado está ilustrado na Figura 4.1, com a malha interna de corrente em destaque.

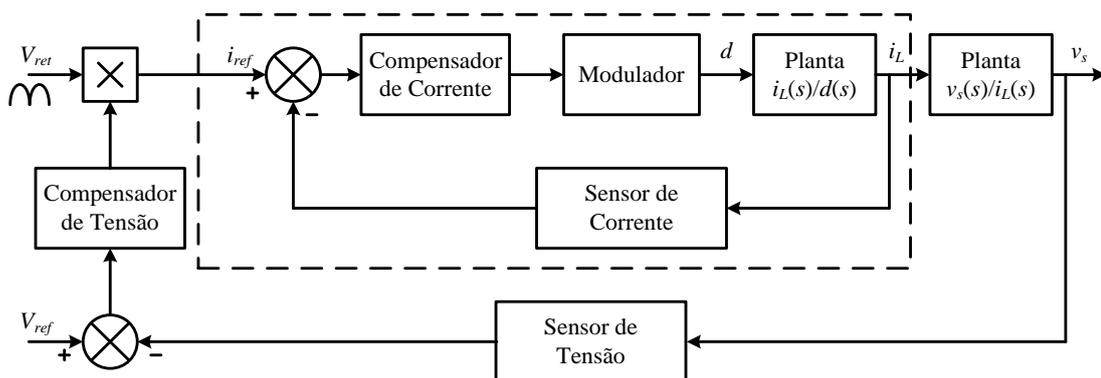


Figura 4.1 – Sistema de controle completo do conversor com a malha de corrente em destaque

Desta forma, a malha de corrente interna é introduzida para possibilitar a correção do fator de potência de forma mais efetiva, pois a resposta da malha interna é mais rápida do que a externa, sendo na ordem da frequência de chaveamento (kHz). A malha externa de tensão é

utilizada para o controle da tensão de saída do conversor, a qual possui tempo de resposta mais lento, sendo na ordem de ciclos da tensão da rede (Hz).

4.3 Malha interna do controle de corrente

Com o conhecimento da planta da malha de corrente, é possível realizar o projeto do controlador da malha interna de corrente, o qual faz com que a corrente de entrada possua as características da referência desejada. A malha de corrente é composta por um controlador $C_i(s)$, um modulador de largura de pulso $M(s)$ e um sensor para realimentação $H_i(s)$, conforme ilustrado na Figura 4.2.

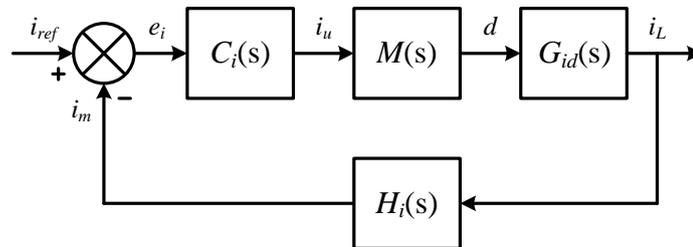


Figura 4.2 – Malha de corrente

O objetivo do compensador de corrente $C_i(s)$ é seguir uma referência senoidal em fase com a tensão de entrada, assim $C_i(s)$ deve possuir uma banda passante elevada com o intuito de causar pouca distorção na corrente de entrada do retificador. O modulador de largura de pulso $M(s)$ possui o objetivo de transformar a ação de controle de corrente (i_u) em uma forma de onda modulada na frequência de chaveamento e com razão cíclica ajustada conforme a amplitude i_u , a qual é utilizada para acionar a chave semicondutora. O erro e_i é a subtração da corrente de referência gerada e da corrente medida através da realimentação do sensor, com ganho representado por $H_i(s)$.

Assim, a função de transferência em malha aberta não compensada da corrente pode ser definida com a equação (4.1).

$$FTMA_{NCi} = M(s) \cdot G_{id}(s) \cdot H_i(s) \quad (4.1)$$

A ação de controle terá uma variação de 0 a 1, assim o modulador adotado deve ser uma forma de onda triangular com amplitude (A_M) que varia de 0 a 1. A representação do

ganho causado pelo modulador pode ser expresso pela função de transferência da equação (4.2).

$$M(s) = \frac{1}{A_M} = 1 \quad (4.2)$$

O sensor possui função de transferência igual ao ganho de conversão, sendo expressa conforme equação (4.3).

$$H_i(s) = \frac{i_{ref}}{i_{med}} = 0,1 \quad (4.3)$$

Onde: i_{ref} – corrente de referência máxima igual a 1 A

i_{med} – corrente medida máxima igual a 10 A

A função de transferência que descreve a resposta da corrente em função da razão cíclica possui característica não linear. O projeto de controladores clássicos para este sistema não pode levar em consideração a simplificação demonstrada, uma vez que a alocação dos polos se dará antes ou depois da frequência de cruzamento, não sendo necessariamente na região em que as curvas do diagrama de bode coincidem.

Assim, com o intuito de linearizar a planta, atribuiu-se o valor de 0,551 para a razão cíclica, a qual foi calculada na seção 2.3.3. Após este procedimento a função de transferência $G_{id}(s)$ é:

$$G_{id}(s) = \frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{400}{2 \cdot 10^{-3}} \cdot \frac{\left(s + \frac{2}{400 \cdot 226,67 \cdot 10^{-6}}\right)}{s^2 + \frac{1}{400 \cdot 226,67 \cdot 10^{-6}}s + \frac{(1-0,551)^2}{2 \cdot 10^{-3} \cdot 226,67 \cdot 10^{-6}}} \quad (4.4)$$

Assim, resolvendo a função de transferência do sistema, representado pela equação anterior, resulta-se na equação (4.5).

$$G_{id}(s) = \frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{2 \times 10^5 \cdot s + 4,546 \times 10^6}{s^2 + \frac{125}{11} \cdot s + 4,58184 \times 10^5} \quad (4.5)$$

Com a função de transferência da planta $G_{id}(s)$ já conhecida, é possível projetar o sistema de controle, cujo objetivo é garantir que a corrente de entrada (i_e) siga a referência senoidal com as seguintes especificações:

- i) Erro nulo em regime permanente, considerando pequenas perturbações na carga;
- ii) Resposta transitória não oscilatória;
- iii) Margens de fase e de ganho positivas para garantir estabilidade ao sistema [19].

4.3.1 Projeto de um Controlador Proporcional

A partir da equação (4.5) é traçado o lugar geométrico das raízes, ilustrado na Figura 4.3.

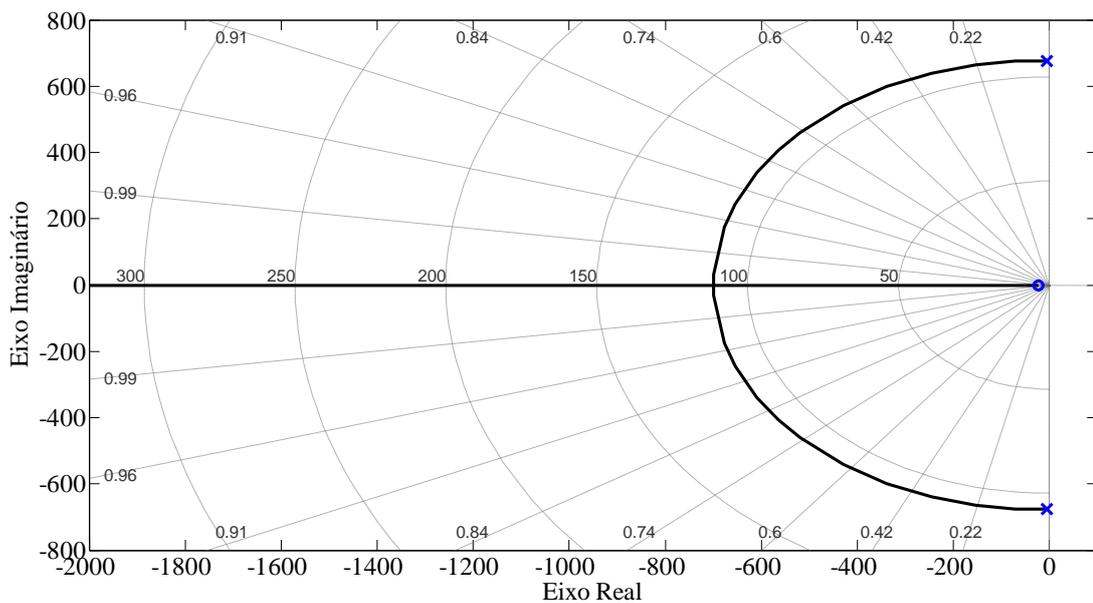


Figura 4.3 – Lugar geométrico das raízes da $G_{id}(s)$

A análise do lugar geométrico das raízes demonstra que a função de transferência em malha aberta apresenta dois polos complexos ($-5,68 \pm 676,87i$) e um zero ($-22,72$). Os polos complexos traduzem uma resposta transitória em malha aberta subamortecida por serem dominantes e o zero influencia sensivelmente na resposta por estar próximo aos polos do sistema (em relação ao eixo real).

Para análise do erro em regime permanente, a partir da equação (4.6) obtém-se a função de transferência em malha fechada não compensada da malha de corrente ($FTMF_{NCi}$), utilizada para a definição do erro da mesma, calculado através da expressão (4.7).

$$FTMF_{NCi}(s) = \frac{G_{id}(s)}{1 + G_{id}(s) \cdot H_i(s)} \quad (4.6)$$

$$e(\infty) = \frac{1}{1 + H_i(s) \cdot G_{id}(s)} = 0,5 \quad (4.7)$$

Na Figura 4.4 é obtida a resposta da saída em função da entrada para a $FTMF_{NCi}$.

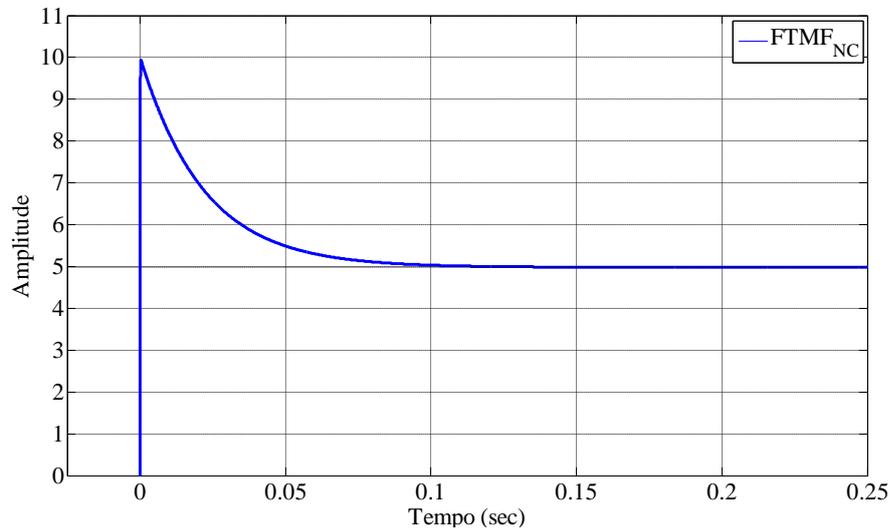


Figura 4.4 – Resposta de $G_{id}(s)$ a um degrau

Nota-se que o sistema em malha fechada possui um erro em regime permanente muito elevado, conforme Figura 4.4 e equação (4.7), necessitando de uma compensação. Esta compensação pode ser realizada através da mudança do ganho proporcional (K_p) em malha fechada. Desta forma, a função de transferência em malha fechada compensada por um ganho proporcional ($FTMF_{CiP}$) pode ser definida conforme equação (4.8) e (4.9).

$$FTMF_{CiP}(s) = \frac{K_p \cdot G_{id}(s)}{1 + K_p \cdot G_{id}(s) \cdot H_i(s)} \quad (4.8)$$

$$FTMF_{CiP}(s) = \frac{K_p \cdot (200 \cdot 10^3 \cdot s + 4,546 \cdot 10^6)}{s^2 + (20 \cdot 10^3 \cdot K_p + 20,01 \cdot 10^3) \cdot s + 454,6 \cdot 10^3 \cdot K_p + 912,7 \cdot 10^3} \quad (4.9)$$

O primeiro passo apresentado por [19] é testar se apenas com a variação do coeficiente proporcional (K_p) consegue-se uma resposta adequada para o sistema. Logo, assume-se que a resposta desejada para o sistema compensado deve ter o erro em regime permanente em torno de 5%. Através do teorema do valor final, o desempenho do sistema pode ser relacionado com as constantes de erro estático, as quais determinam o erro em regime permanente do sistema que pode ser expresso conforme equação (4.10).

$$e(\infty) = \frac{1}{1 + K} = 0,05 \quad (4.10)$$

Onde: $K = K_p \cdot G_{id}(s) \cdot H_i(s)$ é a constante de posição;

$e(\infty)$ é o erro em regime permanente.

Resolvendo a equação (4.10), é obtido um valor de K igual a 19.

Com a resolução da constante K , para uma entrada do tipo degrau ($1/s$), o valor do ganho K_p pode ser determinado conforme a equação (4.11):

$$K = 19 = \lim_{s \rightarrow 0} K_p \cdot G_{id}(s) \cdot H_i(s) \quad (4.11)$$

Desta forma, resolvendo a equação (4.11) em termos de K_p encontra-se o valor de 19,152, o qual garante que o sistema em malha fechada apresentará 5% de erro em regime permanente, considerando a resposta a um degrau. Uma comparação entre o sistema compensado e não compensado é apresentado na Figura 4.5. A análise dos erros demonstra que o sistema compensado apresentou o erro em regime permanente projetado de 0,05, ilustrado na forma de onda em azul da Figura 4.5.

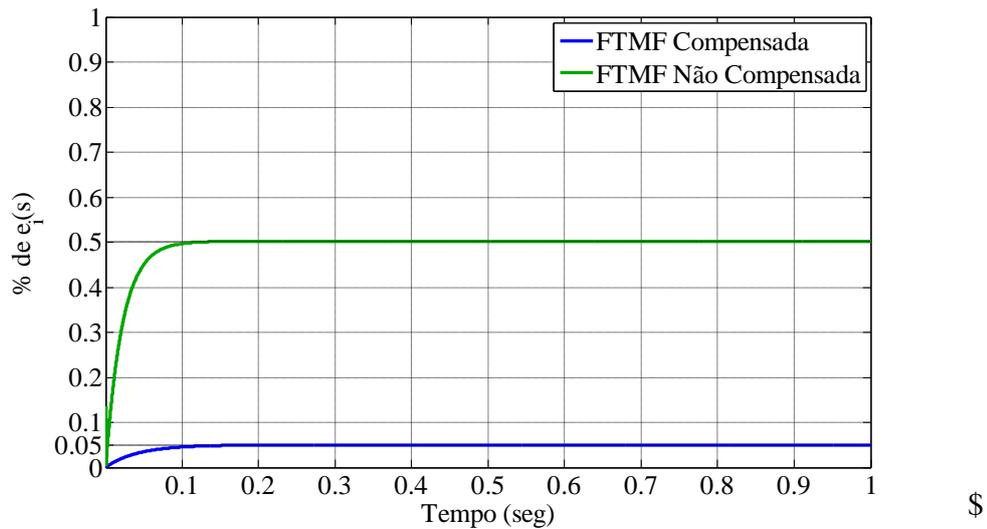


Figura 4.5 – Comparação das respostas de $e(s)$ a um degrau

Também é interessante ressaltar, que apesar do controlador proporcional atende os requisitos de erro estabelecidos, o ganho obtido para tal função é muito elevado do ponto de vista de implementação prática.

4.3.2 Projeto de um Controlador PI

O controlador com ação Proporcional-Integral (PI) foi definido para atender os itens (i) e (ii) da seção 4.3, pois apresenta uma parcela integral que possui característica de garantir erro nulo em regime permanente, já que a resposta transitória do sistema possui tempo de pico adequado. Além disso, este controlador não necessita de grandes esforços computacionais, além de ser comumente utilizado para esta aplicação [11], [12] e [16].

A representação do controlador PI é realizada através de um ganho proporcional K_{PI} , um polo posicionado em 0 e um zero posicionado em $-z_i$, sendo a função de transferência característica deste controlador expressa conforme (4.12).

$$C_i(s) = K_{PI} \frac{(s + z_i)}{s} \quad (4.12)$$

A Figura 4.6 ilustra o lugar das raízes do controlador PI com a presença do polo na origem, o que caracteriza um elevado ganho CC e por consequência torna a resposta do sistema com erro estacionário nulo.

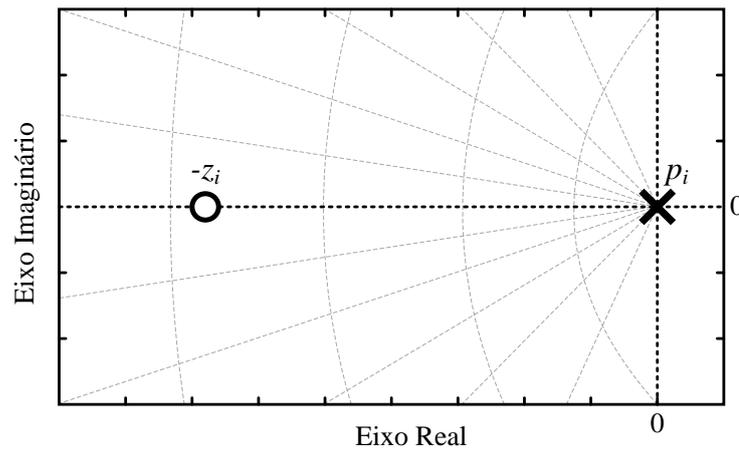


Figura 4.6 – Lugar das raízes do controlador PI

O conversor *boost* opera como pré-regulador de fator de potência quando a corrente de entrada é controlada através da variação da razão cíclica (D), entre os valores de zero e um, onde a razão cíclica do conversor será próxima a 1 quando a tensão de entrada for próxima a zero e será próxima a zero quando a tensão de entrada atingir seu valor máximo (pico), conforme visto na seção 2.2. Assim, com o intuito de verificar o comportamento da planta, foram atribuídos sete valores para D na função de transferência da equação (3.25) e traçados os diagramas de bode para cada ponto de operação, os quais estão ilustrados na Figura 4.7.

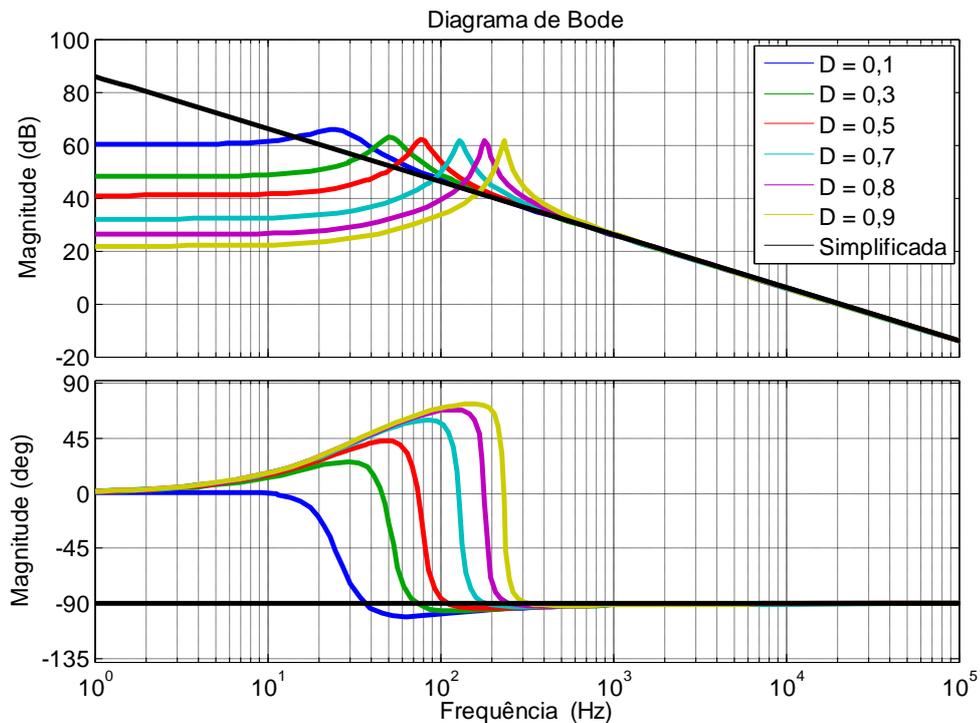


Figura 4.7 – Diagrama de bode da planta $i_L(s)/d(s)$

De acordo com ELIAS (1994), a representação $i_L(s)/d(s)$ pode ser simplificada, considerando o capacitor de saída como uma fonte CC. Tal simplificação é válida apenas para a análise da frequência de cruzamento, que normalmente fica acima da frequência de ressonância, onde os modelos coincidem (frequência acima de 500 Hz). A simplificação (forma de onda em preto no diagrama de bode da Figura 4.7) é representada pela seguinte função de transferência:

$$G_{id}(s) = \frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{V_s}{L \cdot s} \quad (4.13)$$

Como observado na Equação (4.13), a função de transferência simplificada apresenta característica de um sistema de primeira ordem, o que facilita o projeto do controlador de corrente. Considerando os dados apresentados na seção 2.3 do projeto do conversor, define-se que $V_s = 400$ V e $L = 2$ mH para a equação anterior. Desta forma, a função de transferência simplificada é expressa conforme a equação (4.14).

$$G_{id}(s) = \frac{400}{0,002 \cdot s} \quad (4.14)$$

Através da equação (4.14) pode-se obter o lugar das raízes da FTMA do conversor, o qual está representado por um ganho $k = 2 \cdot 10^5$ e um polo na origem, como ilustrado na Figura 4.8.

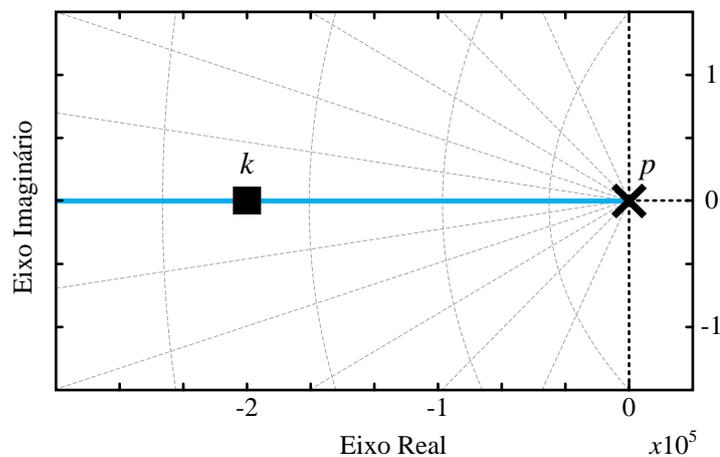


Figura 4.8 – Lugar das raízes da planta $i_L(s)/d(s)$ simplificada

Com o tipo de controlador e a planta definida, a função de transferência em malha aberta compensada é obtida através da equação (4.15), a qual será utilizada para o projeto do ganho K_{PI} do controlador $C_i(s)$.

$$FTMA_{CiPI}(s) = C_i(s) \cdot M(s) \cdot G_{ida}(s) \cdot H_i(s) \cdot H_e(s) \quad (4.15)$$

Segundo TOMASSELI (2001), o projeto do controlador PI deve estar de acordo com as seguintes considerações:

- A frequência de cruzamento por zero (f_{cz}) deve ser menor que a metade da frequência de comutação;
- O zero do controlador deve ser posicionado pelo menos uma década abaixo da frequência de cruzamento de ganho.

Posicionou-se o zero do controlador PI uma década abaixo da frequência de cruzamento, para que o mesmo influenciasse pouco na resposta da malha de corrente (TOMASSELI, 2001). Desta forma, tem-se:

$$f_{CZ} = 4\text{kHz} \quad (4.16)$$

$$\omega_{zero} = \frac{2 \cdot \pi \cdot f_{CZ}}{10} = 2513,3 \text{ rad/s} \quad (4.17)$$

Com a definição do zero do controlador é possível determinar o ganho através da equação (4.15), analisando no ponto onde o ganho é 1 dB (frequência é a de cruzamento por zero) pode-se considerar o modelo simplificado, uma vez que neste ponto os modelos coincidem. Neste sentido, a equação (4.15) fica expressa conforme equação (4.18).

$$1 = K_{PI} \frac{(s + 2513,3)}{s} \cdot 1 \cdot \frac{400}{0,002 \cdot s} \cdot 0,1 \cdot H_e(s) \quad (4.18)$$

Onde $H_e(s)$ é o efeito do chaveamento [16], expresso pela equação (4.19).

$$H_e(s) = \frac{s^2}{(\pi \cdot f_c)^2} - \frac{s}{2 \cdot f_c} + 1 \quad (4.19)$$

Atribuindo a relação $s \rightarrow j\omega$, tem-se:

$$1 = K_{PI} \frac{(j\omega + 2513,3)}{j\omega} \cdot 1 \cdot \frac{400}{0,002 \cdot j\omega} \cdot 0,1 \cdot H_e(j\omega) \quad (4.20)$$

Como a equação anterior não pode ser solucionada devido aos parâmetros complexos presentes, uma solução é aplicar o módulo em cada função de transferência, conforme equação (4.22).

$$1 = \left| K_{PI} \frac{(j\omega + 2513,3)}{j\omega} \right| \cdot |1| \cdot \left| \frac{400}{0,002 \cdot j\omega} \right| \cdot |0,1| \cdot |H_e(j\omega)| \quad (4.21)$$

Considerando que $\omega \rightarrow \omega_{cz}$ e que ω_{cz} é igual a $2\pi f_{cz}$ é possível determinar o valor de K_{PI} , o qual pode ser expresso pela equação (4.24).

$$K_{PI} = \frac{25133^2}{0,1 \cdot \left(\frac{400}{0,002}\right) \cdot 1,017 \cdot \sqrt{25133^2 + 2513,3^2}} = 1,2288 \quad (4.22)$$

Logo, a resposta em frequência para a $FTMF_{CIPI}$ está ilustrada na Figura 4.9, onde se constata o cruzamento em torno de 4 kHz para um ganho K_{PI} de 1,2288.

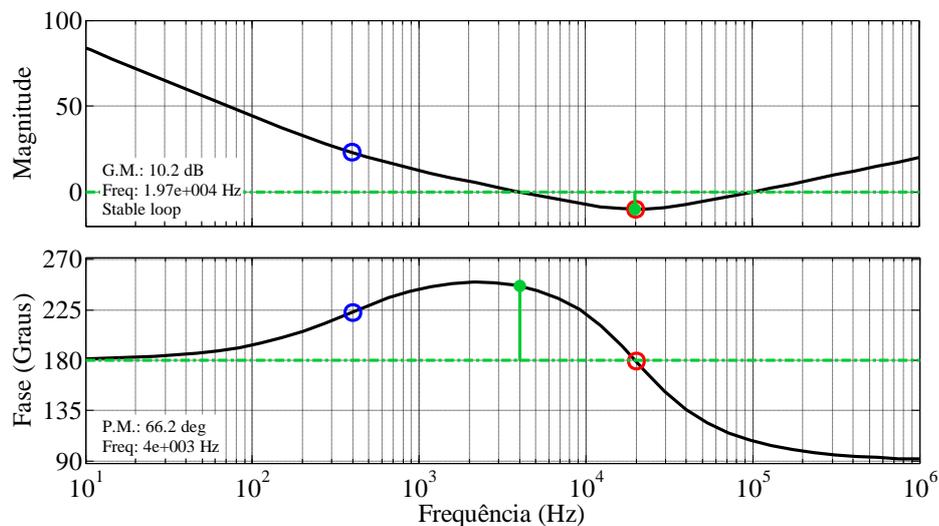


Figura 4.9 – Diagrama de bode da $FTMA_{CIPI}$

Segundo [19], a análise do diagrama de bode pode demonstrar se o sistema é estável ou não em malha fechada. Para isto, é necessário que o diagrama apresente as seguintes características: (i) margem de ganho positiva, em decibéis; (ii) margem de fase positiva.

A resposta em frequência para a $FTMF_{Ci}$ em malha fechada é estável, uma vez que apresenta uma margem de fase (PM) positiva, sendo $73,5^\circ$ e uma margem de ganho de 14.6 dB.

A partir do procedimento descrito, a função de transferência para o controlador PI é definida como:

$$C_{iPI}(s) = 1,2288 \frac{(s + 2513,3)}{s} \quad (4.23)$$

4.4 Malha Externa de Tensão

A malha externa de tensão constitui em um laço externo à malha de corrente, a qual objetiva regular a tensão na carga. Como visto na seção 2.2 o controle da tensão de saída pode ser realizado através do ajuste da corrente eficaz de entrada, método que é utilizado neste trabalho. Além disso, para realizar o controle da tensão de saída a partir da corrente de entrada é preciso conhecer uma relação entre estas duas variáveis. Esta relação é feita através do modelo definido na seção 0.

Conforme ilustrado na Figura 4.10, a malha fechada de corrente deve ser introduzida em série com a planta no controle de tensão para representar a dinâmica da malha de corrente. A malha de controle de tensão introduzirá um ganho (u_v) que será multiplicado pela referência senoidal com o intuito de gerar a corrente necessária para regular a tensão de saída.

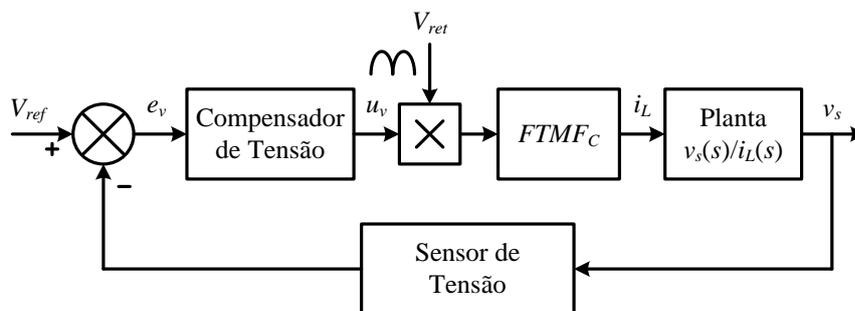


Figura 4.10 – Malha de controle de tensão

Onde: V_{ref} – tensão de referência

V_{ret} – tensão retificada é uma tabela do $|\text{sen}(\omega t)|$

O objetivo do compensador de tensão $C_v(s)$ é fornecer uma ação de controle que represente a tensão de saída regulada. O erro e_v é a subtração da tensão de referência e da tensão medida através da realimentação do sensor, com ganho representado por $H_v(s)$.

O multiplicador que pondera a forma de onda senoidal para a referência da malha de corrente insere um ganho no sistema (K_v), que neste caso é unitário, devido ao fato da corrente ser controlada através do seu valor de pico. Se a corrente fosse controlada por valores médios, este ganho seria igual ao valor médio da tensão de entrada retificada. Portanto, $K_v = 1$.

Atribuindo os valores calculados da capacitância e da resistência na planta $G_{vi}(s)$, a seguinte função de transferência é obtida:

$$G_{vi}(s) = \frac{114,3}{0,088 \cdot s + 1} \quad (4.24)$$

Desta forma, com esta função de transferência é possível a determinação do polo da planta, que será útil na determinação do zero do controlador. De acordo com a equação (4.24) percebe-se que o sistema possui um polo localizado em $-11,3636$, conforme o lugar das raízes do sistema em malha aberta traçado na Figura 4.11.

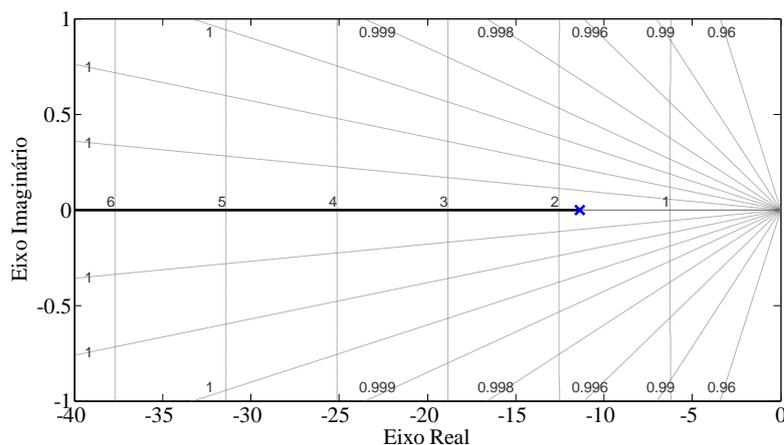


Figura 4.11 – Lugar das raízes para a planta $G_{vi}(s)$

Da mesma forma que para a malha de corrente, a função de transferência do sensor de tensão é igual ao ganho que o mesmo aplica sob o sinal medido. Logo, $H_v(s)$ fica:

$$H_v(s) = \frac{v_{ref}}{v_{med}} = 0,0025 \quad (4.25)$$

Onde: v_{ref} – tensão de referência máxima igual a 1 V

v_{med} – tensão medida máxima igual a 400 V

A função de transferência que representa a malha de corrente é reduzida a uma forma simplificada, devido ao fato da malha de corrente ser muito mais rápida que a malha de tensão, sendo expressa conforme equação (4.26).

$$FTMF_{Ci} \approx \frac{1}{H_i} = 10 \quad (4.26)$$

Com o controlador, a função de transferência em malha aberta compensada para a malha de tensão é obtida através da equação (4.27).

$$FTMA_{Cv} = C_v(s) \cdot K_v \cdot FTMF_C(s) \cdot G_{iv}(s) \cdot H_v(s) \quad (4.27)$$

O controlador de tensão foi escolhido da mesma forma apresentada nos itens da seção 4.3. Com o conceito similar ao projeto do controle PI de corrente, o projeto do controlador PI para a malha de tensão deve possuir uma frequência de cruzamento por zero (f_{cz}) menor que a metade da frequência do distúrbio presente na tensão de saída (120Hz), uma vez que esta malha de tensão deve possuir rejeição a esta frequência. Logo, a frequência de cruzamento escolhida foi de 12 Hz.

O zero do controlador PI foi posicionado de forma a realizar o cancelamento do zero da planta, uma vez que a função de transferência é de primeira ordem [13] e [19]. Assim, tem-se:

$$z_{PI} = p_v = -11,3636 \quad (4.28)$$

Com a definição do zero do controlador é possível determinar o K_p ganho através da equação (4.29) e analisando no ponto onde a resposta em frequência possui módulo de 1 dB.

$$1 = K_p \frac{(s + 11,3636)}{s} \cdot 1 \cdot 10 \cdot \frac{114,3}{0,088 \cdot s + 1} \cdot 0,0025 \quad (4.29)$$

Resolvendo pelo mesmo procedimento exposto na seção 4.3.2 é encontrado o ganho K_p que descreve os parâmetros de projeto especificados.

$$K_p = \frac{75,3982^2 \cdot \sqrt{75,3982^2 + \left(\frac{1}{0,088}\right)^2}}{10 \cdot \left(\frac{114,3}{0,088}\right) \cdot 0,0025 \cdot \sqrt{75,3982^2 + 11,3636^2}} = 2,322 \quad (4.30)$$

Logo, a resposta em frequência para a $FTMF_{C_v}$ está ilustrada na, onde se constata o cruzamento em torno de 12 Hz para um ganho K_p de 2,322, além do cancelamento do zero da planta.

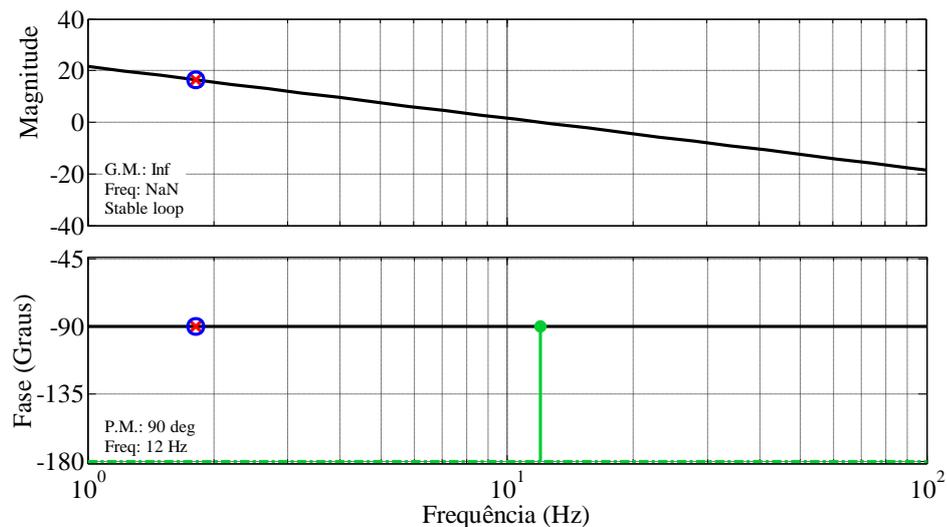


Figura 4.12 – Resposta em frequência para $FTMF_{C_v}$

Desta forma, a função de transferência do controlador de tensão é definida conforme a equação (4.31).

$$C_v = 2,322 \frac{(s + 11,3636)}{s} \quad (4.31)$$

4.5 Resultados de Simulação

A malha de corrente foi simulada no programa MATLAB\Simulink[®] com o circuito da Figura 4.13, fazendo o uso do bloco *M-Function*, destacado em verde, para a implementação do controle digital.

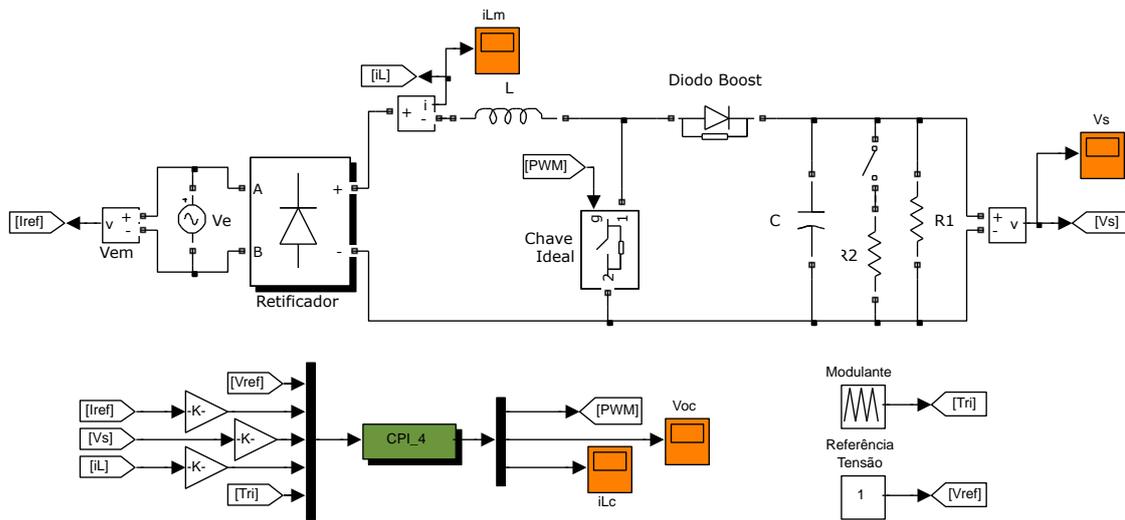


Figura 4.13 – Esquema do circuito simulado

Os parâmetros da simulação estão demonstrados na Tabela 4.

Tabela 4 – Parâmetros do circuito da simulação

Simbologia	Descrição	Valor
V_{e_ef}	Tensão eficaz de entrada	127 V
V_s	Tensão máxima de saída	400 V
I_{smax}	Corrente máxima de saída	1 A
f_e	Frequência da tensão de entrada	60 Hz
f_c	Frequência de chaveamento	40 kHz
R_1 e R_2	Carga de saída	400 Ω
C	Capacitância de saída	226,67 μ F
L	Indutância	2 mH

O controlador utilizado para a comparação é o PI, o qual foi projetado com base no procedimento descrito na seção 4.3 com o intuito de ilustrar a importância da correta posição do zero deste controlador, bem como o ajuste do ganho para o posicionamento da frequência de cruzamento, os quais se projetados de forma inadequada podem influenciar na resposta da malha de corrente como será ilustrado mais adiante.

Os parâmetros de cada controlador utilizado para o controle da corrente de entrada estão dispostos na Tabela 5.

Tabela 5 – Parâmetros dos controladores de corrente

Controlador	Simbologia	Descrição	Valor
P → 1	MF_1	Margem de fase da $FTMA_{Ci1}$	90°
	k_1	Ganho	0,8997
PI → 2	MF_1	Margem de fase da $FTMA_{CiPI2}$	$43,2^\circ$
	z_1	Zero	-2513,3
	k_1	Ganho	0,135
	f_{cz1}	Frequência de cruzamento	400 Hz
PI → 3	MF_2	Margem de fase da $FTMA_{CiPI}$	$66,2^\circ$
	z_2	Zero	-2513,3
	k_2	Ganho	1,2288
	f_{cz2}	Frequência de cruzamento	4 kHz

É possível notar que o controlador 2 ($FTMA_{CiPI2}$) possui uma margem de fase menor que a do controlador 3 ($FTMA_{CiPI}$), devido ao posicionamento de z_1 ser uma década abaixo da frequência de cruzamento desejada (4 kHz), ficando junto à frequência de cruzamento de 400 Hz (valor pequeno definido propositalmente para demonstrar o efeito causado na corrente), a qual pode ser vista no zero posicionado a esquerda do diagrama de bode da Figura 4.14.

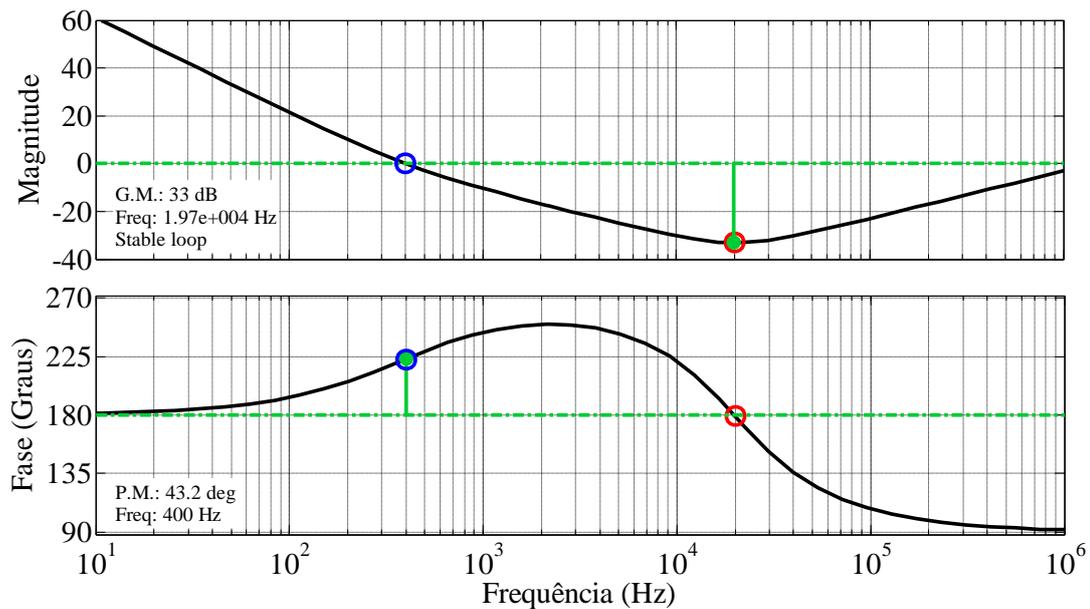


Figura 4.14 – Diagrama de bode com o controlador 2

Em comparação às considerações expostas em [16], apesar da frequência de cruzamento estar abaixo da metade da frequência de chaveamento, atendendo o primeiro requisito, a posição do zero não está de acordo com o segundo, o qual deveria estar posicionado pelo menos uma década abaixo da f_{cz} especificada.

Para o terceiro controlador (PI) nota-se que a posição do zero está uma década abaixo da frequência de cruzamento, a qual está uma década abaixo da frequência de comutação, atendendo os dois requisitos expostos em [16], conforme pode ser visto na Figura 4.15.

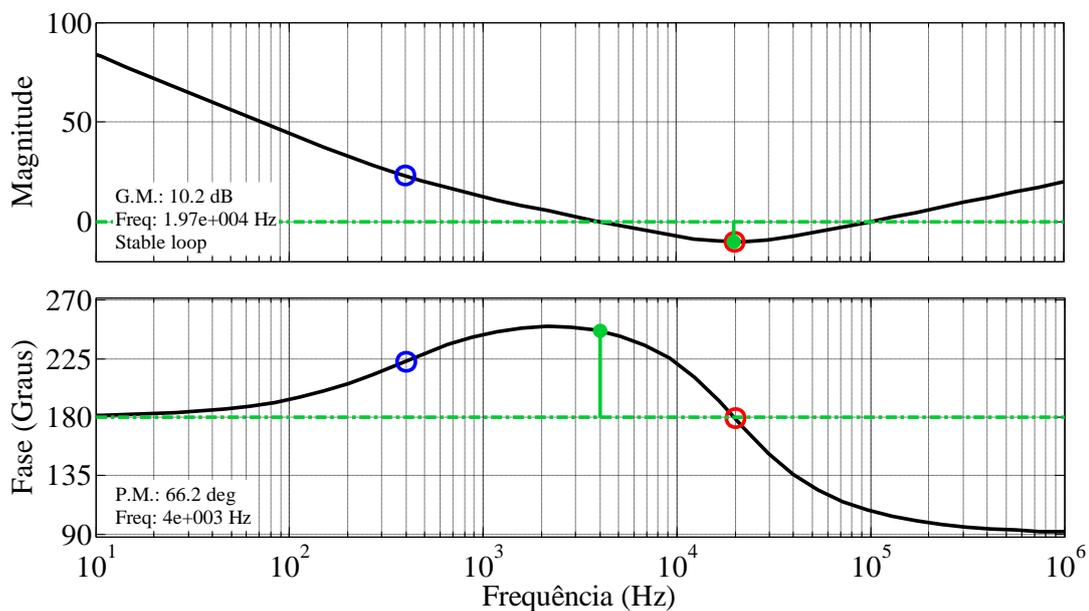


Figura 4.15 – Resposta em frequência com o uso do controlador 3

Na Figura 4.16 estão ilustradas as duas formas de onda da corrente geradas pelos controladores projetados. Com a utilização do controlador proporcional, a corrente da Figura 4.16 (a) foi gerada, possuindo uma THD = 3,44 %. Para o segundo controlador, Figura 4.16 (b), a corrente apresentou-se com mais distorção, sendo uma THD = 4,46 %.

Já com o terceiro controlador houve uma melhor reprodução da corrente devido à resposta mais rápida quando comparado com o controlador anterior e, além disso, o terceiro controlador possui uma margem de fase de $66,2^\circ$, garantindo uma estabilidade maior quando comparada a uma margem de fase de $43,2^\circ$.

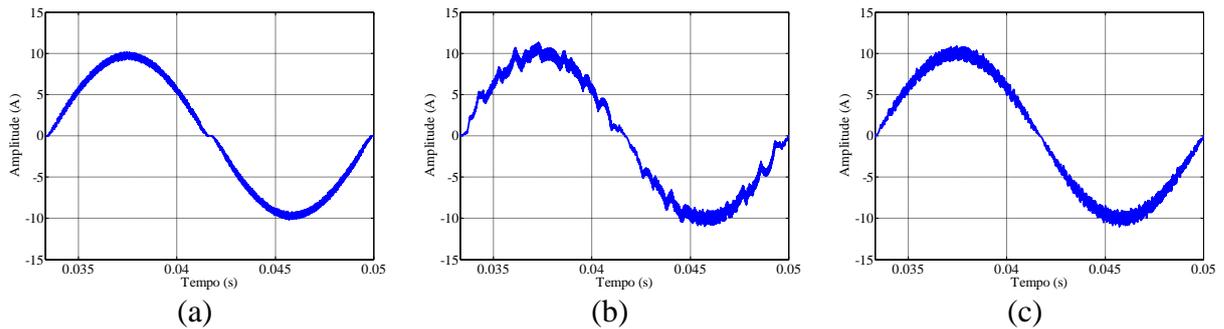


Figura 4.16 – Corrente de entrada para o (a) Controlador 1, (b) o Controlador 2 e (c) o Controlador 3

A Tabela 6 apresenta as taxas de distorção harmônica de cada corrente, obtidas via simulação, bem como as magnitudes de cada componente harmônica da corrente de entrada.

Tabela 6 – Distorção Harmônica Total da Corrente

$C_i(s)$	Mag. da Fundamental	Magnitude das Harmônicas (A)						THD %
		3 ^a	5 ^a	7 ^a	9 ^a	11 ^a	13 ^a	
1	0,955	0,0454	0,0304	0,0232	0,018	0,014	0,0082	3,44
2	1	0,0338	0,0262	0,0226	0,015	0,003	0,0126	4,46
3	1	0,0052	0,0052	0,0044	0,0042	0,003	0,0034	1,77
IEC 61000-3-2	–	2,3	1,14	0,77	0,40	0,33	0,21	–

Verifica-se que o controlador mais adequado em termos de distorção harmônica é o Proporcional-Integral (3), com THD de 1,77%. Este valor representa uma taxa de distorção harmônica bastante reduzida quando comparada aos outros utilizados.

O primeiro controlador apresentou um erro em regime permanente em relação a magnitude da fundamental, sendo 0,955, o que já era esperado devido ao parâmetro de projeto estabelecido na Seção 4.3.1 (erro de 5%). Apesar de o controlador proporcional atender alguns requisitos da norma IEC 61000-3-2, o ganho definido no projeto produz uma ação de controle com valores que chegam à saturação em zero, como pode ser observado na Figura 4.17 (a). Esta característica não apresenta uma região de operação adequada, uma vez que na prática a ação de controle é limitada com o mínimo de 20%.

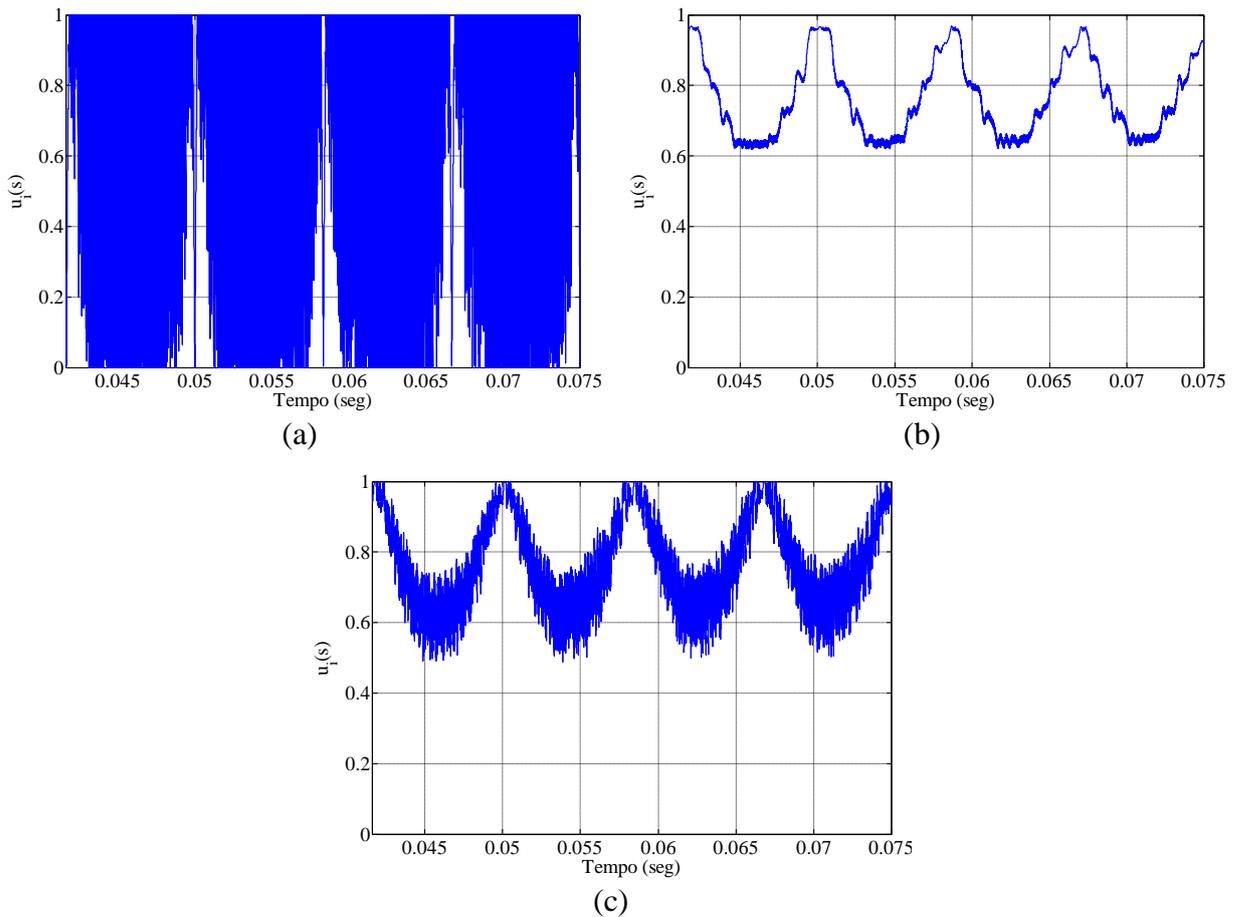


Figura 4.17 – Corrente de entrada. (a) Controlador 1, (b) Controlador 2 e (c) Controlador 3.

As formas de onda das ações de controle dos controladores PI demonstram reproduzir a ação de controle com distorção para o caso da Figura 4.17 (b). Já o controlador 3 apresentou desempenho melhor visto que possui uma margem de fase maior, possuindo uma ação de controle mais adequada para a geração da corrente, conforme Figura 4.17 (c).

Com o intuito de ilustrar o funcionamento da malha de controle de tensão, o conversor foi posto sob condições de mudança de carga. A Figura 4.18 (a) mostra um degrau de carga, onde ocorre o aumento a potência de saída de 400 W para 800 W. Neste caso, fica evidente que o tempo de resposta da malha de tensão é lento, uma vez que a tensão de saída demora vários ciclos de 60 Hz até estabilizar em torno de 400 V. As mesmas características são observadas na Figura 4.18 (b), na qual é demonstrada a diminuição da carga da saída de 800 W para 400 W.

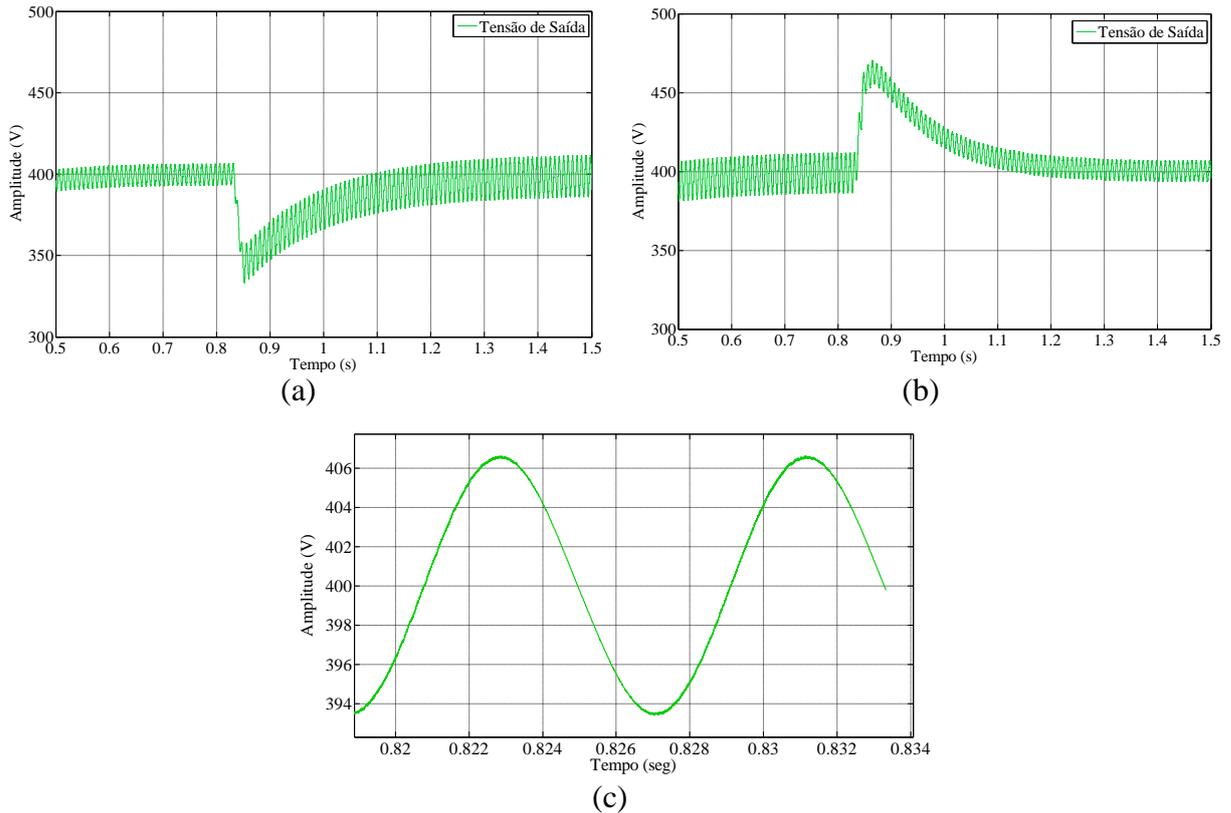


Figura 4.18 – Tensão de saída. (a) $P_s = 400 \text{ W} \rightarrow 800 \text{ W}$. (b) $P_s = 800 \text{ W} \rightarrow 400 \text{ W}$. (c) Detalhe da ondulação da tensão de saída para (a)

Em comparação com a análise teórica realizada na seção 2.2 referente às características da tensão de saída, na Figura 4.18 (c) fica claro o efeito causado pelo equilíbrio das potências de entrada e saída, visto que surge uma oscilação de aproximadamente 6 V de pico e com frequência de 120 Hz. Este efeito é considerado na literatura como um distúrbio causado pela tensão de entrada, devido ao fato desta variar no tempo com frequência de 60 Hz. Portanto, esta oscilação estará presente no conversor sempre que estiver operando com correção do fator de potência.

Com a operação da malha de tensão e da corrente em conjunto, percebe-se em ambos os casos que o controle possui certa imunidade ou rejeição a distúrbios frente à variação de carga. Esta característica pode ser entendida simplesmente com a variação que ocorre na corrente de entrada, a qual aumenta de amplitude com a conexão da carga e diminui de amplitude com a retirada da carga. Tal característica pode ser visualizada na Figura 4.19 (a) com o aumento da carga e Figura 4.19 (b) com a diminuição da carga.

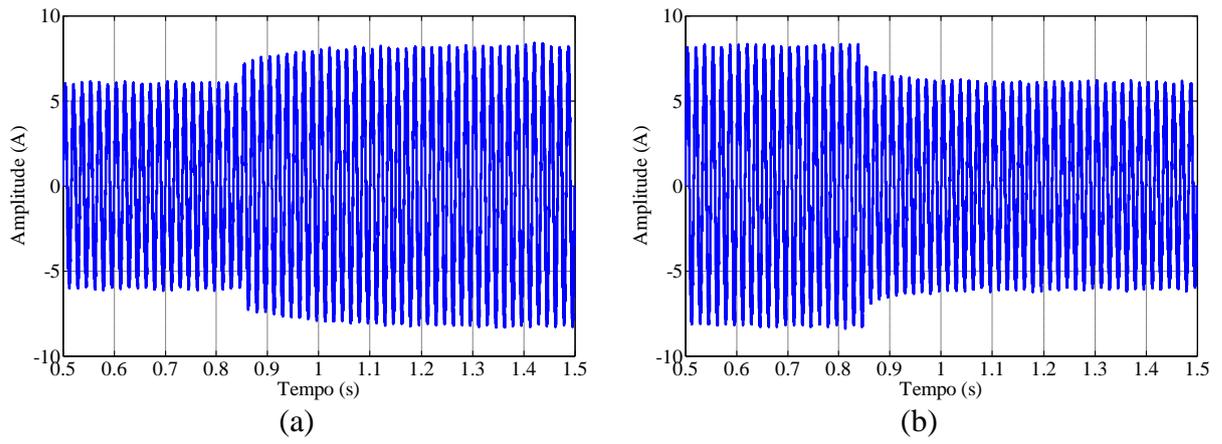


Figura 4.19 – Corrente de entrada. (a) $P_s = 400 \text{ W} \rightarrow 800 \text{ W}$. (b) $P_s = 800 \text{ W} \rightarrow 400 \text{ W}$

5 RESULTADOS EXPERIMENTAIS

5.1 Introdução

Neste capítulo serão apresentados os resultados experimentais obtidos com o protótipo implementado. No intuito de validar a metodologia apresentada, foram feitos testes com o conversor. Estes testes contemplam: (i) teste da malha de controle de corrente; (ii) testes dos circuitos de medição e sincronização. Além disso, foram feitas análises para o conteúdo harmônico presente na corrente e sua ondulação, bem como na ondulação presente na tensão e saída.

No Anexo A deste trabalho está todo o procedimento utilizado para a obtenção do controle na forma digital, o qual foi programado no microcontrolador para a obtenção destes resultados. No Anexo C deste trabalho há uma descrição completa do protótipo implementado, com os esquemáticos, as fotos e os circuitos impressos montados. No Anexo E se encontra o código completo programado no dsPIC.

A Tabela 4 demonstra os parâmetros utilizados nos resultados experimentais.

Tabela 7 – Parâmetros utilizados no conversor

Simbologia	Descrição	Valor
V_{e_ef}	Tensão eficaz de entrada	64 V
V_s	Tensão de saída	200 V
I_{e_ef}	Corrente de entrada de pico	2 A
f_e	Frequência da tensão de entrada	60 Hz
f_c	Frequência de chaveamento	39 kHz
R	Carga de saída	450 Ω
C	Capacitância de saída	231,9 μ F
L	Indutância	2 mH

5.2 Resultados da malha de corrente

A corrente gerada para o controlador PI projetado apresentou uma característica bastante próxima a senoidal. As formas de onda da corrente gerada e da tensão de entrada podem ser vistas na Figura 5.1.

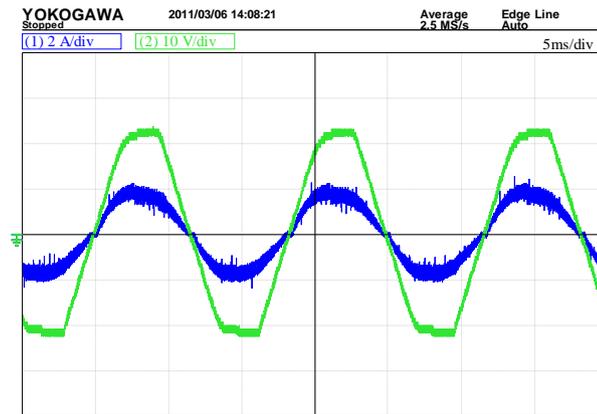


Figura 5.1 – Tensão e corrente de entrada do retificador. (Canal 1) Corrente (2A/div) e (Canal 2) Tensão (10 V/div)

Outra característica bastante importante que pode ser observada é que a corrente gerada está em fase com a tensão, indicando que o fator de potência é próximo ao unitário.

Com o intuito de verificar a taxa de distorção presente na corrente de entrada, bem como do seu fator de potência, foram calculados a THD pela equação (1.1) e o FP através da equação (1.2). Os dados calculados estão dispostos na Tabela 8, a qual apresenta os valores das componentes harmônicas de ordem ímpar, assim como a THD do sinal. As componentes de ordem par não foram significativas.

Tabela 8 – Resultado do cálculo da FFT e da THD da corrente de entrada

	Mag. da Fundamental	Magnitude das Harmônicas (A)						THD
		3 ^a	5 ^a	7 ^a	9 ^a	11 ^a	13 ^a	
PI	1,942	0,06	0,07	0,027	0,024	0,026	0,016	6,19
IEC 61000-3-2	< 16 A	2,3	1,14	0,77	0,40	0,33	0,21	–

Estes valores das componentes são comparados com os limites estabelecidos pela Norma IEC 61000-3-2, onde se verifica que a estrutura atende à norma para o nível de tensão da entrada utilizado.

Com o valor da THD determina-se o valor para o fator de potência, expresso na equação a seguir:

$$FP = \frac{\cos(0)}{\sqrt{1 + (6,19/100)^2}} = 0,9981 \quad (5.1)$$

A norma brasileira determina um limite mínimo para o fator de potência, devendo ser maior que 0,92. Comparando este limite com o fator de potência obtido fica claro que o conversor e o sistema de controle desempenham suas funcionalidades perfeitamente. Além disso, a utilização do circuito de sincronização adotado demonstra ser eficiente para tal função, gerando uma onda quadrada sincronizada com a rede, conforme pode ser visto na Figura 5.2.

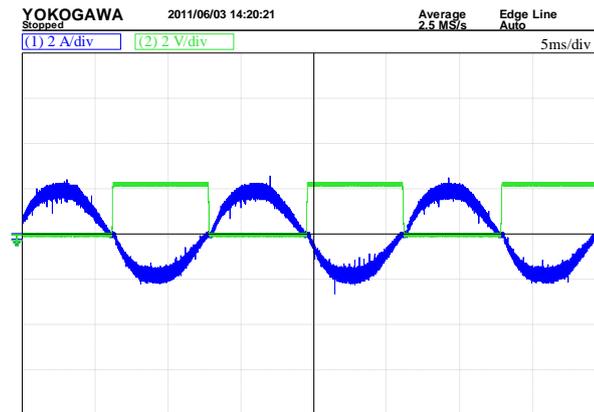


Figura 5.2 – Corrente de entrada retificador e sinal de sincronização. (Canal 1, Corrente, 2A/div - Canal 2, Sinal de sincronização, 2 V/div)

Como visto na seção 2.2, a corrente gerada pelo conversor possui uma oscilação causada pelo chaveamento (Δi_L). Através dos resultados experimentais verificou-se que a corrente apresentou uma oscilação de aproximadamente 500 mA, conforme pode ser visualizado na Figura 5.3 (b).

Esta oscilação pode ser calculada substituindo a equação (2.6) na equação (2.7), considerando os parâmetros experimentais utilizados, conforme equação (5.2).

$$\Delta I_L = \frac{\left(\frac{V_s - V_{e_pico}}{V_s}\right) \cdot V_{e_pico}}{L \cdot f_c} = \frac{\left(\frac{200 - 64\sqrt{2}}{200}\right) \cdot 64\sqrt{2}}{2 \cdot 10^{-3} \cdot 40 \cdot 10^3} = 0,6194 \text{ A} \quad (5.2)$$

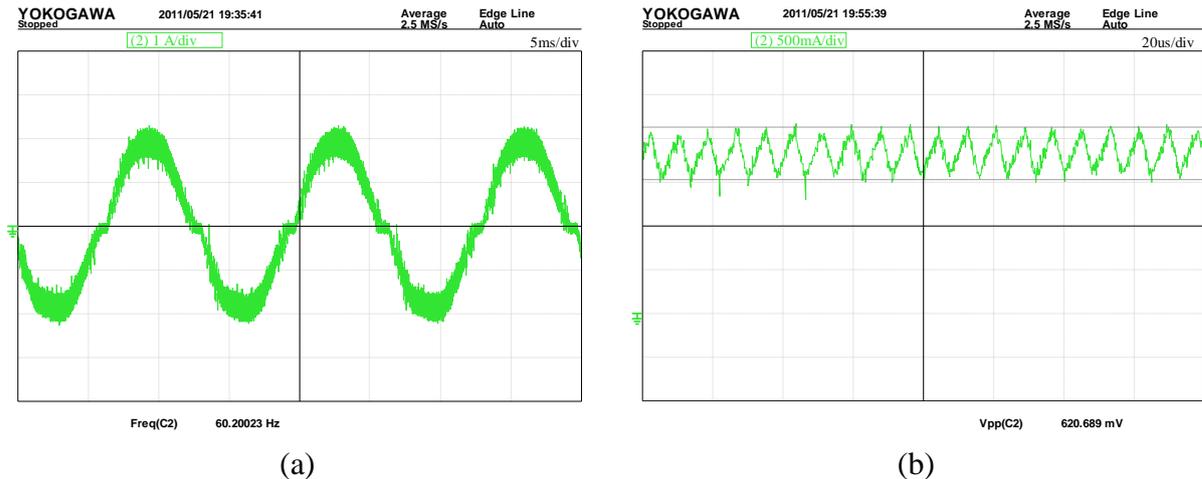


Figura 5.3 – Corrente de entrada retificador (a) três ciclos de 60 Hz e (b) ampliada

Conforme visto na seção 2.2, esta corrente senoidal em fase com a tensão faz surgir uma ondulação na tensão de saída. Para fins de comparação, através da equação (2.1) foi definida a ondulação de saída, sendo expressa em (5.3).

$$\Delta v_s \approx \frac{P_s}{\omega \cdot C \cdot v_{s_ef}} = \frac{200^2/450}{2\pi \cdot 60 \cdot 231,6\mu \cdot 200} = 5,1 \text{ V} \quad (5.3)$$

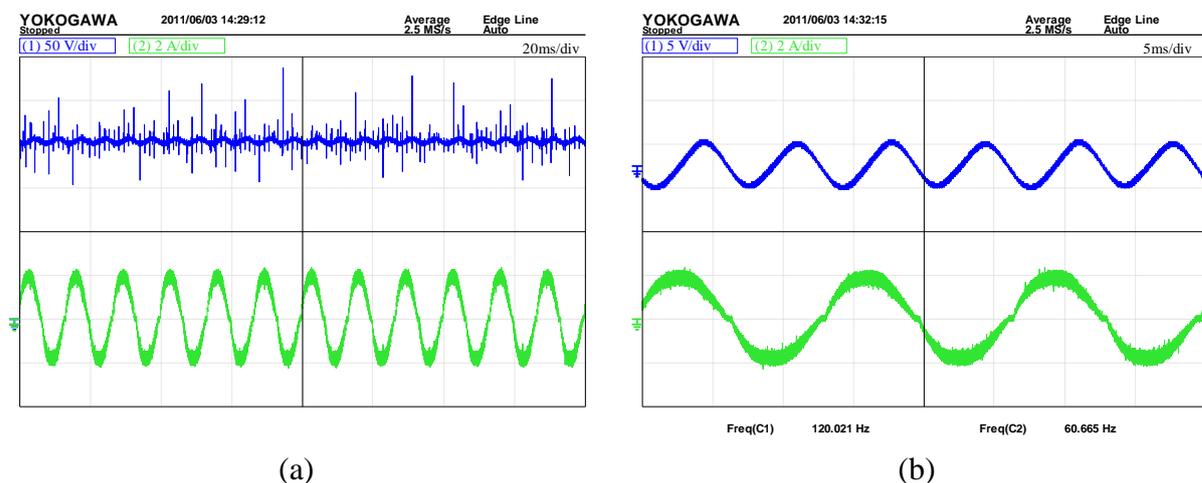


Figura 5.4 – Tensão de saída e corrente de entrada do conversor (Canal 1, Tensão, 50V/div - Canal 2, Corrente, 2 A/div) em (a). Tensão de saída com acoplamento CA e corrente de entrada (Canal 1, Tensão, 5V/div - Canal 2, Corrente, 2A/div) em (b)

Comparando a ondulação calculada com a ondulação obtida através dos resultados experimentais (osciloscópio configurado com acoplamento CA) fica evidente que a

metodologia adotada nos cálculos dos parâmetros e bem como a definição dos circuitos de medição foram suficientemente adequadas, uma vez que o valor calculado resultou em uma oscilação de 5,1 V e o resultado experimental retorna o valor de aproximadamente 5V através da forma de onda superior da Figura 5.4 (b).

Com o intuito de realizar testes experimentais com a malha de controle de corrente, no que diz respeito à rejeição de distúrbios na carga, o conversor foi colocado sob condições de mudança de carga. Neste caso, os testes realizados consideram que a tensão está operando em malha aberta.

No momento da mudança de carga, ocorre uma variação na tensão de saída, uma vez que as potências de entrada e saída entram em equilíbrio. Esta característica pode ser visualizada nas formas de onda apresentadas em azul (tensão de saída) da Figura 5.5 (a) e (b), sendo as formas de onda experimentais apresentadas em (a) e as formas de onda via simulação em (b).

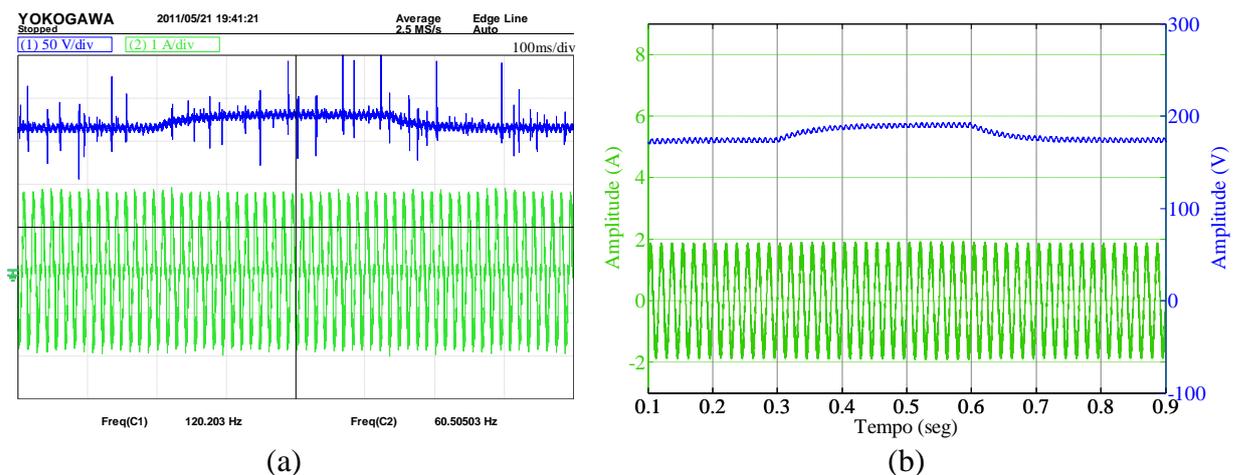


Figura 5.5 – Comparação com degrau de carga (a) Experimental. (b) Simulação

Nota-se uma semelhança bastante grande nos dois resultados apresentados, onde a tensão de saída nos dois casos fica próxima a 200V após a ocorrência da troca de carga. Além disso, é importante destacar que a corrente de entrada do retificador fica ajustada em um valor fixo, tanto na entrada da carga como na retirada da mesma. Esta característica evidencia o funcionamento da malha de corrente, que apesar da variação da carga o controle a mantém constante em termos de amplitude.

Após a análise dos resultados de simulação, nota-se que o Simulink[®] dá uma visão bastante próxima aos resultados experimentais, no que diz respeito ao fator de potência e ao controle da corrente de entrada do retificador.

5.3 Circuitos de medição e sincronização

Inicialmente, tinha-se a ideia de utilizar o circuito amplificador diferencial de instrumentação para realizar a medição da corrente, porém, este apresentou picos causados no chaveamento do MOSFET na saída da medição, conforme pode ser visualizado na Figura 5.6 (a). A segunda ideia foi utilizar o circuito de medição da corrente como um amplificador subtrator, o qual apresentou resultados satisfatórios, como pode ser observado na Figura 5.6 (b).

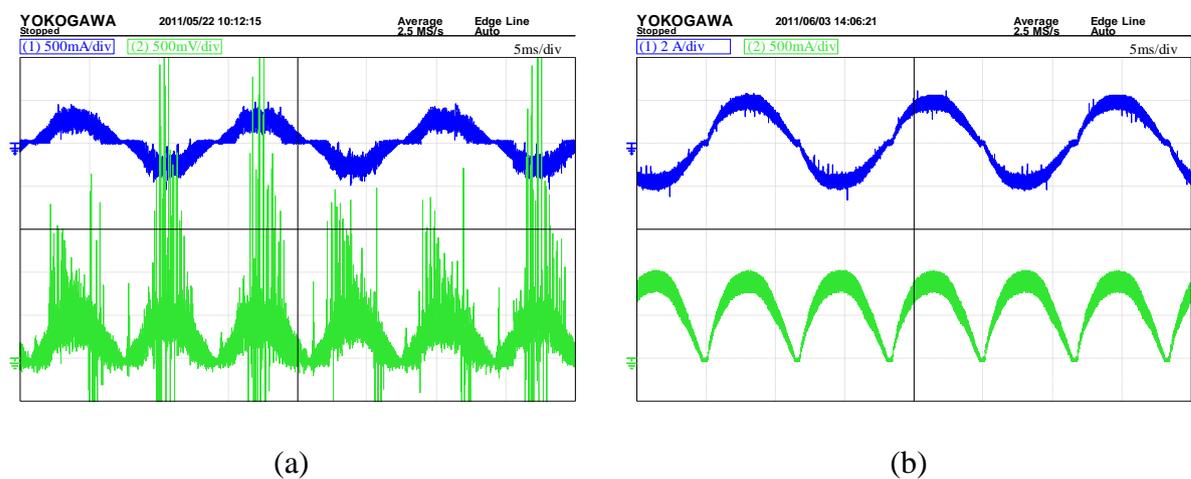


Figura 5.6 – Corrente de entrada retificador e sinal da medição de corrente. (a) amplificador diferencial de instrumentação. (b) amplificador subtrator

Do ponto de vista de aquisição e controle, com a utilização do amplificador diferencial de instrumentação não foi possível fazer com que o sistema funcionasse de forma adequada. Assim, a comparação entre as aquisições realizadas mostra uma diferença bastante significativa na análise do erro quando o amplificador diferencial de instrumentação é utilizado Figura 5.7 (a). No caso do amplificador subtrator, o resultado da aquisição é mais adequado devido ao fato da estrutura subtratora possuir uma quantidade menor de amplificadores operacionais, o que diminui o número de portas de entrada para ruídos indesejáveis que são amplificados no estágio.

Os resultados apresentados na Figura 5.7 (a) e na Figura 5.7 (b) estão no formato aritmético de ponto fixo (Q_n) em termos de amplitude, possuindo um número de amostras referente a uma frequência de amostragem de 39 kHz.

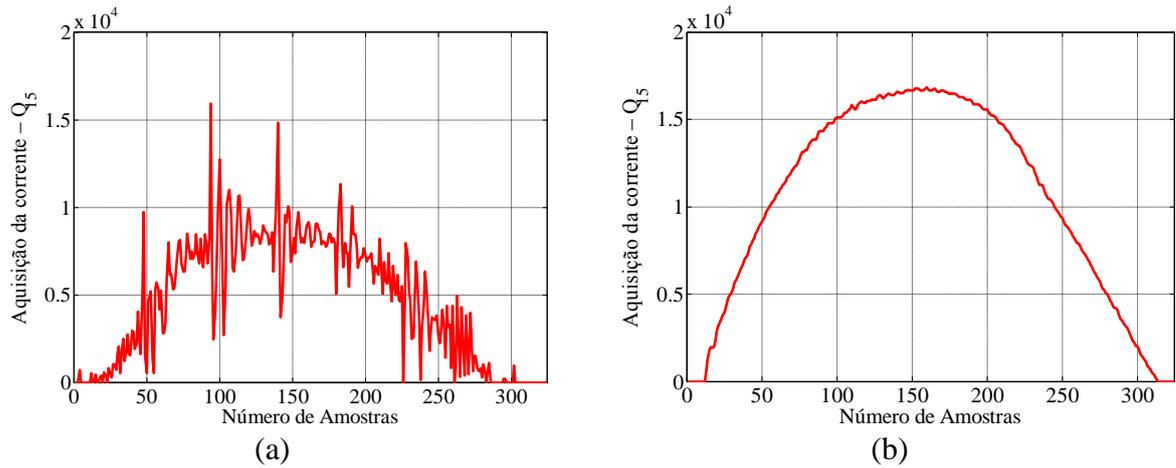


Figura 5.7 – Aquisições da corrente de entrada retificador utilizando: (a) amplificador diferencial de instrumentação. (b) amplificador subtrator

Esta frequência de amostragem de 39kHz foi utilizada para que o temporizador do microcontrolador tivesse uma variação de exatamente 0 a 1023, com o intuito de que a ação de controle pudesse ser comparada linearmente em todos os valores, uma vez que ela é uma grandeza representada em Q_{15} e dividida por 8 para adequá-la neste intervalo.

6 CONSIDERAÇÕES FINAIS

O presente trabalho contribuiu para o estudo e implementação de um retificador com correção de fator de potência, bem como na apresentação de um procedimento de projeto dos circuitos de medição e sincronização. Além disso, foi apresentada uma abordagem teórica para o controlador proporcional e uma abordagem teórico-experimental para o controlador proporcional-integral.

Inicialmente, é apresentado o tipo de UPS em que conversores CC-CC podem ser aplicados, destacando as principais partes que a compõem, bem como as principais topologias de retificadores utilizados no estágio de entrada.

Dentre as estruturas descritas, foi visto que o retificador passivo a diodos é a estrutura mais simples e de baixo custo, porém, segundo a literatura esta estrutura é um tanto ineficiente. Assim, foi visto também que a solução para o problema do fator de potência e da distorção harmônica apresentada nesta topologia é a utilização de conversores CC-CC conectados em série operando como pré-regulador de fator de potência. Desta forma, com a revisão bibliográfica sobre os conversores CC-CC, fator de potência e distorção harmônica total realizada nos capítulos iniciais, a estrutura que apresentou ser mais vantajosa para tal função foi o *boost* PFC.

A análise teórica realizada para o conversor na seção 2 abordou as principais formas de onda do conversor *boost* operando com correção do fator de potência, bem como o projeto dos elementos dos circuitos do conversor, da medição e da sincronização, os quais foram validados experimentalmente.

Os modelos linearizados foram estudados e a sua qualidade comprovada. Porém, eles podem ser melhor aplicados quando o ponto de operação é fixo, o que não ocorre neste caso com a correção do fator de potência de entrada.

Inicialmente, para a medição de corrente utilizou-se o amplificador diferencial de instrumentação, o qual apresentou problemas de ruído e de referência com a unidade de controle. Com a substituição do mesmo pelo amplificador subtrator, os resultados melhoraram significativamente em termos de aquisição e controle. Outra característica que influenciou bastante na melhoria da correção do fator de potência é a amplitude da tensão de entrada do conversor, sendo que nos primeiros testes realizados a tensão não era suficiente para gerar a amplitude da corrente de entrada desejada, a qual foi aumentada.

Desta forma, fica claro que a instrumentação é um ponto chave em qualquer sistema que envolva aquisição e controle. Deve-se ter muito cuidado na escolha do circuito a ser utilizado, bem como nos parâmetros a serem definidos para o sistema (frequência de amostragem, frequência de chaveamento, entre outros).

Os resultados de simulação obtidos demonstraram uma semelhança bastante significativa com os resultados experimentais, o que comprova que a utilização da função M do Simulink[®] é bastante eficiente e flexível para a implementação digital de técnicas de controle na simulação. Além disso, é interessante destacar que a implementação do controle digital via simulação facilita na identificação de possíveis problemas que poderão surgir na implementação prática, uma vez que o código feito para o microcontrolador segue a mesma ideia da implementação digital no Simulink[®].

Conforme apresentado nos resultados experimentais, o conversor atendeu aos requisitos do Módulo 8 do PRODIST da ANEEL, uma vez que o fator de potência produzido pela lei de controle ficou bem próximo ao unitário, emulando uma carga quase que puramente resistiva e ficando maior que o limite de 0,92. Além disso, o circuito de sincronização definido demonstrou ser bastante eficiente, não apresentando atraso significativo que influenciasse no fator de potência do sistema.

Como sugestão para continuidade do trabalho, sugere-se os seguintes itens:

- A validação experimental da malha de controle de tensão, uma vez que o controlador apresentou resultados de simulação satisfatórios, bastando apenas implementar a lei de controle de tensão projetada no microcontrolador;
- Aumentar a tensão de entrada até a nominal para verificar se a corrente de entrada ainda atende à norma, uma vez que ela se aplica à tensões maiores do que a utilizada.
- Utilizar circuitos de auxílio à comutação, para redução das perdas de chaveamento, com o intuito de fazer comparações de rendimento;
- Realizar testes com cargas de natureza diferente, podendo ser cargas não lineares;
- Realizar testes de simulação e experimentais com outras técnicas de controle, podendo ser até controladores não lineares, visto que o conversor *boost* possui um modelo não linear para corrente.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] ERICKSON, R.W.; MAKSIMOVIĆ, D. **Fundamentals of Power Electronics**. 2ª Ed., Colorado, Kluwer Academics Publishers, 2001;
- [2] POMÍLIO, J. A. **Pré-Reguladores de fator de potência**. Apostila de Publicação Interna da Universidade Estadual de Campinas, 2007;
- [3] LARICO, Hugo Rolando Estofanero. **Conversor Boost Controlado em Corrente Aplicado ao Retificador Monofásico**, Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis, SC, 2007;
- [4] REMOR, José Paulo. **Autocontrole de Corrente Aplicado ao Conversor Boost Monofásico, para Correção do Fator de Potência**, Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis, SC, 2004;
- [5] DAMASCENO, Daniel da Motta Souto. **Metodologia de Projeto de Conversores Boost para Correção de Fator de Potência Aplicada a Sistemas Ininterruptos de Energia**, Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal de Santa Maria, Santa Maria, RS, 2006;
- [6] SCHUCH, Luciano. **Sistema CA-CC com um Conversor PWM Bidirecional para Interface entre o Barramento CC e o Banco de Baterias**, Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal de Santa Maria, Santa Maria, RS, 2001;
- [7] FIGUEIREDO, João Paulo; TOFOLI, Fernando; SILVA, Bruno Leonardo. **A Review of Single-Phase PFC Topologies Based on The Boost Converter**, 9th IEEE/IAS International Conference on Industry Applications – INDUSCON, São Paulo, 2010;
- [8] STREIT, Robert, TOLLIK, Daniel. **A High Efficiency Telecom Rectifier Using A Novel Soft-Switched Boost-Based Input Current Shaper**, in INTELEC, pp. 720-726, 1991;
- [9] YUAN, Yisheng; CHANG, Liuchen; SONG, Pinggang. **A new front-end converter with extended hold-up time**, in Proceedings Large Engineering Systems Conference on Power Engineering, 2007, pp. 275-278;
- [10] LEE, Yim-Shu. **Computer-Aided Analysis and Design of Switch-Mode Powersupplies**. Ed. Marcel Dekker, Inc. 1993. New York;

- [11] DE GUSSEMÉ, Koen; VAN DE SYPE, David M.; VAN DEN BOSSCHE, Alex P.; MELKEBEEK, Jan A. **Digital control of boost PFC converters operating in both continuous and discontinuous conduction mode.** 35th Annual Power Electronics Specialists Conference, 2004. PESC 04, Vol. 3, 2346, November 2004;
- [12] LE BUNETEL, J. Ch.; MACHMOUM, M. **Control of boost unity power factor correction systems.** Industrial Electronics Society, 1999. IECON '99, Vol. 1, 266, August 2002;
- [13] DORF, Richard C.; BISHOP, Robert H. **Sistemas de Controle Modernos.** Décima Primeira Edição, LTC, 2009;
- [14] MOHAN, N., UNDELAND, T., WILLIAMS, R. **Power Electronics: Converters, Applications and Design,** John Willey and Sons, 1995;
- [15] DE GUSSEMÉ, Koen; VAN DE SYPE, David M.; MELKEBEEK, Jan A. **Design issues for digital control of boost power factor correction converters.** Proceedings of the 2002 IEEE International Symposium on Industrial Electronics, 2002. ISIE 02, Vol. 3, 731-736, November 2002;
- [16] TOMASSELLI, L. C. **Controle de um pré-regulador com alto fator de potência utilizando o controlador DSP TMS320F243,** Dissertação (Mestrado Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis, 2001;
- [17] BARBI, Ivo; FONT, Carlos Henrique Illa; ALVES, Ricardo Luiz Alves. **Projeto físico de indutores e transformadores,** Apostila, Universidade Federal de Santa Catarina, 2002;
- [18] KREIN, Philip T. **Elements of Power Electronics.** Oxford University Press, 1998;
- [19] NISE, Norman S. **Engenharia de Sistemas de Controle.** Editora LTC, 5ª Ed., 2009;
- [20] BELTRAME, Fernando. **Análise Comparativa de Conversores Monofásicos Aplicados à Correção de Fator de Potência.** Dissertação (Mestrado Engenharia Elétrica), Universidade Federal de Santa Maria, Santa Maria, 2009;
- [21] KRUG, Rodrigo P; BELTRAME, Rafael C.; HEY, Hélio L. **Circuito de Drive Isolado para MOSFET e IGBT.** Congresso Regional de Iniciação Científica e Tecnológica em Engenharia CRICTE07, Passo Fundo, 2007;

- [22] MICROCHIP, **Datasheet do dsPIC33FJ64GP706**, <www.microchip.com>, acesso em 29 de setembro de 2010;
- [23] MICROCHIP, **16-Bit Language Tools Libraries**, <www.microchip.com>, acesso em 31 de janeiro de 2011;
- [24] MOSAICO, **McBoard Datasheet dsPIC33FJ64 GP706**, <www.mosaico.com.br>, acesso em 31 de janeiro de 2011;

ANEXO A. CONTROLE DIGITAL

A obtenção de controladores digitais normalmente é realizada por dois modos: (i) o primeiro consiste no projeto do controlador diretamente na forma discreta; (ii) o segundo modo consiste no projeto em domínio contínuo e depois na aplicação de um método de discretização para obter a resposta semelhante.

Dentre os métodos de discretização apresentados na literatura, foi utilizado o método de discretização de Euler, onde é realizado um mapeamento do domínio do tempo contínuo (t) para o tempo discreto (k). A aproximação de Euler é feita conforme equação (A.1).

$$\dot{x}(t) \Rightarrow \frac{T_s x[k+1] - x[k]}{T_a} \quad (\text{A.1})$$

Onde: T_a é a frequência de amostragem

$x(k+1)$ é a próxima amostra

$x(k)$ é a amostra atual

$\dot{x}(t)$ é a derivada de $x(t)$

A partir das equações discretas dos controladores é possível a obtenção das equações digitais que serão implementadas no microcontrolador. Partindo da análise básica de sistemas sabe-se que a resposta de um sistema $u_i(s)$ é o produto entre a entrada $e_i(s)$ e a função de transferência do mesmo $c_i(s)$, sendo expressa por:

$$C_i(s) = \frac{u_i(s)}{e_i(s)} = 1,2288 \frac{(s + 2513,3)}{s} \quad (\text{A.2})$$

Que também pode ser expressa como:

$$u_i(s) \cdot s = 1,2288 \cdot e_i(s) \cdot (s + 2513,3) \quad (\text{A.3})$$

Aplicando a transformada inversa de Laplace em (A.3), tem-se:

$$\dot{u}_i(t) = 1,2288 \cdot [\dot{e}_i(t) + e(t) \cdot 2513,3] \quad (\text{A.4})$$

No microcontrolador a frequência de amostragem utilizada é igual à frequência de comutação da chave, desta forma, é possível considerar que $T_a = T_s$. Assim, para a obtenção da função de transferência discreta do controlador substitui-se (A.1) em (A.4) considerando que $T_s = 25 \mu s$. Após o procedimento o controlador PI na forma digital é:

$$u_i[k] = u_i[k - 1] + 1,2288 \cdot e_i[k] - 1,1516 \cdot e_i[k - 1] \quad (A.5)$$

Onde: k é o índice para a amostragem das variáveis

$$e_i[k] = i_{ref}[k] - i_{med}[k]$$

Calculada anteriormente, a equação do controlador possui valores fracionários dos ganhos e também possui valores fracionários para os erros $e_i[k]$ e $e_i[k-1]$, o que indica duas multiplicações com números fracionários.

O microcontrolador utilizado possui estrutura aritmética de ponto fixo, o que não impede de o usuário utilizar operações aritméticas com números fracionários, sendo uma das vantagens do dsPIC por possuir instruções e um hardware com características de um DSP. Além disso, normalmente os processadores de ponto flutuante possuem custo mais elevado, o que torna o uso desta aritmética em processadores bastante atrativa.

Assim, como o controlador possui aritmética de ponto fixo, uma das formas de operar com valores fracionários é interpretar os mesmos através de uma representação numérica, conhecida como Aritmética de Ponto Fixo. A Figura A.1 ilustra a representação de um registrador de 16 bits, sendo Q_n o formato de representação, n o número de bits utilizados para representar os números após a vírgula (parte fracionária) e $16 - n$ para representar os números à esquerda da vírgula (parte inteira). Em outras palavras, o ponto verde da Figura A.1 pode ser deslocado conforme a necessidade da representação.

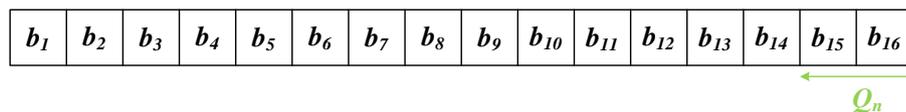


Figura A.1 – Representação com aritmética de ponto fixo

A equação do controlador calculada anteriormente possui valores fracionários para os ganhos e também possui valores fracionários para os erros $e_i[k]$ e $e_i[k-1]$, o que indica duas multiplicações com números fracionários. Estes números representados através da aritmética

de ponto fixo podem ter pequenas variações conforme o formato Q_n definido, uma vez que afeta a precisão e o máximo ou mínimo valor possível de ser representado. Assim, comumente se utiliza duas regras para definir estas características sem afetar significativamente na representação. A equação A.6 demonstra o intervalo de valores possíveis de serem representados e a equação A.7 retorna o formato que assegura a melhor precisão.

$$-2^{b-1} \leq X \cdot 2^n \leq 2^{b-1} - 1 \quad (\text{A.6})$$

$$n = \text{floor} \left(b - 1 - \frac{\log_{10} X}{\log_{10} 2} \right) \quad (\text{A.7})$$

Onde: b é o número de bits do registrador;

n é o número de bits utilizados na representação Q_n ;

$\text{floor}()$ é uma função de arredondamento em direção à zero;

X é o número a ser representado.

Como exemplo, a equação A.8 apresenta o cálculo do melhor Q_n para os ganhos do controlador PI, onde:

$$n = \text{floor} \left(16 - 1 - \frac{\log_{10} 1,2288}{\log_{10} 2} \right) = \text{floor}(14,7027) = 14 \quad (\text{A.8})$$

E, para o outro ganho:

$$n = \text{floor} \left(16 - 1 - \frac{\log_{10} 1,1516}{\log_{10} 2} \right) = \text{floor}(14,7964) = 14 \quad (\text{A.9})$$

Assim, os dois ganhos são representados na mesma base Q_n o que significa simplesmente pondera-los conforme equação A.9.

$$X_{Q_{14}} = \text{floor}(X \cdot 2^n) \quad (\text{A.10})$$

Logo, os ganhos representados em Q_{14} ficam:

$$K_{1Q_{14}} = \text{floor}(1,2288 \cdot 2^{14}) = \text{floor}(20132,2659) = 20132 \quad (\text{A.11})$$

$$K_{2Q_{14}} = \text{floor}(1,1516 \cdot 2^{14}) = \text{floor}(18867,8144) = 18867 \quad (\text{A.12})$$

Com base nos valores calculados a equação que descreve a ação de controle do controlador de corrente na representação aritmético de ponto fixo é:

$$u_{iQ_{29}}[k] = u_{iQ_{29}}[k - 1] + 20132 \cdot e_{iQ_{15}}[k] - 18867 \cdot e_{iQ_{15}}[k - 1] \quad (\text{A.13})$$

Nota-se que a ação de controle resultante é representada em formato Q_{29} , a qual só foi possível de ser representada por que o acumulador que armazena os resultados de multiplicação possui 40 bits. Além disso, a resultante é representada neste formato devido ao fato dos formatos se somarem na multiplicação ($Q_{14} \times Q_{15} = Q_{29}$).

Através da equação A.6 determina-se os limites dos possíveis valores a serem representados em Q_{14} :

$$\begin{aligned} -2^{16-1} &\leq X \cdot 2^{14} \leq 2^{16-1} - 1 \\ -32768 &\leq X \cdot 2^{14} \leq 32767 \\ -2 &\leq X \cdot 2^{14} \leq 1,9999 \end{aligned} \quad (\text{A.14})$$

Os possíveis valores a serem representados estão entre -2 e $1,9999$. O mesmo procedimento pode ser feito para os outros formatos.

A aritmética de ponto fixo é bastante útil na representação de números fracionários, onde a precisão depende da escolha do número de bits para a representação da parcela inteira e da fracionária.

Como existem arredondamentos envolvidos devido a função $\text{floor}()$, é interessante a verificação do número que realmente está sendo representado. Tal verificação pode ser feita através da soma dos elementos de cada bit. Assim, a distribuição binária de cada número representado em Q_{14} fica conforme ilustrado na Figura A.2, apresentando um valor bem próximo ao ganho desejado.

<i>Expoente</i>	<i>1</i>	<i>0</i>	<i>-1</i>	<i>-2</i>	<i>-3</i>	<i>-4</i>	<i>-5</i>	<i>-6</i>	<i>-7</i>	<i>-8</i>	<i>-9</i>	<i>-10</i>	<i>-11</i>	<i>-12</i>	<i>-13</i>	<i>-14</i>
<i>Bit</i>	<i>0</i>	<i>1</i>	<i>0</i>	<i>0</i>	<i>1</i>	<i>1</i>	<i>1</i>	<i>0</i>	<i>1</i>	<i>0</i>	<i>1</i>	<i>0</i>	<i>0</i>	<i>1</i>	<i>0</i>	<i>0</i>
		2^0			$+2^{-3}$	$+2^{-4}$	$+2^{-5}$		$+2^{-7}$		$+2^{-9}$			$+2^{-12}$		
	$20132 \rightarrow 2^0 + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-7} + 2^{-9} + 2^{-12} = 1,22876$															

Figura A.2 – Verificação do valor real do ganho K_{1Q14}

Para o outro ganho o procedimento realizado foi o mesmo. Este procedimento vale apenas na representação de constantes, as variáveis são representadas através do mesmo formato, porém é simplesmente uma questão de interpretação do programador.

ANEXO B. IMPLEMENTAÇÃO DO PROTÓTIPO

A implementação do protótipo no laboratório teve como objetivo validar a metodologia de projeto do conversor *boost* e do projeto dos controladores adotada. Além disso, neste anexo são apresentados os leiautes, bem como as fotos dos circuitos impressos desenvolvidos.

Na Figura B.1 são apresentados os esquemáticos de cada circuito implementado.

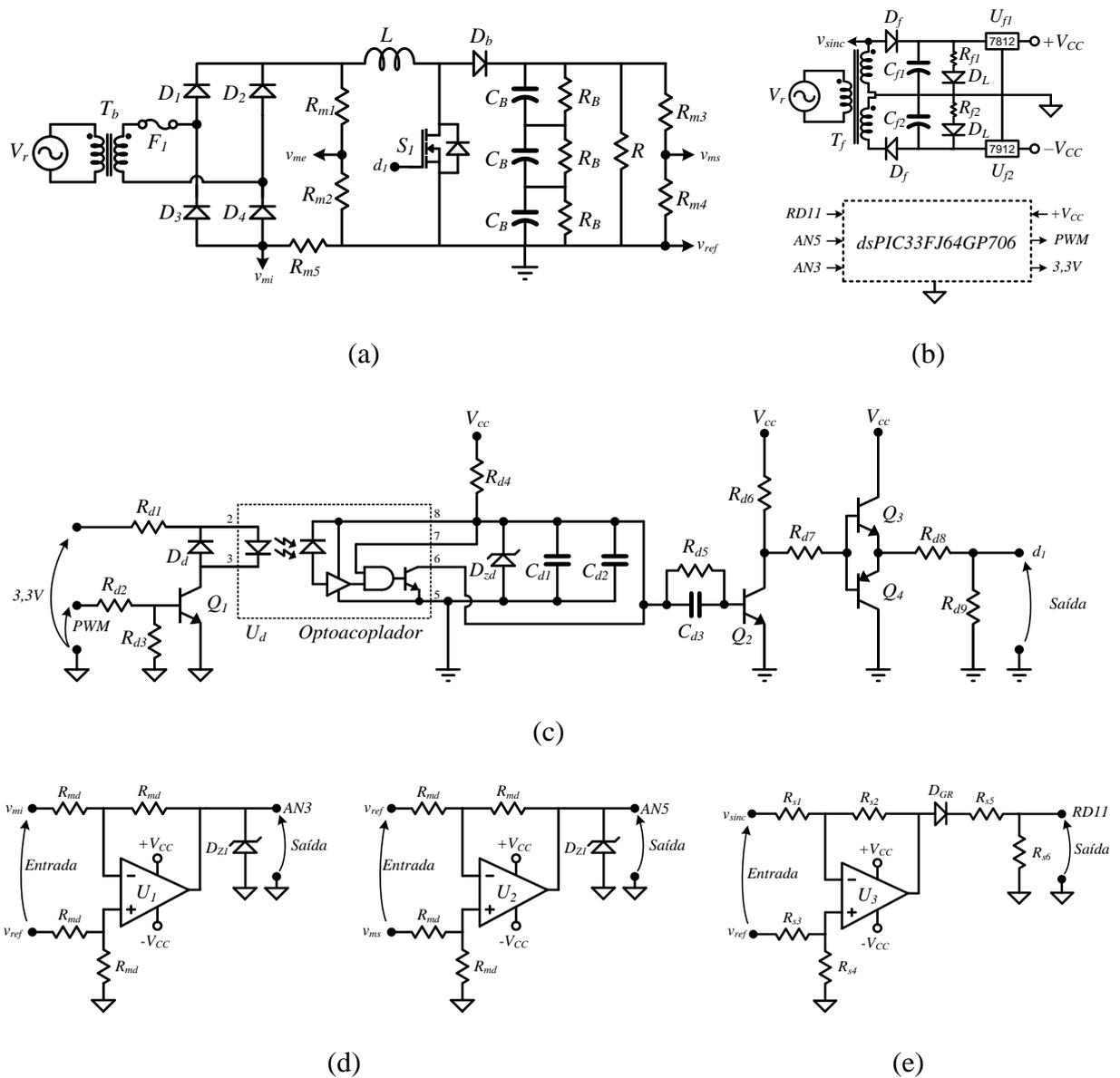


Figura B.1 – Esquemático completo do sistema implementado. (a) Conversor. (b) Fonte de alimentação e dsPIC. (c) Drive de acionamento. (d) Circuitos de medição. (e) Circuito de sincronização

i) Circuitos de medição e sincronismo

Na Figura B.2 (a) está ilustrado o leiaute da placa de circuito impresso desenvolvido, com os componentes destacados em vermelho e as trilhas na cor preta. Em (b) a foto do circuito desenvolvido.

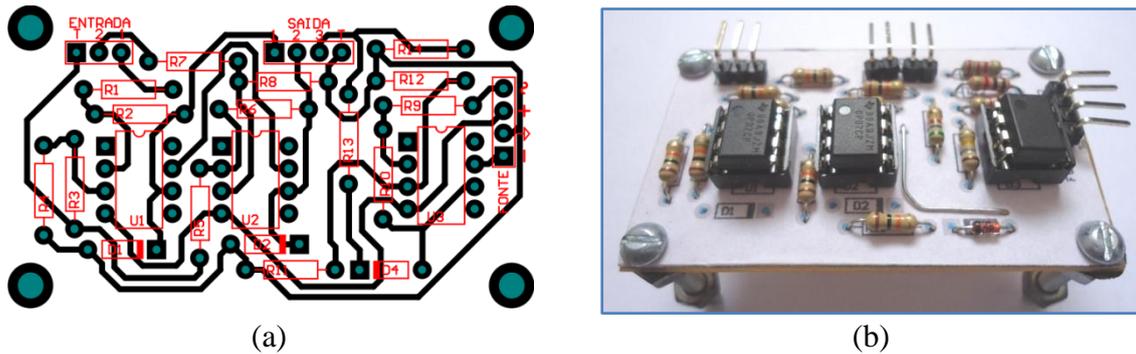


Figura B.2 – Leiaute do circuito de medição e sincronização.

ii) Circuito de acionamento

Na Figura B.3 está ilustrado o leiaute da placa de circuito impresso desenvolvido para o drive de acionamento, com os componentes destacados em vermelho e as trilhas na cor preta.

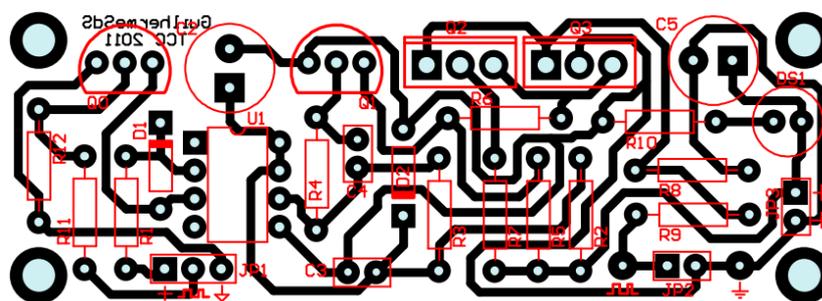


Figura B.3 – Leiaute do *drive* de acionamento implementado

Com o intuito de facilitar as medições dos testes práticos, colocou-se um ponto de terra e do sinal de *gate* com fácil acesso, os quais podem ser vistos na foto da Figura B.4.

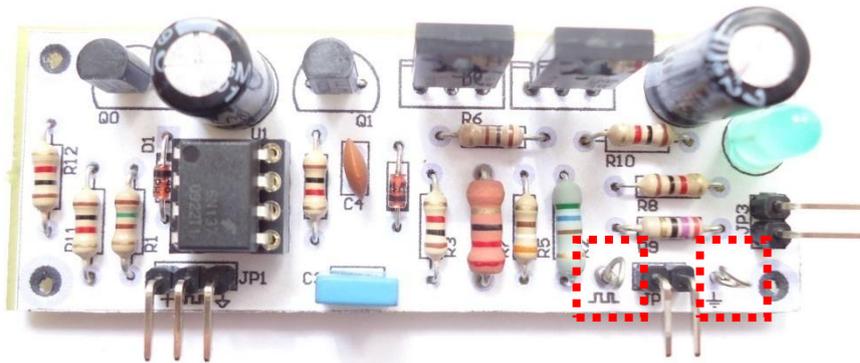
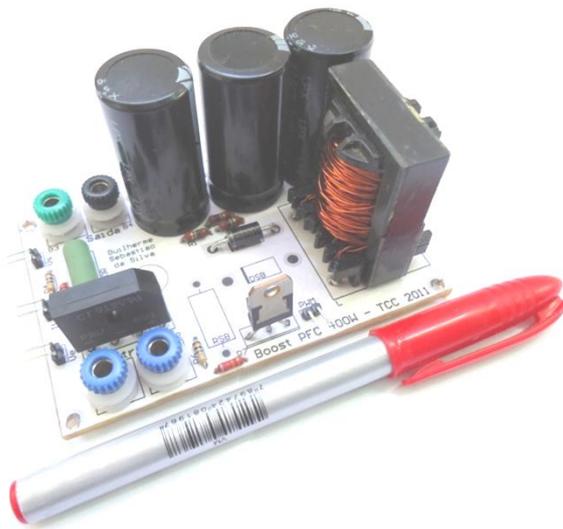


Figura B.4 – Foto do *drive* de acionamento implementado

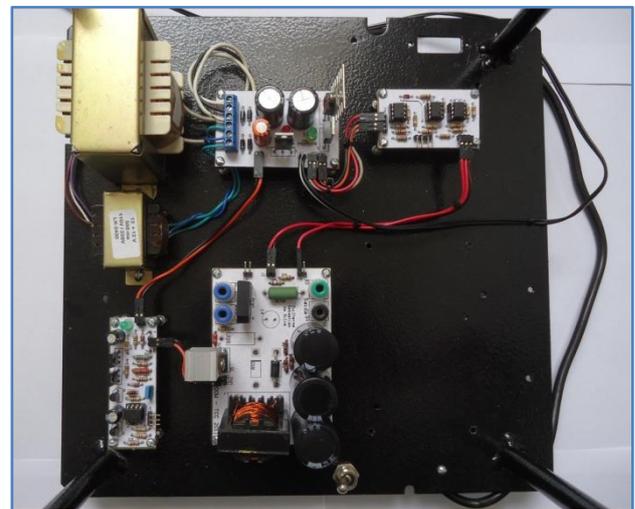
iii) Conversor *Boost* PFC

O conversor *boost* PFC implementado pode ser visto através da foto na Figura B.5 (a).

O protótipo foi montado sob uma estrutura de metal, com isolamento em cada parafuso fixador. Sobre esta estrutura foi colocado um acrílico para proteção. Esta estrutura pode ser visualizada na Figura B.5. (b).



(a)



(b)

Figura B.5 – Foto do conversor *boost* PFC implementado em (a) e do protótipo completo em (b)

iv) Relação dos componentes utilizados

Tabela 9 – Componentes utilizados no protótipo

	Símbolo	Descrição do Componente	Valor
Conversor	T_B	Transformador de Entrada	220V:64V
	C_B	Capacitor do Barramento	680 μ F/200V
	R_B	Resistência de Balanceamento	1 M Ω
	D_b	Diodo <i>Boost</i>	MUR460
	S_1	Chave Semicondutora	IRF830
	D_{1234}	Ponte Retificadora	PBU605
	R_{m1}	Resistência de condicionamento	100 k Ω
	R_{m2}	Resistência de condicionamento	82 k Ω
	R_{m3}	Resistência de condicionamento	100 k Ω
	R_{m4}	Resistência de condicionamento	39 k Ω
	R_{m5}	Resistência medição de corrente	0,47 Ω
Medições	D_{Z1}	Diodo Zener	1N4733A
	U_{12}	Amplificador Operacional	OPA07
	R_{md}	Resistência de ganho	4 \times 100 k Ω
Circuito de Sincronização	D_G	Diodo para granpeamento	1N4148
	U_3	Amplificador Operacional	OPA07
	R_{s1}	Resistência de ganho	1 k Ω
	R_{s2}	Resistência de ganho	180 k Ω
	R_{s3}	Resistência de ganho	10 k Ω
	R_{s4}	Resistência do divisor	1 k Ω
	R_{s5}	Resistência do divisor resistivo	5,6 k Ω
Acionamento da Chave Semicondutora	R_{s6}	Resistência do divisor resistivo	560 Ω
	U_D	Optoacoplador	6N137
	R_{d1}	Resistência condicionamento do <i>drive</i>	150 Ω
	R_{d2}, R_{d3}	Resistência condicionamento do <i>drive</i>	1 k Ω
	R_{d4}	Resistência da fonte do <i>drive</i>	560 Ω
	R_{d5}	Resistência do estágio inversor	1 k Ω
	R_{d6}	Resistência do estágio inversor	100 Ω
	R_{d7}	Resistência do estágio inversor	22 Ω
	R_{d8}	Resistência estágio <i>toten-pole</i>	1 k Ω
	R_{d9}	Resistência estágio <i>toten-pole</i>	27 Ω
	C_{d1}	Capacitor da fonte do <i>drive</i>	330 μ F/16V
	C_{d2}	Capacitor da fonte do <i>drive</i>	100nF
	C_{d3}	Capacitor do estágio inversor	1nF
	Q_1, Q_2	Transistores de cond. e de inversão	PN2222A
	Q_3	Transistor do estágio <i>toten-pole</i>	BD135
	Q_4	Transistor do estágio <i>toten-pole</i>	BD136
	D_{zd}	Diodo zener da fonte do <i>drive</i>	5,1V
D_d	Diodo do estágio de condicionamento	1N4148	
Fonte de Alimentação	T_f	Transformador de entrada	220V:16–16V
	D_{f1}, D_{f2}	Diodo retificador	1N4932
	R_{f1}, R_{f1}	Resistência para os LEDs	1 k Ω
	C_{f1}, C_{f2}	Capacitores da fonte	1000 μ F/63V
	D_L	LEDs Vermelho e Verde	2 \times LEDs
	U_{f1}	Regulador de Tensão +12V	LM7812
	U_{f2}	Regulador de Tensão –12V	LM7912

ANEXO C. UNIDADE DE CONTROLE

Neste estudo a placa de desenvolvimento McBoard dsPIC33F da Empresa Labtools[®] foi utilizada, sendo composta por diversos periféricos em conjunto com o microcontrolador digital de sinais da família dsPIC33F da Microchip[®]. Esta placa de desenvolvimento está ilustrada na Figura C.1.

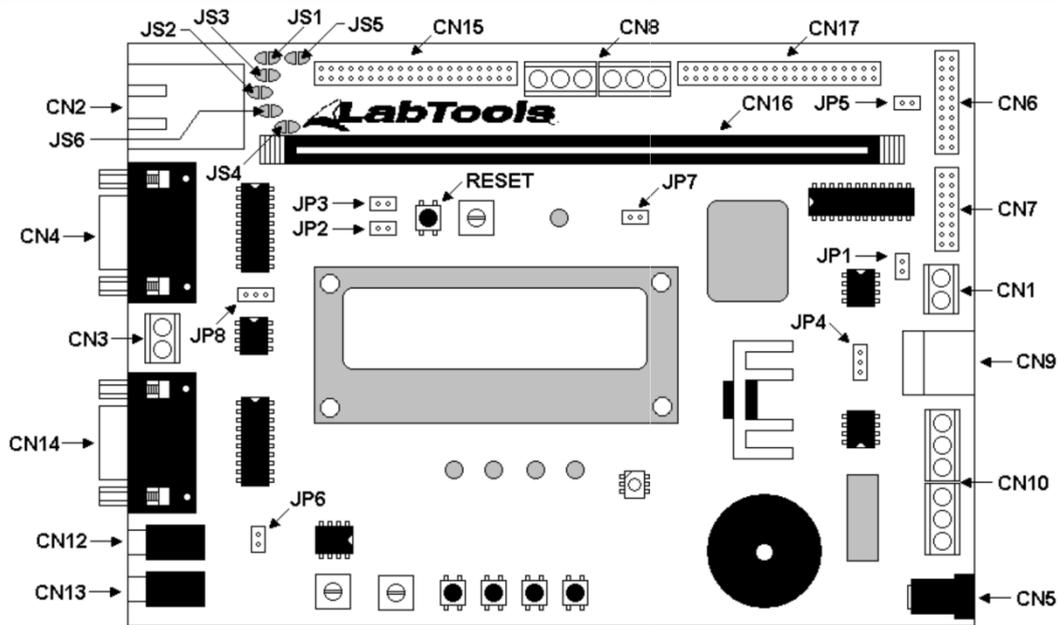


Figura C.1 – Placa McBoard dsPIC33F [24]

Tabela 10 – Descrição de cada conector da placa McBoard

Simbologia	Descrição	Simbologia	Descrição
CN1	Comunicação CAM	CN9	Comunicação USB
CN2	Com. ETHERNET	CN10	Comunicação I ² C (x2)
CN3	Comunicação RS485	CN12	Saída de áudio
CN4	Comunicação RS232-1	CN13	Entrada de áudio
CN5	Alimentação +9VDC	CN14	Comunicação RS232-2
CN6	Conector para JTAG	CN15	Expansão 1
CN7	Saídas digitais	CN16	Conector DIMM 168
CN8	Comunicação SPI	CN17	Expansão 2

A placa de desenvolvimento possui o modelo dsPIC33FJ64GP706, sendo suas principais características descritas a seguir:

- Opera com o máximo de 40 MIPS (Milhões de Instruções por Segundo);
- Microcontrolador de 16 bits;
- 64 kb de memória de programa e 1 kb de memória de dados volátil (RAM);
- 53 portas de entrada/saída;
- 9 Temporizadores;
- Oito saídas de PWM;
- 18 Canais de conversão analógico-digital;

Este microcontrolador é composto por uma arquitetura Harvard com um conjunto de instruções avançadas (Instruções de DSP). Além das características de endereçamento, o núcleo possui um multiplicador de alta velocidade, no qual é possível fazer operações de multiplicação de duas variáveis de 17 bits em apenas um ciclo de máquina. Esta característica torna o tempo processamento adequado para malhas de controle com frequências de amostragem elevadas, como é o caso da malha de corrente implementada neste trabalho. Foram utilizadas instruções multiplicação com números de até 17 bits (MPY), subtração de números sem sinal (SUB) e divisão de números sem sinal (DIV.U).

Para a obtenção da frequência de operação do sistema em 40 MIPS (Milhões de Instruções por Segundo) foi necessário utilizar a função PLL (*Phase Locked Loop*) com o intuito de multiplicar a frequência do oscilador para obter a frequência de operação desejada. A equação

$$F_{cy} = \frac{F_{osc}}{2} = \frac{1}{2} \left(\frac{OSC \cdot M}{N_1 \cdot N_2} \right) = \frac{1}{2} \left(\frac{8 \cdot 10^6 \cdot 40}{2 \cdot 2} \right) = 40 \text{ MIPS}$$

Onde: F_{osc} – frequência de oscilação interna do processador;

F_{cy} – frequência de operação do processador;

OSC – frequência do oscilador externo;

M – fator de multiplicação definido através do registrador PLLDIV<8:0>;

N_1 – fator de divisão definido através do registrador PLLPRE<4:0>;

N_2 – fator de divisão definido através do registrador PLLPOST<1:0>;

O código desenvolvido para o projeto fez o uso da linguagem de programação C30, específica para a programação de microcontroladores dsPIC. A implementação da lei de controle se deu por meio da linguagem de programação Assembler, uma vez que a lei de controle em linguagem C30 não apresentou um desempenho satisfatório em termos de tempo de execução. A lei de controle foi implementada digitalmente com frequência de amostragem de 39 kHz, onde são geradas interrupções para controlar o tempo de cada execução.

ANEXO D. CÓDIGO EM .M PARA SIMULAÇÃO DO CONTROLE NO MATLAB/SIMULINK®

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%
%   Trabalho de Conclusão de Curso - Engenharia Elétrica UNIPAMPA
%
%   Código em MATLAB para o controle do conversor através
%   do simulink
%
%   Versão 2
%   Desenvolvido por Guilherme Sebastião da Silva      21/01/2011
%   Orientador Jumar Luis Russi
%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

function [sys,x0,str,ts] = CPI_4(t,x,u,flag)
switch flag,

    %%%%%%%%%%%%%%%%%%%%%%%%%%
    % Inicialização %
    %%%%%%%%%%%%%%%%%%%%%%%%%%

    case 0,
        [sys,x0,str,ts]=mdlInitializeSizes;

    case 3,
        sys = mdlOutputs(t,x,u);

    case {1, 2, 4, 9}
        sys = [];

    otherwise
        error(['Flag não referenciado = ',num2str(flag)]);
end

    %%%%%%%%%%%%%%%%%%%%%%%%%%
    % Configurações %
    %%%%%%%%%%%%%%%%%%%%%%%%%%

function [sys,x0,str,ts] = mdlInitializeSizes

sizes = simsizes;

%Configurações do bloco M-Function
sizes.NumContStates = 0;
sizes.NumDiscStates = 0;
sizes.NumOutputs = 3;
sizes.NumInputs = 5;
sizes.DirFeedthrough = 3;
sizes.NumSampleTimes = 1;

sys = simsizes(sizes);
x0 = [];

str = [];

```

```

% Amostragem
ts = [2e-6];

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Controle %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
function sys = mdlOutputs(t,x,u)

persistent erro_il erro_vl vol iLl voat tt

% Inicialização das variáveis em zero
if t<=1e-8,

    erro_il = 0;
    erro_vl = 0;
    vol = 0;
    iLl = 0;
    voat = 0;
    tt = 0;
    erro_i=0;
    erro_v=0;
    temp = 0;

end

vref = 0; % Corrente de Entrada
iref = 0; % Referência de corrente
vou = 0; % Triangular
iin = 0; % Tensão de saída
tri = 0; % Referência da tensão

if t>(1/60),
    % Variáveis de entrada
    vref = u(1); % Corrente de Entrada
    iref = u(2); % Referência de corrente
    vou = u(3); % Referência da tensão
    iin = u(4); % Tensão de saída
    tri = u(5); % Triangular
end

% Variável que conta o tempo de atualização da lei de controle de tensão
tt = tt + 1;

% 8333 para passo de 2e-6
% 16666 para passo de 1e-6
% 166666 para passo de 1e-7
if mod(tt,8333)==0,

    % Malha de controle de tensão - externa
    % Erro
    erro_v = vref - vou;

    % Controle PI
    vo = vol + 1.6825*erro_v - 1.3639*erro_vl;

    % Limita a ação de controle da tensão de saída
    if vo<0, vo=0; end
    if vo>2, vo=2; end

```


ANEXO E. CÓDIGO DESENVOLVIDO PARA DSPIC

Linguagens: MPC30 e MPASM30

```

/*****
*
*   Trabalho de Conclusão de Curso - Engenharia Elétrica
*
*   Código em C e ASM para o controle de um conversor boost PFC
*
*   Obs.   PLL Ativado em 40 MIPS
*          Depuração com conversão AD em 1,1 Msps
*          Malha de corrente operando a 39 kHz
*
*   Versão 17
*   Desenvolvido por Guilherme Sebastião da Silva           01/06/2011
*
*****/

//Biblioteca DSPIC
#include <p33FJ64GP706.h>

// Configurações para gravação
_FBS( RBS_NO_RAM & BSS_NO_FLASH & BWRP_WRPTECT_OFF )
_FSS( RSS_NO_RAM & SSS_NO_FLASH & SWRP_WRPTECT_OFF )
_FGS(GSS_OFF & GCP_OFF & GWRP_OFF);
_FOSSEL( FNOSC_PRIPLL & IESO_OFF )
_FOSC( FCKSM_CSDCMD & OSCIOFNC_OFF & POSCMD_XT )
_FWDT( FWDTEN_OFF )
_FPOR( FPWRT_PWR128 )
_FICD( JTAGEN_OFF & ICS_PGD1)

// Definição de constantes
#define Fos 8000000 // 8MHz oscillator
#define AMS 325 // Amostras por semi-ciclo da rede

// Entradas
#define Botao_1 PORTDbits.RD10 //BOTÃO 1
#define Botao_2 PORTDbits.RD11 //BOTÃO 2

// Saídas para verificação
#define Tempo2 LATDbits.LATD1
#define Tempo3 LATDbits.LATD3
#define Tempo4 LATDbits.LATD5
#define Tempo5 LATDbits.LATD6
#define Led1 LATBbits.LATB5
#define Led2 LATDbits.LATD1

// Ganhos
unsigned int __attribute__((address(0x0D90)))
// kp = 0b0110001010001000; // Ganho kp 1,5395 em Q14
// kp = 0b0100111010100100; // Ganho kp 1,2288 em Q14
// kp = 0b1100010100001110; // Ganho kp 1,5395 em Q15

unsigned int __attribute__((address(0x0D92)))
// ki = 0b0010010010011110; // Ganho kp 0,5722 em Q14
// ki = 0b0100101000111011; // Ganho kp 1,1599 em Q14
// ki = 0b0100100110110011; // Ganho kp 1,1516 em Q14
// ki = 0b0100100100111101; // Ganho kp 0,5722 em Q15

```

```

// Variáveis
unsigned int    __attribute__((address(0x0D94))) PWM = 0;           // PWM
unsigned int    __attribute__((address(0x0E10))) i = 5;            // Incremento i para sincronismo
unsigned int    __attribute__((address(0x0D96))) c = 5;            // Incremento c para vetores

// Variáveis do controle
unsigned int    __attribute__((address(0x0E06))) erro_i = 0;      // Erro da malha de corrente
unsigned int    __attribute__((address(0x0E08))) erro_i1 = 0;     // Erro anterior da malha de corrente
unsigned int    __attribute__((address(0x0D8C))) iL=0;            // Ação de controle da corrente
unsigned int    __attribute__((address(0x0D8E))) iL1=0;           // Ação de controle da corrente anterior
unsigned int    __attribute__((address(0x0E14))) iem=0;           // Corrente medida
unsigned int    __attribute__((address(0x0E12))) iref=32;         // Corrente de referência Q6 - 0.5 pu

// Seno no formato Q16
unsigned int    __attribute__((address(0x0E16))) seno[AMS] = {
    0x0000, 0x0278, 0x04F0, 0x0769, 0x09E1, 0x0C59, 0x0ED0, 0x1147, 0x13BE, 0x1635, 0x18AA, 0x1B20,
    0x1D94, 0x2008, 0x227B, 0x24EE, 0x275F, 0x29CF, 0x2C3F, 0x2EAD, 0x311B, 0x3387, 0x35F2, 0x385B,
    0x3AC4, 0x3D2A, 0x3F90, 0x41F4, 0x4456, 0x46B7, 0x4916, 0x4B73, 0x4DCF, 0x5028, 0x5280, 0x54D6,
    0x5729, 0x597B, 0x5BCB, 0x5E18, 0x6063, 0x62AC, 0x64F2, 0x6736, 0x6978, 0x6BB7, 0x6DF3, 0x702D,
    0x7264, 0x7499, 0x76CA, 0x78F9, 0x7B25, 0x7D4E, 0x7F74, 0x8197, 0x83B7, 0x85D4, 0x87ED, 0x8A04,
    0x8C17, 0x8E26, 0x9033, 0x923C, 0x9441, 0x9643, 0x9841, 0x9A3C, 0x9C33, 0x9E26, 0xA015, 0xA201,
    0xA3E9, 0xA5CD, 0xA7AD, 0xA989, 0xAB60, 0xAD34, 0xAF04, 0xB0CF, 0xB297, 0xB45A, 0xB618,
    0xB7D3, 0xB989, 0xBB3A, 0xBCE7, 0xBE90, 0xC034, 0xC1D4, 0xC36E, 0xC505, 0xC696, 0xC823,
    0xC9AB, 0xCB2E, 0xCCAC, 0xCE26, 0xCF9A, 0xD10A, 0xD274, 0xD3DA, 0xD53B, 0xD696, 0xD7EC,
    0xD93E, 0xDA8A, 0xDBD0, 0xDD12, 0xDE4E, 0xDF85, 0xE0B7, 0xE1E3, 0xE30A, 0xE42C, 0xE548,
    0xE65E, 0xE76F, 0xE87B, 0xE981, 0xEA81, 0xEB7C, 0xEC71, 0xED61, 0xEE4B, 0xEF2F, 0xF00E,
    0xF0E7, 0xF1BA, 0xF287, 0xF34F, 0xF411, 0xF4CC, 0xF583, 0xF633, 0xF6DD, 0xF782, 0xF820, 0xF8B9,
    0xF94C, 0xF9D9, 0xFA5F, 0xFAE0, 0xFB5B, 0FBBD0, 0xFC3F, 0xFCA8, 0xFD0B, 0xFD68, 0FDBE,
    0xFE0F, 0xFE5A, 0xFE9E, 0xFEDD, 0xFF15, 0xFF48, 0xFF74, 0xFF9A, 0xFFBA, 0xFFD4, 0xFFE8, 0xFFFF,
    0xFFFF, 0xFFFF, 0xFFFF, 0xFFE0, 0xFFC9, 0xFFAC, 0xFF89, 0xFF60, 0xFF31, 0xFFFB, 0xFEC0,
    0xFE7E, 0xFE37, 0xFDE9, 0xFD96, 0xFD3C, 0xFCDC, 0xFC77, 0xFC0B, 0xFB99, 0xFB22, 0FAA4,
    0FA20, 0FA996, 0FA907, 0FA871, 0FA7D6, 0FA734, 0FA68D, 0FA5E0, 0FA52D, 0FA474, 0FA3B5, 0FA2F1,
    0FA226, 0FA156, 0FA080, 0FA0A5, 0FA0EC4, 0FA0EDD, 0FA0ECF0, 0FA0EBFE, 0FA0EB06, 0FA0EA08, 0FA0E905, 0FA0E7FC,
    0FA0E6EE, 0FA0E5DB, 0FA0E4C1, 0FA0E3A3, 0FA0E27F, 0FA0E155, 0FA0E026, 0FA0DEF2, 0FA0DDB9, 0FA0DC7A, 0FA0DB36,
    0FA0D9ED, 0FA0D89E, 0FA0D74A, 0FA0D5F2, 0FA0D494, 0FA0D331, 0FA0D1C9, 0FA0D05C, 0FA0CEEA, 0FA0CD73, 0FA0CBF7,
    0FA0CA77, 0FA0C8F1, 0FA0C767, 0FA0C5D8, 0FA0C444, 0FA0C2AC, 0FA0C10F, 0FA0BF6D, 0FA0BDC7, 0FA0BC1C, 0FA0BA6D,
    0FA0B8B9, 0FA0B701, 0FA0B545, 0FA0B384, 0FA0B1BF, 0FA0AFF6, 0FA0AE28, 0FA0AC57, 0FA0AA81, 0FA0A8A7, 0FA0A6C9,
    0FA0A4E7, 0FA0A302, 0FA0A118, 0FA09F2B, 0FA09D39, 0FA09B44, 0FA0994C, 0FA0974F, 0FA0954F, 0FA0934C, 0FA09145, 0FA08F3A,
    0FA08D2C, 0FA08B1B, 0FA08906, 0FA086EE, 0FA084D3, 0FA082B5, 0FA08094, 0FA07E6F, 0FA07C48, 0FA07A1D, 0FA077F0, 0FA075C0,
    0FA0738D, 0FA07157, 0FA06F1F, 0FA06CE4, 0FA06AA6, 0FA06866, 0FA06623, 0FA063DE, 0FA06196, 0FA05F4C, 0FA05D00, 0FA05AB2,
    0FA05861, 0FA0560F, 0FA053BA, 0FA05163, 0FA04F0B, 0FA04CB0, 0FA04A54, 0FA047F6, 0FA04596, 0FA04334, 0FA040D1, 0FA03E6D,
    0FA03C07, 0FA0399F, 0FA03736, 0FA034CC, 0FA03260, 0FA02FF4, 0FA02D86, 0FA02B17, 0FA028A7, 0FA02636, 0FA023C4, 0FA02151,
    0FA01EDE, 0FA01C6A, 0FA019F5, 0FA0177F, 0FA01509, 0FA01293, 0FA0101C, 0FA00DA4, 0FA00B2D, 0FA008B5, 0FA0063C, 0FA003C4};

unsigned int    vs[AMS];           // Vetor de medição
unsigned int    ie[AMS];           // Vetor de medição
unsigned int    v1[AMS];          // Vetor de medição
unsigned int    vp[AMS];          // Vetor de medição
unsigned int    x = 0;
unsigned int    iem1 = 0;

// Funções
void Config_T1(void);             // Função que configura o TIMER1
void Config_T2(void);             // Função que configura o TIMER2
void Config_T3(void);             // Função que configura o TIMER3
void Init_ADC(void);              // Função que configura o A/D
void ControleMC(unsigned int iem); // Função da ação de controle

```

```

// Configura a Interrupção Externa 3
void Config_INT3(void)
{
    // Configurações
    INTCON2bits.INT3EP = 0;    // Borda positiva
    IPC13bits.INT3IP = 3;    // Prioridade 3

    // Habilitação
    IFS3bits.INT3IF = 0;    // Limpa o flag da interrupção externa 4
    IEC3bits.INT3IE = 1;    // Habilita a interrupção externa 4
}

// Configura a Interrupção Externa 4
void Config_INT4(void)
{
    // Configurações
    INTCON2bits.INT4EP = 0;    // Borda positiva
    IPC13bits.INT4IP = 3;    // Prioridade 3

    // Habilitação
    IFS3bits.INT4IF = 0;    // Limpa o flag da interrupção externa 4
    IEC3bits.INT4IE = 1;    // Habilita a interrupção externa 4
}

// Configura o TIMER1 e a Interrupção 1 do mesmo
void Config_T1(void)
{
    // Configura o TIMER1

    T1CON = 0;                // Desliga o TIMER1
    TMR1 = 0;                // Inicia a contagem do TIMER1 em 0
    PR1 = 41666;            // Período da contagem
                            // PR1 = (Fcy)/(Fpwm*Pscale)-1
                            // Fcy = 40MHz  Fpwm = 60Hz  Pscale = 1:8 -> 8

    T1CONbits.TCKPS = 1;    // Define o pre-scale como 1:1
    T1CONbits.TON = 0;    // Liga o TIMER1
    IPC0bits.T1IP = 4;    // Configura a prioridade da interrupção para nível 4
    IEC0bits.T1IE = 0;    // Habilita a interrupção do TIMER1
}

// Configura o TIMER2 e a Interrupção 1 do mesmo
void Config_T2(void)
{
    // Configura o TIMER2

    T2CON = 0;                // Desliga o TIMER 2
    TMR2 = 0;                // Inicia a contagem do TIMER2 em 0
    PR2 = 1024;            // Período da contagem
                            // PR1 = (Fcy)/(Fpwm*Pscale)-1
                            // Fcy = 40MHz  Fpwm = 40kHz  Pscale = 1:1 -> 1

    OC1R = 0;                // Polaridade do PWM
    OC1RS = 200;            // Valor de comparação (razão cíclica)
    T2CONbits.TON = 0;    // Liga o TIMER2
    T2CONbits.TCKPS = 0;    // Define o pre-scale como 1:1
}

```

```

    IPC1bits.T2IP = 5;           // Configura a prioridade da interrupção para nível 5
    OC1CONbits.OCM = 0b101;     // Configura o OUTPUT COMPARE para modo PWM
    OC1CONbits.OCTSEL = 0;      // Seleciona o TIMER2 como tempo base de comparação
    IEC0bits.T2IE = 0;         // Habilita a interrupção do TIMER2
}

// Configura o TIMER3 e a Interrupção 1 do mesmo
void Config_T3(void)
{
    // Configura o TIMER3

    T3CON = 0;                 // Desliga o TIMER 3
    TMR3 = 200;                // Inicia a contagem do TIMER2 em 0
    PR3 = 1024;                // Período da contagem
                                // PR3 = (Fcy)/(Fs*Pscale)-1
                                // Fcy = 40MHz  Fs = 39kHz  Pscale = 1:1 -> 1
                                // 39 para fechar 1024 no controle

    T3CONbits.TON = 0;         // Liga o TIMER3
    T3CONbits.TCKPS = 0;       // Define o pre-scale como 1:1
    IPC2bits.T3IP = 4;         // Configura a prioridade da interrupção para nível 5
    IEC0bits.T3IE = 0;         // Habilita a interrupção do TIMER3
}

//Interrupção INT4
void __attribute__((interrupt, auto_psv)) _INT3Interrupt(void)
{
    IFS3bits.INT4IF = 0;       // Limpa o flag da interrupção externa 4
    IEC3bits.INT4IE = 0;       // Desabilita a interrupção externa 4
    Tempo5 = 1;
    OC1RS = 150;
    IEC3bits.INT4IE = 0;       // Habilita a interrupção externa 4
}

//Interrupção INT4
void __attribute__((interrupt, auto_psv)) _INT4Interrupt(void)
{
    IFS3bits.INT4IF = 0;       // Limpa o flag da interrupção externa 4
    IEC3bits.INT4IE = 0;       // Desabilita a interrupção externa 4
    Tempo4 = 1;                // Tempo para visualização da posição do programa
    i = 0;                      // Limpa contadores do vetor e da sincronização
    c = 0;
    Config_T3();                // Configura o TIMER3 - MALHA CORRENTE
    Config_T2();                // Configura o TIMER2 - PWM
    IFS0bits.T2IF = 0;         // Limpa o flag da interrupção do TIMER2
    IEC0bits.T2IE = 1;         // Habilita a interrupção do TIMER2
    IFS0bits.T3IF = 0;         // Limpa o flag da interrupção do TIMER2
    IEC0bits.T3IE = 1;         // Habilita a interrupção do TIMER3
    T2CONbits.TON = 1;         // Liga o TIMER2
    T3CONbits.TON = 1;         // Liga o TIMER2
    //IEC3bits.INT4IE = 1;     // Habilita a interrupção externa 4
}

```

```

// Interrupção T2
void __attribute__((interrupt, auto_psv)) _T2Interrupt(void)
{
    IFS0bits.T2IF = 0;           // Limpa o flag da interrupção do TIMER2
    IEC0bits.T2IE = 0;         // Desabilita a interrupção do TIMER2
    Tempo2 = 1;

    if(i<651)                   // i = 1:666 = 667 pontos a 40kHz ~ 16,667 ms
    {
        i++;
        IEC0bits.T2IE = 1;     // Habilita a interrupção do TIMER2

        // Sincronização
        if(i==635)             // Janela para habilitar interrupção externa
        {
            IFS3bits.INT4IF = 0;
            IEC3bits.INT4IE = 1;
            Tempo4 = 0;
            IEC0bits.T2IE = 0; // Habilita a interrupção do TIMER2
        }
    }
}

// Interrupção T3
void __attribute__((interrupt, auto_psv)) _T3Interrupt(void)
{
    IFS0bits.T3IF = 0;           // Limpa o flag da interrupção do TIMER3
    IEC0bits.T3IE = 0;         // Desabilita a interrupção do TIMER3
    Tempo3 = 1;
    Tempo2 = 0;
    iem = 0;

    AD1CON1bits.SAMP = 1;       // Inicializa a amostragem
    while(AD1CON1bits.DONE);    // Espera a conversão finalizar
    AD1CON1bits.SAMP = 0;       // Conversão concluída
    iem = ADC1BUF0;
    ie[c] = iem;
    ControleMC(iem);

    Tempo3 = 0;

    IEC0bits.T3IE = 1;         // Habilita a interrupção do TIMER3
}

// Controle Corrente
void ControleMC(unsigned int iem)
{
    CORCONbits.IF = 0b1;       // 1 - Habilita operações aritméticas no modo inteiro
                                // 0 - Habilita operações aritméticas no modo fração
    CORCONbits.US = 0b1;       // 1 - Habilita operações de multiplicação sem sinal
                                // 0 - Habilita operações de multiplicação com sinal

    // Cálculo da Referência
    asm("mov #0x0E16, w4");     // w4 = &seno[0]
    asm("mov 0x0D96, w5");     // w5 = c (Endereço 0x0D96)
    asm("add w4, w5, w6");     // w6 = w4 + w5
    asm("add w6, w5, w6");     // w6 = w4 + w5 - endereço do próximo valor de seno

    asm("mov [w6],w5");        // w5 = seno[i]   Q16
}

```

```

asm("mov 0x0E12, w4"); // w4 = iref Q6
asm("mpy w4*w5, A"); // ACCA = iref*seno[i] Q22
asm("sftac A, #7"); // ACCA>>7 transforma ACCAL Q22>>Q15

CORCONbits.IF = 0b1; // 1 - Habilita operações aritméticas no modo inteiro
// 0 - Habilita operações aritméticas no modo fração
CORCONbits.US = 0b0; // 1 - Habilita operações de multiplicação sem sinal
// 0 - Habilita operações de multiplicação com sinal

// Coloca iem em ACCB
asm("mov 0x0E14, w5"); // w5 = iem Q15 sem sinal
asm("mov w5, ACCBL"); // ACCB = iem Q15

// Calcula erro
asm("sub A"); // ACCA = ACCA - ACCB (Q15)
erro_i = ACCAL; // Calcula erro_i Q15

// No modo fracionário
// Representação 1.15 -> -1.0 (0x8000) até 0.999969482 (0x7FFF)
asm("mov 0x0D90, w4"); // w4 = kp Q14
asm("mov 0x0E06, w5"); // w5 = erro_i Q15
asm("mpy w4*w5, A"); // ACCA = w4*w5 (Q29)
asm("clr ACCAU");

asm("mov 0x0D92, w4"); // w4 = ki Q14
asm("mov 0x0E08, w5"); // w5 = erro_i1 Q15
asm("mpy w4*w5, B"); // ACCA = w4*w5 (Q29)
asm("clr ACCBU");

asm("sub A"); // ACCA = ACCA - ACCB (Q29) -0.1 -(-0.15)
asm("clr ACCAU");
asm("sftac A, #16"); // ACCA>>16 transforma ACCAL Q29>>Q13
asm("mov 0x0D8E, w5"); // w5 = iL1 Q13
asm("mov w5, ACCBL"); // ACCB = iL1 Q13
asm("clr ACCBU");
asm("clr ACCBH");
asm("add A"); // ACCA = ACCA + ACCB (Q13)

//ie[c] = ACCAL;

// Identifica que ação de controle menor que 0,2
// Identifica overflow e satura a ação de controle
// 0x2000 é 1 em Q13 - 07FFF é o limite dos números positivos
if((ACCAL>=0x2000)&&(ACCAL<=0x7FFF))
{
    asm("mov #0x2000, w6"); // w6 = satura
}
else
{
    asm("mov ACCAL, w6"); // w6 = iL1 + erro*kp - erro_i*ki
}

if((ACCAL>0x7FFF)||(ACCAL<0x0666))
{
    asm("mov #0x0666, w6"); // 0666 é 20% de 2000 (1pu em Q13)
}

asm("mov w6, 0x0D8C"); // iL = w6

//v[c] = iL;

```

```

CORCONbits.US = 0b1; // 1 - Habilita operações de multiplicação sem sinal
// 0 - Habilita operações de multiplicação com sinal

// PWM 200-1024
asm("clr ACCAU"); // Limpa os outros bits do ACCA
asm("clr ACCAH"); // Limpa os outros bits do ACCA

asm("mov w6, w5");
asm("mov #0x0008, w4"); // 8192/8 = 1024 => 0x0008 = 8
// 16384/16 = 1024 => 0x0010 = 16 (32V)

asm("repeat #17"); // Repete 18 vezes a divisão para retornar o valor correto
asm("div.u w5, w4"); // PWM 1pu da ação de controle = 1023
asm("mov w0, 0x0D94"); // PWM = w4

if(PWM<200) PWM = 200;
if(PWM>1015) PWM = 1015;

//v[c] = PWM;
OC1RS = PWM; // PWM – Determina o Bloqueio da chave
erro_i1 = erro_i;
iL1 = iL;
//ie[c] = iL;
//ie[c] = iem;
vs[c] = iL;

if(c < (AMS-1)) c = c + 1;
else
c = 0;

return;
}

// Função de Inicialização de ADC 10 bits
void Init_ADC(void)
{
// Registrador AD1CON1
AD1CON1bits.FORM=2; //Saída de dados no formato fracional 10bits -

// Registrador AD1CON2
AD1CON2bits.BUFM=0;
AD1CON2bits.CHPS=0; // Apenas converte canal 0

// Registrador AD1CON3
AD1CON3bits.ADCS=0; // Configura o clock para o AD
AD1CON3bits.ADRC=0; // Clock do AD derivado do clock do sistema
AD1CON3bits.ADCS=2; // Configura o clock para o AD
// TAD = TCY*(ADCS+1)=(1/40M)*3=75 ns (13,3 MHz)

//AD1CHS0: Seleção das entradas do canal 0
AD1CHS0bits.CH0SA=5; // MUXA +ve seleção da entrada (AIN0) para CH0
AD1CHS0bits.CH0NA=0; // MUXA -ve seleção da entrada (Vref-) para CH0

//AD1CHS123: A/D Input Select Register
AD1CHS123bits.CH123SA=0; // MUXA +ve seleção da entrada (AIN0) para CH1
AD1CHS123bits.CH123NA=0; // MUXA -ve seleção da entrada (Vref-) para CH1

// Seleção dos canais para examinar: AD1CSSL -> 0-15 / AD1CSSH -> 16-31
AD1CSSH = 0x0000;
AD1CSSL = 0x0000; // Desativa todas entradas analógicas

```

```

AD1CSSLbits.CSS0 = 0;           // 1 - Ativa AN0 na leitura
AD1CSSLbits.CSS3 = 0;           // 1 - Ativa AN3 na leitura
AD1CSSLbits.CSS5 = 1;           // 1 - Ativa AN5 na leitura
AD1CON2bits.SMPI = 0x0000;      // Configura o número de canais a serem lidos

// Configuração das Portas
AD1PCFGL=0xFFFF;               // 1 = Define 00-15 como portas em modo digital
AD1PCFGH=0xFFFF;               // 1 = Define 16-31 como portas em modo digital
AD1PCFGLbits.PCFG0 = 1;         // 0 = Configura AN0 como entrada analógica
AD1PCFGLbits.PCFG3 = 1;         // 0 = Configura AN3 como entrada analógica
AD1PCFGLbits.PCFG5 = 0;         // 0 = Configura AN5 como entrada analógica

// Habilitação
IFS0bits.AD1IF = 0;             // Limpa o flag da interrupção do A/D
IEC0bits.AD1IE = 0;            // Habilita a interrupção do A/D
AD1CON1bits.ADON = 1;          // Habilita o conversor A/D
}

// Laço Principal
int main ()
{
//
//          Fosc      OSC*M      8e6*40
//          Fcy = ----- = ----- = ----- = 40 MIPS
//                2        2*(N1*N2)  2*(2*2)

// Configuração do PLL -> OSC = 8 MHz
CLKDIVbits.PLLPRE = 0;         // N1 = 2
CLKDIVbits.PLLPOST = 0;        // N2 = 2
PLLFBDbits.PLLDIV = 38;        // M = 40

while(!OSCCONbits.LOCK);       // Espera PLL fechar
OSCCONbits.CLKLOCK = 1;        // Desativa a modificação do PLL
LATD = 0;
LATF = 0;
LATG = 0;

// I/O FEDCBA9876543210 1 -> Entrada / 0 -> Saída
TRISD = 0b1111111100000000;
TRISF = 0b1111111111111111;
TRISG = 0b1111111111111111;

Init_ADC();                     // Configura o conversor A/D
Config_INT3();                   // Configura a interrupção do Timer 3
Config_INT4();                   // Configura a interrupção do Timer 4

// Laço infinito
while(1)
{
}
}

// Fim do Programa

```