

**UNIVERSIDADE FEDERAL DO PAMPA**

**RAUL PEDROTTI DE OLIVEIRA**

**PROJETO DE UM INDUTOR ATIVO CMOS DE BAIXA POTÊNCIA PARA  
CIRCUITOS DESLOCADORES DE FASE OPERANDO EM SUB-GHZ**

**Alegrete**

**2024**

**RAUL PEDROTTI DE OLIVEIRA**

**PROJETO DE UM INDUTOR ATIVO CMOS DE BAIXA POTÊNCIA PARA  
CIRCUITOS DESLOCADORES DE FASE OPERANDO EM SUB-GHZ**

Trabalho de Conclusão de Curso apresentado ao curso de Bacharelado em Engenharia de Telecomunicações como requisito parcial para a obtenção do grau de Bacharel em Engenharia de Telecomunicações.

Orientador: Prof. Dr. Alessandro Gonçalves Girardi

Coorientador: Prof. Dr. Lucas Compassi Severo

Alegrete  
2024

Ficha catalográfica elaborada automaticamente com os dados fornecidos  
pelo(a) autor(a) através do Módulo de Biblioteca do  
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

d245p de Oliveira, Raul Pedrotti

Projeto de um indutor ativo CMOS de baixa potência para  
circuitos deslocadores de fase operando em sub-GHz / Raul  
Pedrotti de Oliveira.

91 p.

Trabalho de Conclusão de Curso(Graduação)-- Universidade  
Federal do Pampa, ENGENHARIA DE TELECOMUNICAÇÕES, 2024.

"Orientação: Alessandro Gonçalves Girardi".

1. Microeletrônica. 2. Rádiofrequência. 3. Indutor Ativo  
CMOS. 4. Ultra Baixa Tensão. I. Título.

**RAUL PEDROTTI DE OLIVEIRA**

**PROJETO DE UM INDUTOR ATIVO CMOS DE BAIXA POTÊNCIA PARA CIRCUITOS  
DESLOCADORES DE FASE OPERANDO EM SUB-GHZ**

Trabalho de conclusão de curso apresentado ao Curso de Engenharia de Telecomunicações da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Bacharel em Engenharia de Telecomunicações.

Trabalho de conclusão de curso defendido e aprovado em: 10 de julho de 2024.

Banca examinadora:

---

Prof. Dr. Alessandro Gonçalves Girardi

Orientador

UNIPAMPA

---

Prof. Dr. Lucas Compassi Severo

ITA

---

Prof. Dr. Marcos Vinício Thomas Heckler

UNIPAMPA

---

Prof. Dr. Paulo César Comassetto de Aguirre

UNIPAMPA

---



Assinado eletronicamente por **MARCOS VINICIO THOMAS HECKLER, PROFESSOR DO MAGISTERIO SUPERIOR**, em 19/07/2024, às 15:22, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.

---



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 19/07/2024, às 15:28, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.

---



Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 19/07/2024, às 15:43, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.

---



Assinado eletronicamente por **Lucas Compassi Severo, Usuário Externo**, em 20/07/2024, às 09:53, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.

---



A autenticidade deste documento pode ser conferida no site [https://sei.unipampa.edu.br/sei/controlador\\_externo.php?acao=documento\\_conferir&id\\_orgao\\_acesso\\_externo=0](https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0), informando o código verificador **1496949** e o código CRC **0145D686**.

---

*"Glória a todas as lutas inglórias  
Que através da nossa história  
Não esquecemos jamais"  
(João Bosco e Aldir Blanc)*

*Este trabalho é dedicado aos meus avós Atilio e Joracil, a minha mãe Rosângela e a minha tia Regina.*

## **AGRADECIMENTOS**

Gostaria de agradecer muito minha mãe de coração, que aceitou essa árdua missão de cuidar de mim, me ensinar sobre a vida e também por me por na linha, obrigado Regina Pedrotti. Agradeço também ao meu orientador e professor Lucas Severo, por todo o suporte, ajuda, compreensão e também por me apresentar o mundo da microeletrônica e por aceitar ser meu orientador durante esses 3 anos de pesquisa, obrigado Lucas, de coração. Agradeço também meu pai, Newton e minha avó Elsene.

Meus grandes amigos, Victor Varela, Beatriz Hatschbach e Suyane Campos vocês foram essenciais para esta graduação, sem vocês, chegar até aqui seria bem mais complicado, jamais esquecerei das nossas noites incansáveis de estudo, nossos debates para ver quem estava certo e quem estava errado e tudo que passamos juntos, uma menção especial ao Victor, meu grande amigo de vida, obrigado por todos os estudos em conjunto, sua amizade é muito importante. Aos meus amigos de Cruz Alta, Yuri, Thales e Lucas que fizeram as férias um ambiente bem mais leve e de muitas risadas e conversas.

Aos professores Cristian, Marcos, Alessandro, Paulo e Dimas, meus sinceros agradecimentos por todo o aprendizado.

Agradeço também a todos os meus amigos, Herick, Duda Peres, Bruno Carvalho, Matheus Kobashigawa, Marcelo, Tailize, Edivania, Linda Beatriz, Rubens, Olivério, Luiza Scalão, Lucas Vargas, Débora Ströher, Gustavo Paulista, Victor Mendonça, e também não posso deixar de citar a amizade mais "improvável", Tiago Dias.

Por fim, gostaria de deixar meu muito obrigado a todos que contribuíram de alguma forma para a minha graduação. Obrigado.

## RESUMO

As especificações de baixa potência de CIs de RF (radiofrequência) operando na banda UHF aumentaram, devido ao aumento da demanda de sistemas *batteryless* e de baixo consumo em apenas um *chip*, os chamados SoCs. Os indutores são amplamente utilizados em circuitos de *front-end*, entretanto, para faixas de frequência de sub-GHz, a implementação de indutores torna-se um desafio, tanto em virtude da indutância ser maior, implicando em um área ocupada de silício maior quanto no fator de qualidade, que tende a ser baixo. Este trabalho visa o projeto de um AI (indutor ativo) que satisfaça os requisitos de fator de qualidade maior e área de silício ocupada menor em relação aos indutores planares, bem como, a otimização da topologia para atingir baixa potência consumida e aumento no fator de qualidade para aplicações em deslocadores de fase. Assim, foi inicialmente projetado um indutor ativo com topologia simplificada para fins de validação e análise dos pontos de operação do AI, em seguida foi projetado o AI balanceado de ultra-baixa tensão implementado a partir de OTAs (amplificadores operacionais de transcondutância) baseados em inversores. Porém, a redução em VDD (fonte de alimentação) implica no aumento da complexidade de projeto e variações de processo, então, foram explorados métodos de reduzir essas variações e diminuir a CMRR (taxa de rejeição de modo comum) através de circuitos de CMFB (realimentação de modo comum) e polarização dos transistores. Após o projeto do AI, foi implementado um deslocador de fase baseado em uma rede T-diferencial operando na frequência de 400 MHz. Os circuitos foram implementados no processo CMOS 65 nm sendo apresentadas duas versões do AI, a primeira com saída simples e VDD = 1,2 V com  $Q_{máx}$  de 14,44 e potência consumida de 1,3 mW, e a versão 2 com saída diferencial, VDD = 0,4 V para um fator de qualidade máximo de 215,06 e  $P_{DC}$  igual a 300,28  $\mu$ W e uma SRF (frequência de ressonância própria) de 1,57 GHz. Também foi implementada a estratégia para variação da indutância do AI baseado em um seletor de 4 *bits* aplicado ao PS (deslocador de fase), resultando em um  $\Delta\phi$  de  $-79,91^\circ$  para apenas 1 seção, logo, com 5 seções é possível obter uma variação de fase de  $360^\circ$  com uma potência consumida entre 1,50 mW e 3,65 mW conforme as combinações do seletor de *bits*.

**Palavras-chave:** Indutor Ativo. Circuitos em sub-GHz. Baixa Potência. Deslocadores de Fase.

## ABSTRACT

In the realm of low-power RF ICs for the UHF band, demands have grown for integrated systems that operate without batteries and consume minimal energy on a single chip, known as SoCs. Inductors play a crucial role in front-end circuits, but their use becomes challenging in sub-GHz frequencies. This is because higher inductance requirements mean they take up more die area and often have lower quality factors. This project aims to design an active inductor that meets the need for higher quality factors and smaller silicon area compared to traditional planar inductors. The goal is to optimize the topology to achieve low power consumption and improve quality factors for phase shifters operating at sub-GHz applications. Initially, a simplified active inductor topology was designed for validation and analysis. Following this, an ultra-low voltage balanced active inductor was developed using inverter-based OTA. However, reducing VDD increases design complexity and process variations, necessitating methods to mitigate these issues through CMFB circuits and sub-circuits for transistor biasing. After developing the active inductor, a 400 MHz phase shifter was implemented using a T-differential network. These circuits were designed in a CMOS 65 nm process. Two versions of the active inductor were implemented: the first with a single-ended output and  $V_{DD} = 1.2$  V, achieving a maximum  $Q$  of 14.44 with a power consumption of 1.3 mW, and the second with a differential output and  $V_{DD} = 0.4$  V, achieving a maximum  $Q$  of 215.06 with a power consumption of 300.56  $\mu$ W and a SRF of 1.57 GHz. A strategy for varying the inductance of the active inductor based in a 4-bit selector applied to the phase shifter resulted in a phase shift ( $\Delta\phi$ ) of  $-79.91^\circ$  with only 1 section. With 5 sections, a full  $360^\circ$  phase shift can be achieved with power consumption between 1.50 mW and 3.65 mW according the bit selector combinations.

**Keywords:** Active Inductor. Sub-GHz Circuits. Low Power. Phase Shifters.

## LISTA DE ILUSTRAÇÕES

Figura 1 – Comparativo do fator de qualidade entre indutores espirais e algumas topologias de indutores ativos. . . . .	20
Figura 2 – Diagrama de blocos de um típico receptor de RF. . . . .	21
Figura 3 – Fluxograma de projeto adotado para o indutor ativo. . . . .	23
Figura 4 – Símbolo elétrico do indutor. . . . .	25
Figura 5 – Modelo equivalente do indutor com fator de qualidade finito. . .	26
Figura 6 – Geometrias de indutores planares. a) Quadrada; b) Hexagonal; c) Octogonal; d) Circular. . . . .	27
Figura 7 – Topologia de indutor ativo baseado em C-giratório. . . . .	29
Figura 8 – Indutor sintetizado a partir da topologia <i>gyrator-C</i> . . . . .	30
Figura 9 – Topologias básicas de implementação de indutor ativo baseadas em <i>gyrator-C</i> . . . . .	30
Figura 10 – Símbolo elétrico dos transistores de canal p e canal n. a) Transistor PMOS; b) Transistor NMOS. . . . .	33
Figura 11 – Representação 3D do transistor MOSFET NMOS. . . . .	33
Figura 12 – Nível de inversão do canal do transistor em função da tensão de <i>overdrive</i> e do coeficiente de inversão. . . . .	34
Figura 13 – Nível de inversão de canal através da relação de $g_m/I_D$ em função do coeficiente de inversão (IC). . . . .	34
Figura 14 – Regiões de operação de um transistor MOSFET de canal <i>n</i> . . .	35
Figura 15 – Modelo de pequenos sinais completo de um transistor MOSFET. .	36
Figura 16 – Circuito amplificador inversor. a) Modelo elétrico; b) Modelo de pequenos sinais . . . . .	37
Figura 17 – Diagrama de blocos de um circuito amplificador com realimentação. .	38
Figura 18 – Topologia de um deslocador de fase baseado em rede T. . . . .	40
Figura 19 – Rede de micro-ondas com <i>n</i> portas. . . . .	41
Figura 20 – Topologia do indutor ativo versão 1. a) Topologia simplificada; b) Topologia com fontes de corrente reais. . . . .	43
Figura 21 – Método utilizado para o dimensionamento dos transistores. a) Transistor <i>M1</i> ; b) Transistor <i>M2</i> . . . . .	43
Figura 22 – Modelo de pequeno sinais para a topologia simplificada. . . . .	45

Figura 23 – Método utilizado para o dimensionamento dos transistores M3 e M4. a) Transistor M3; (b) Transistor M4. . . . .	46
Figura 24 – Espelhos de corrente utilizados para gerar as tensões de polarização $V_{bias_1}$ e $V_{bias_2}$ . a) Espelho de corrente para o transistor $M_{3R}$ ; b) Espelho de corrente para o transistor $M_{4R}$ . . . . .	47
Figura 25 – Modelo de pequeno sinais para a topologia com fontes de corrente reais. . . . .	48
Figura 26 – Resposta em frequência dos circuitos analisados. . . . .	49
Figura 27 – Reatância e indutância equivalentes resultantes para as três análises realizadas. . . . .	50
Figura 28 – Topologia de indutor ativo diferencial baseado em C-giratório. . . . .	53
Figura 29 – OTA de ultra-baixa tensão proposto. . . . .	54
Figura 30 – Método utilizado para o dimensionamento dos transistores do amplificador principal. a) Transistor $M_1$ ; b) $M_2$ . . . . .	55
Figura 31 – Modelo de pequeno sinais para a topologia proposta em saída simples. . . . .	56
Figura 32 – Topologia pseudo-diferencial utilizada para a implementação do amplificador de erro. . . . .	59
Figura 33 – Método utilizado para o dimensionamento dos transistores do amplificador de erro (ErrorAmp). a) Transistor $M_{PE}$ e b) Transistor $M_{NE}$ . . . . .	59
Figura 34 – Resposta em frequência do ganho (em azul) e da fase (em vermelho) da topologia utilizada no amplificador de erro. . . . .	60
Figura 35 – Réplica do amplificador principal utilizado no circuito de CMFB. . . . .	62
Figura 36 – Método utilizado para o dimensionamento dos transistores da réplica do OTA. a) Transistor $M_3$ ; b) Transistor $M_4$ . . . . .	62
Figura 37 – Resposta em frequência do ganho (em azul) e da fase (em vermelho) do OTA em malha aberta. . . . .	64
Figura 38 – Resposta em frequência do ganho (em azul) e da fase (em vermelho) do OTA em malha fechada sem o estágio da réplica do amplificador principal. . . . .	65
Figura 39 – Resposta em frequência do ganho (em azul) e da fase (em vermelho) do OTA em malha fechada do circuito completo. . . . .	65

Figura 40 – Resposta em frequência da impedância e indutância geradas com capacitâncias de carga $C_L = 5$ pF. a) Absoluto da impedância de entrada; b) Indutância de entrada. . . . .	67
Figura 41 – Resposta em frequência da impedância e indutância geradas sem capacitâncias de carga. a) Absoluto da impedância de entrada; b) Indutância de entrada. . . . .	69
Figura 42 – Histograma de variação da transcondutância $g_m$ . . . . .	70
Figura 43 – Histograma de variação da corrente $I_D$ . . . . .	71
Figura 44 – Histograma de variação da tensão $V_{BS}$ . . . . .	72
Figura 45 – Histograma de variação da tensão de saída. . . . .	73
Figura 46 – Histograma de variação da impedância $Z_{in}$ e da indutância $L$ de entrada. . . . .	73
Figura 47 – Deslocador de fase rede T diferencial. . . . .	75
Figura 48 – Topologia do indutor ativo programável de 4 b proposto. . . . .	77
Figura 49 – Estratégia utilizada para habilitar e desabilitar o OTA. . . . .	78
Figura 50 – Impedância e indutância geradas em 400 MHz em função da variação dos múltiplos dos transistores do amplificador 1 e 2. a) Absoluto da impedância de entrada; b) Indutância de entrada. . . . .	79
Figura 51 – Indutância em função da frequência gerada para todas as combinações do AI. . . . .	79
Figura 52 – Método utilizado para as análises do circuito deslocador de fase projetado. . . . .	81
Figura 53 – Parâmetros $S_{12}$ para o deslocador de fase projetado. a) $ S_{12} $ ; b) Fase de $S_{12}$ . . . . .	82
Figura 54 – $ S_{12} $ simulado para o deslocador de fase projetado. . . . .	83
Figura 55 – Fase de $S_{12}$ simulada para o deslocador de fase projetado. . . . .	83
Figura 56 – Circuito do deslocador de fase com 5 seções para atingir um deslocamento de fase de $-360^\circ$ . . . . .	84

## LISTA DE TABELAS

Tabela 1	–	Dimensões e múltiplos dos transistores utilizados. . . . .	44
Tabela 2	–	Dimensões dos transistores M3 e M4. . . . .	47
Tabela 3	–	Dimensões e múltiplos dos transistores $M_{3R}$ e $M_{4R}$ utilizados nos espelhos de corrente. . . . .	48
Tabela 4	–	Especificações entre os circuitos simplificado, com fontes de corrente reais e equivalente do AI. . . . .	51
Tabela 5	–	Dimensões e múltiplos dos transistores $M_1$ e $M_2$ utilizados no amplificador principal. . . . .	55
Tabela 6	–	Dimensões e múltiplos dos transistores $M_{PE}$ e $M_{NE}$ utilizados no amplificador de erro. . . . .	60
Tabela 7	–	Dimensões e múltiplos dos transistores $M_3$ e $M_4$ utilizados na réplica do amplificador principal. . . . .	63
Tabela 8	–	Especificações de estabilidade em frequência do OTA. . . . .	66
Tabela 9	–	Especificações de SRF e Q para o circuito com $C_L = 5$ pF. . . . .	68
Tabela 10	–	Especificações de SRF e Q para o circuito sem $C_L$ . . . . .	68
Tabela 11	–	Impedâncias e indutâncias geradas a partir das análises de $C_L = 5$ pF e $C_L = 0$ F. . . . .	68
Tabela 12	–	Especificações de AIs. . . . .	74
Tabela 13	–	Comportamento da indutância de acordo com a seleção dos bits do AI em 400 MHz. . . . .	80
Tabela 14	–	Especificações do PS proposto em $f_0 = 400$ MHz. . . . .	81
Tabela 15	–	Comportamento da fase de acordo com a seleção dos bits do AI em 400 MHz. . . . .	85

## LISTA DE ABREVIATURAS E SIGLAS

AI	Indutor Ativo, do inglês <i>Active Inductor</i>
BLE	Bluetooth de Baixa Energia, do inglês <i>Bluetooth Low Energy</i>
C	Capacitor
CI	Circuito Integrado
CMFB	Realimentação de Modo-Comum, do inglês <i>Common-Mode Feed-Back</i>
CMOS	Semicondutor de Óxido Metálico Complementar, do inglês <i>Complementary Metal Oxide Semiconductor</i>
L	Indutor
CMRR	Taxa de Rejeição de Modo-Comum, do inglês <i>Common-Mode Rejection Ratio</i>
$g_{ds}$	Condutância entre os terminais dreno-fonte
$g_m$	Transcondutância
IoT	Internet das Coisas, do inglês <i>Internet of Things</i>
LVT	Baixa tensão de limiar, do inglês <i>Low-Threshold Voltage</i>
MI	Inversão Moderada, do inglês <i>Moderate Inversion</i>
MOSFET	Transistor Metal Óxido Semicondutor de Efeito de Campo, do inglês <i>Metal Oxide Semiconductor Field Effect Transistor</i>
OTA	Amplificador Operacional de Transcondutância, do inglês <i>Operational Transconductance Amplifier</i>
PS	Deslocador de fase, do inglês <i>Phase-Shifter</i>
Q	Fator de qualidade
RF	Radiofrequência

SI	Inversão Forte, do inglês <i>Strong Inversion</i>
SoC	Sistema em chip, do inglês <i>System on Chip</i>
SRF	Frequência de Ressonância Própria, do inglês <i>Self Resonant Frequency</i>
UHF	Frequência Ultra Alta, do inglês <i>Ultra High Frequency</i>
ULP	Ultra-Baixa Potência, do inglês <i>Ultra-Low Power</i>
ULV	Ultra-Baixa Tensão, do inglês <i>Ultra-Low Voltage</i>
WI	Inversão Fraca, do inglês <i>Weak Inversion</i>

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO . . . . .</b>	<b>19</b>
<b>1.1</b>	<b>Objetivos . . . . .</b>	<b>21</b>
<b>1.1.1</b>	<b>Objetivo Geral . . . . .</b>	<b>21</b>
<b>1.1.2</b>	<b>Objetivos Específicos . . . . .</b>	<b>21</b>
<b>1.2</b>	<b>Discussão do Problema e Metodologia . . . . .</b>	<b>22</b>
<b>1.3</b>	<b>Organização . . . . .</b>	<b>23</b>
<b>2</b>	<b>REVISÃO DA LITERATURA . . . . .</b>	<b>25</b>
<b>2.1</b>	<b>Indutores . . . . .</b>	<b>25</b>
<b>2.2</b>	<b>Indutores em Tecnologia CMOS . . . . .</b>	<b>26</b>
<b>2.2.1</b>	<b>Indutores Passivos - Planares . . . . .</b>	<b>27</b>
<b>2.2.2</b>	<b>Indutores Ativos . . . . .</b>	<b>28</b>
<b>2.3</b>	<b>Transistores MOSFET e Regiões de Polarização . . . . .</b>	<b>32</b>
<b>2.4</b>	<b>Circuitos de Realimentação . . . . .</b>	<b>38</b>
<b>2.5</b>	<b>Deslocadores de Fase em RF . . . . .</b>	<b>39</b>
<b>2.5.1</b>	<b>Parâmetros de Espalhamento e Matriz S . . . . .</b>	<b>40</b>
<b>2.6</b>	<b>Síntese do Capítulo . . . . .</b>	<b>41</b>
<b>3</b>	<b>INDUTOR ATIVO - VERSÃO 1 . . . . .</b>	<b>42</b>
<b>3.1</b>	<b>Projeto e Dimensionamento . . . . .</b>	<b>42</b>
<b>3.2</b>	<b>Validação da Topologia Simplificada . . . . .</b>	<b>45</b>
<b>3.3</b>	<b>Projeto do AI com Fontes de Corrente Reais . . . . .</b>	<b>46</b>
<b>3.4</b>	<b>Resultados . . . . .</b>	<b>49</b>
<b>3.5</b>	<b>Síntese do Capítulo . . . . .</b>	<b>51</b>
<b>4</b>	<b>INDUTOR ATIVO - VERSÃO 2 . . . . .</b>	<b>52</b>
<b>4.1</b>	<b>Projeto do Indutor Ativo Balanceado . . . . .</b>	<b>52</b>
<b>4.2</b>	<b>Projeto e Dimensionamento dos Amplificadores . . . . .</b>	<b>54</b>
<b>4.2.1</b>	<b>Projeto dos Circuitos de CMFB . . . . .</b>	<b>57</b>
<b>4.3</b>	<b>Resultados . . . . .</b>	<b>63</b>
<b>4.4</b>	<b>Síntese do Capítulo . . . . .</b>	<b>74</b>

<b>5</b>	<b>DESLOCADORES DE FASE BASEADOS EM INDUTORES</b>	
	<b>ATIVOS</b>	<b>75</b>
<b>5.1</b>	<b>Projeto do Deslocador de Fase</b>	<b>75</b>
<b>5.2</b>	<b>Projeto do AI de 4 bits Programável</b>	<b>76</b>
<b>5.3</b>	<b>Resultados</b>	<b>80</b>
<b>5.4</b>	<b>Síntese do Capítulo</b>	<b>85</b>
<b>6</b>	<b>CONSIDERAÇÕES FINAIS</b>	<b>86</b>
	<b>REFERÊNCIAS</b>	<b>89</b>

## 1 INTRODUÇÃO

A rápida evolução dos circuitos eletrônicos integrados possibilitou a implementação de sistemas em um único chip (SoC), e, com isso, os circuitos de radiofrequência (RF) *front-end* também puderam ser implementados neste tipo de sistema.

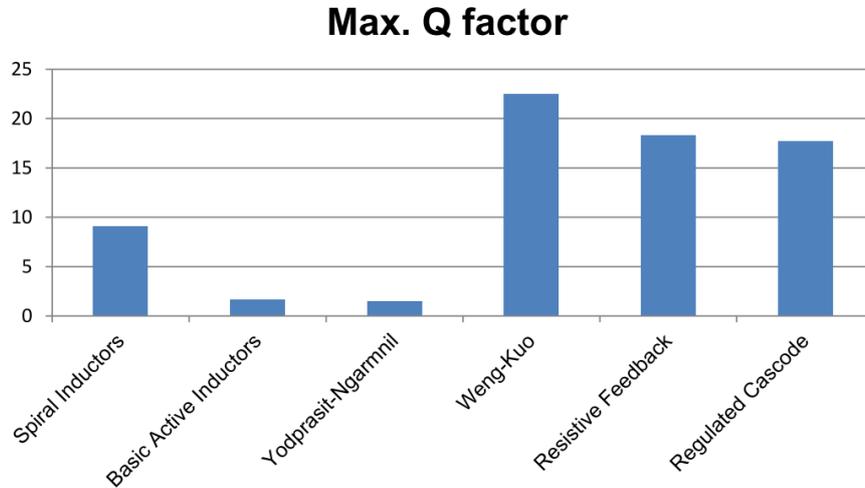
Os indutores são elementos-chave no projeto e implementação dos blocos analógicos de RF que compõem os sistemas de comunicação (receptores ou transmissores), como amplificadores de baixo ruído (LNAs), misturadores (*mixers*), filtros, deslocadores de fase (PSs), osciladores, entre outros. Estes dispositivos são amplamente utilizados para realizar funções como sintonia em filtros passivos, casamento de impedância, etc (KRISHNAMURTHY; EL-SANKARY; EL-MASRY, 2010).

Em sistemas *on-chip* que operam na faixa de frequência de sub-GHz, o projeto de indutores para estes circuitos torna-se um desafio, pois para indutâncias nessa faixa os indutores planares tendem a ocupar uma grande área de silício (eventualmente podem ocupar uma área maior em relação aos outros circuitos do sistema) e também tendem a possuir um baixo fator de qualidade. Para contornar estas adversidades foram desenvolvidos os indutores ativos, que ocupam uma área relativa de silício entre 1 a 10% e visam também possuir um fator de qualidade maior em relação aos indutores planares (XIAO; SCHAUMANN, 2007). Os indutores ativos são circuitos de estado sólido que conseguem sintetizar o comportamento indutivo.

Então, indutores ativos conseguem gerar diferentes valores de indutância de acordo com sua implementação, isso torna a utilização de AIs atraente em circuitos que necessitam operar em frequências abaixo de 1 GHz.

A Fig. 1 apresenta o comparativo do máximo fator de qualidade entre algumas topologias de AIs e indutores espirais. Nota-se que o fator de qualidade máximo em algumas topologias pode atingir até duas vezes o atingido em indutores planares. Com isso, para aplicações que operam na faixa de frequência de sub-GHz (entre 300 MHz e 1 GHz), o projeto de AIs torna-se vantajoso, pois o fator de qualidade tende a ser maior enquanto a área de silício necessária para gerar a mesma indutância tende a ser menor.

Figura 1 – Comparativo do fator de qualidade entre indutores espirais e algumas topologias de indutores ativos.



Fonte: (SURESH, 2014)

Entretanto, para aplicações em sistemas de baixa potência e baixa tensão como IoT, BLE, sistemas *batteryless* (sem bateria), ou qualquer outro dispositivo portátil e versátil, a potência consumida total dos circuitos presentes nestes dispositivos deve ser a mínima potência para o circuito operar em condições ideais (CEOLIN, 2022). Sendo assim, o consumo de potência de indutores ativos pode afetar consideravelmente a potência consumida total do sistema.

Contudo, existem topologias e estratégias de implementação que possibilitam o projeto de indutores ativos com baixa tensão de alimentação, reduzindo também o consumo de potência.

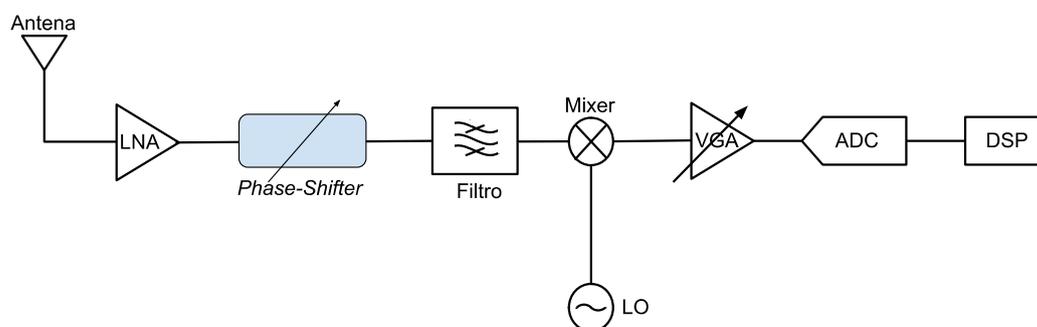
Dentre as aplicações de indutores em circuitos de RF estão os deslocadores de fase comumente construídos a partir de capacitores e indutores. A Fig. 2 apresenta o diagrama de blocos de um receptor de RF típico, onde é possível observar a presença do PS logo após o LNA, sendo responsável por prover o deslocamento de fase necessário entre o sinal de saída do LNA e o sinal de entrada do filtro.

Os principais parâmetros de caracterização de deslocadores de fase são baseados na defasagem total ( $\Delta\phi$ ) de até  $360^\circ$  com baixa perda de inserção (IL) e baixa potência consumida (KOUL; DEY, 2019).

A partir disso, o trabalho apresenta o projeto de um indutor ativo progra-

mável de ultra-baixa tensão para deslocadores de fase baseados em rede T-diferencial no processo CMOS 65 nm com tensão de alimentação de 400 mV, operando na frequência de 400 MHz.

Figura 2 – Diagrama de blocos de um típico receptor de RF.



Fonte: O autor.

## 1.1 OBJETIVOS

### 1.1.1 OBJETIVO GERAL

Implementar um indutor ativo em tecnologia CMOS para aplicações em deslocadores de fase operando em sub-GHz, visando atingir as especificações de baixa potência e alto fator de qualidade.

### 1.1.2 OBJETIVOS ESPECÍFICOS

O foco do trabalho é na implementação do AI de baixa potência e que opere na frequência de 400 MHz, por estar na faixa de frequências de operação de *small-satellites*.

- Pesquisar topologias de implementação de circuito de indutores ativos e validar as topologias simplificada e clássica dispostas na revisão da literatura;
- Buscar e estudar métodos de projeto de indutores ativos diferenciais de ultra-baixa tensão de alimentação e baixa potência;
- Explorar técnicas de estabilidade e de CMFB;

- Realizar e analisar o comparativo entre as topologias projetadas e as topologias vistas na literatura;
- Implementar a estratégia de variação de indutância de 4 *bits* do indutor de baixa potência;
- Projetar e realizar o *test-bench* do circuito do deslocador de fase empregando o indutor ativo programável e analisar os resultados dos parâmetros  $S$ .

## 1.2 DISCUSSÃO DO PROBLEMA E METODOLOGIA

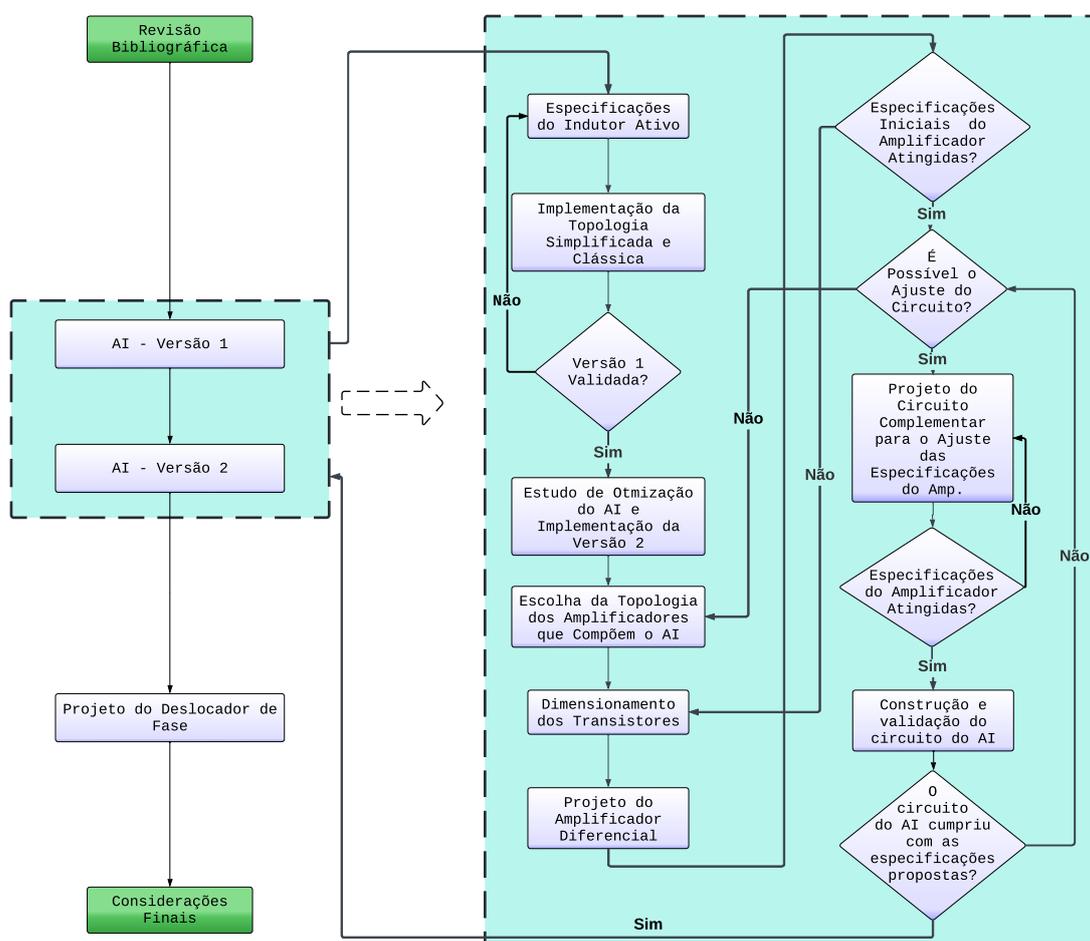
O foco do trabalho é o projeto de um indutor ativo para aplicações em receptores que operam na faixa de frequência de sub-GHz e que cumpram com a especificação de baixa potência consumida e alto fator de qualidade (se comparado com indutores planares). Logo, o trabalho apresenta a validação e o projeto da primeira versão do AI (capítulo 3), isto, para obter uma topologia mais simples e de fácil análise, para então, o projeto da versão 2 (capítulo 4) apresentar a otimização na fonte de alimentação, reduzindo-a de 1,2 V para 0,4 V, e também na topologia de implementação do AI.

Entretanto, com a redução de VDD e a topologia escolhida ser balanceada (entradas e saídas diferenciais), o projeto do circuito do AI torna-se mais complexo e necessita de possíveis ajustes e circuitos complementares para atingir as especificações iniciais propostas, de ultra-baixo VDD, alto fator de qualidade, baixa potência, estabilidade nas tensões diferenciais de saída e largura de banda indutiva.

Logo, o fluxograma de projeto da Fig. 3 apresenta a metodologia adotada para o desenvolvimento deste trabalho. Este fluxograma apresenta os passos detalhados da implementação do indutor ativo, bem como, o método utilizado para conduzir a proposta deste trabalho.

O *software* da Cadence *Virtuoso Analog Design Environment* <sup>®</sup> é utilizado para as implementações e obtenção dos resultados dos circuitos apresentados nos capítulos 3, 4 e 5. A implementação dos circuitos é realizada utilizando o processo CMOS de 65 nm com transistores LVT.

Figura 3 – Fluxograma de projeto adotado para o indutor ativo.



Fonte: O autor.

### 1.3 ORGANIZAÇÃO

O trabalho é organizado de maneira que o capítulo 2 apresenta a revisão da literatura, abordando os conceitos de polarização de transistores, teoria de indutores, indutores integrados, circuitos baseados em indutores e deslocadores de fase para sistemas sub-GHz. A versão 1 do indutor ativo é apresentada no capítulo 3, bem como o dimensionamento e polarização dos transistores que compõem as topologias simplificada e clássica da primeira versão do AI. O projeto da versão do AI com ultra-baixo VDD e entradas balanceadas é apresentado no capítulo 4.

O capítulo 5 mostra o projeto do deslocador de fase utilizando um indutor ativo programável de 4 *bits*, por fim, o capítulo 6 conclui o trabalho.

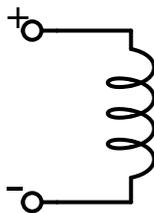
## 2 REVISÃO DA LITERATURA

Neste capítulo é apresentada a revisão teórica de indutores, deslocadores de fase e conceitos importantes de transistores e circuitos integrados para a construção deste trabalho. Também serão abordados os conceitos de polarização de transistores, circuitos inversores, circuitos de CMFB e estabilidade em sistemas realimentados, estudo de topologias de indutores ativos e comportamento dos parâmetros de espalhamento (parâmetros S) para deslocadores de fase.

### 2.1 INDUTORES

Os indutores são dispositivos eletrônicos passivos projetados a partir de uma bobina composta por um número de espiras ( $N$ ) interconectadas entre si. A Fig. 4 demonstra o símbolo elétrico do indutor com dois terminais, positivo e negativo, representados pelos símbolos + e -, respectivamente.

Figura 4 – Símbolo elétrico do indutor.



Fonte: (SILVA, 2017).

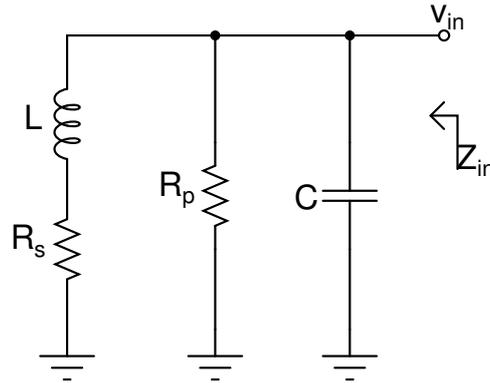
Estes dispositivos também podem possuir um terceiro terminal, denominado de derivação central, geralmente conectado a uma tensão de referência (VDD ou GND) (SILVA, 2017).

Existem duas principais métricas de caracterização e avaliação de indutores, sendo elas a indutância ( $L$ ) e o fator de qualidade ( $Q$ ). O parâmetro de indutância é modelado de acordo com a Eq. (2.1), onde  $Z_{in}$  é dado pela impedância vista nos dois terminais do dispositivo (+ e -), e  $\Im\{Z_{in}\}$  modela a reatância indutiva ( $X_L$ ) do dispositivo na frequência de ressonância ( $f$ ).

$$L = \frac{\Im\{Z_{in}\}}{2\pi f} \quad (2.1)$$

Os indutores reais, ou seja, que apresentam fator de qualidade finito, possuem um modelo equivalente, que representa as perdas do material utilizado ( $R_S$ ) na implementação e a capacitância do dispositivo ( $C_P$ ), este modelo é apresentado na Fig. 5.

Figura 5 – Modelo equivalente do indutor com fator de qualidade finito.



Fonte: O autor.

Sendo assim, a outra maneira de avaliação de um indutor é dada pelo fator de qualidade ( $Q$ ), esse parâmetro é dado pela razão entre a reatância indutiva e a resistência do dispositivo como apresentado abaixo:

$$Q = \frac{\Im\{Z_{in}\}}{\Re\{Z_{in}\}} = \frac{X_L}{R_S}, \quad (2.2)$$

este fator representa a relação entre a energia armazenada (parcela imaginária da impedância de entrada) e a energia dissipada (parcela real da impedância de entrada), esta energia dissipada modela as perdas devido às resistências parasitas do material, ou seja, quanto maior for a resistência equivalente do indutor, menor será o fator de qualidade.

Assim, a partir disso é possível a implementação de indutores *on-chip*, ou seja, indutores integrados.

## 2.2 INDUTORES EM TECNOLOGIA CMOS

Para indutores integrados há duas maneiras de projeto, indutores passivos, ou também comumente chamados de indutores planares, e também indutores ativos,

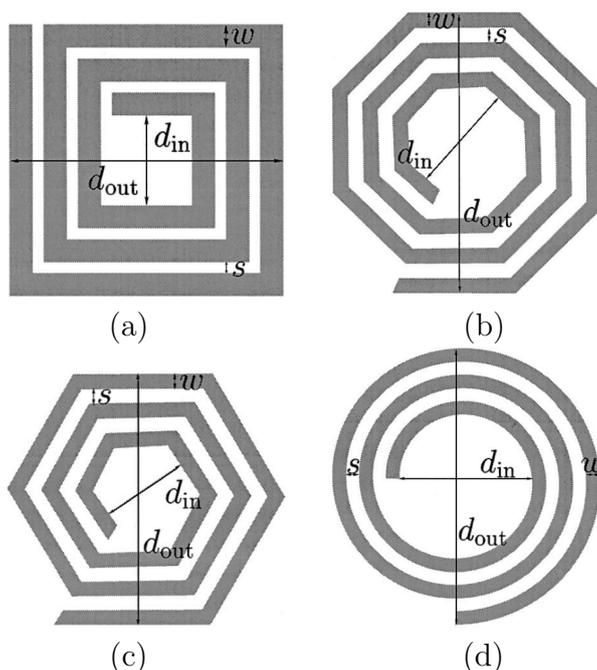
construídos a partir de circuitos de estado sólido que sintetizam uma determinada indutância em função da frequência.

### 2.2.1 INDUTORES PASSIVOS - PLANARES

Os indutores passivos, ou planares, são projetados em espirais planas com um número de enrolamentos ( $N$ ), largura das trilhas e espaçamento entre elas. Assim, o formato geométrico da espiral é dependente do processo utilizado na implementação.

A Fig. 6 apresenta geometrias de indutores planares integrados, e, para cada uma delas, o espaçamento entre as trilhas ( $S$ ), raio interior ( $d_{in}$ ), raio exterior ( $d_{out}$ ) e largura da trilha ( $w$ ) definem os parâmetros de indutância e fator de qualidade, de maneira análoga a indutores discretos.

Figura 6 – Geometrias de indutores planares. a) Quadrada; b) Hexagonal; c) Octogonal; d) Circular.



Fonte: (MOHAN et al., 1999).

A indutância resultante do elemento é diretamente dependente da geometria, das dimensões interna e externa e do número de voltas que constituem a

bobina, já, por outro lado, possui uma relação inversa em relação à largura dos enrolamentos/trilhas.

Em circuitos integrados, estas estruturas são implementadas nas camadas de metal superiores (*top layers*) da tecnologia, isto, pois a distância entre o metal e o substrato aumenta, logo, os valores das capacitâncias parasitas formadas por placas paralelas diminui, gerando um aumento no fator de qualidade do indutor.

Pela própria geometria e implementação, estes dispositivos requerem uma área de silício maior, em comparação com os outros componentes presentes no *chip* (resistores, capacitores, transistores, etc), e também apresentam um fator de qualidade relativamente baixo. O fator de qualidade baixo é dado pelas resistências parasitas geradas ao longo da estrutura do dispositivo, tais resistências estão diretamente associadas pela própria condutância do material (geralmente alumínio) e pelas dimensões das trilhas.

A partir destas adversidades presentes em indutores passivos são implementados indutores ativos. Dispositivos que apresentam menor área de silício para implementação e tendem possuir um fator de qualidade mais elevado em comparação com os indutores planares.

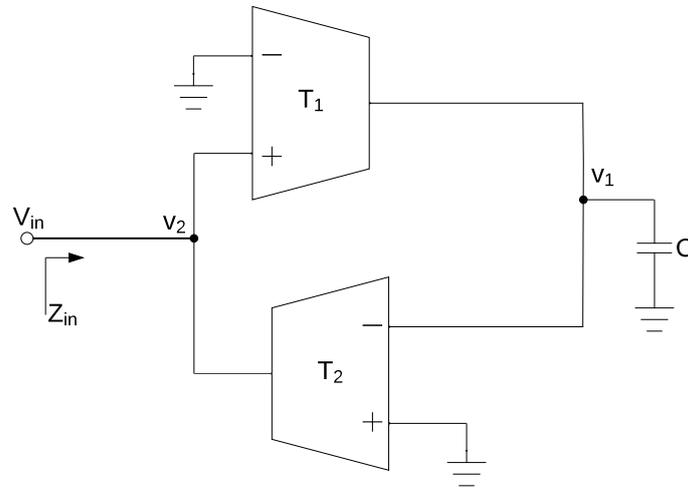
### 2.2.2 INDUTORES ATIVOS

Os indutores ativos foram desenvolvidos com os principais motivos de reduzir a área de silício utilizada, aumentar o fator de qualidade, possibilitar a variação de indutância (de acordo com a corrente que flui no circuito) e também possibilitar a implementação de circuitos na faixa de frequência de 300 MHz a 1 GHz (sub-GHz), pois, a partir da Eq. (2.1) para frequências menores a indutância tende a ser grande, logo, a implementação de indutores planares para estas aplicações deixa de ser viável.

Os AIs são implementados a partir da teoria do *gyrator* que consiste em dois transdutores conectados entre si em *back-to-back*, isto é, a saída de um é conectada à entrada do outro. Quando este circuito é conectado a um capacitor de saída, que também pode ser considerado o equivalente as capacitâncias parasitas do circuito, assim, o circuito é chamado de *gyrator-C* (C-giratório) (SABERKARI et al., 2015).

Se ambos os transdutores possuírem impedâncias de entrada e saída tendendo ao infinito e transcondutâncias constantes, esta topologia passa a ser denominada de indutor ativo de saída simples baseado em *gyrator-C* sem perdas. A Fig. 7 representa o esquemático desta topologia, onde a saída do primeiro transcondutor é determinada pelo produto entre a transcondutância do sub-circuito e a tensão  $V_2$ , e, de maneira análoga, a saída do segundo transcondutor é dada pela transcondutância do próprio sub-circuito e a tensão  $V_1$ .

Figura 7 – Topologia de indutor ativo baseado em C-giratório.



Fonte: O autor.

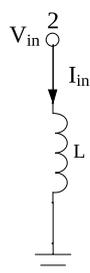
A partir do esquemático apresentado na Fig. 7 pode-se sintetizar uma indutância ( $L$ ) no nó de entrada ( $Z_{in}$ ) inversamente proporcional ao produto das transcondutâncias dos transdutores  $T_1$  e  $T_2$ , como apresenta a Eq. (2.3).

$$L = \frac{C}{g_{m1} \cdot g_{m2}} \quad (2.3)$$

Logo, o modelo do indutor sintetizado a partir da Fig. 7 e da Eq. (2.3) é apresentado na Fig. 8.

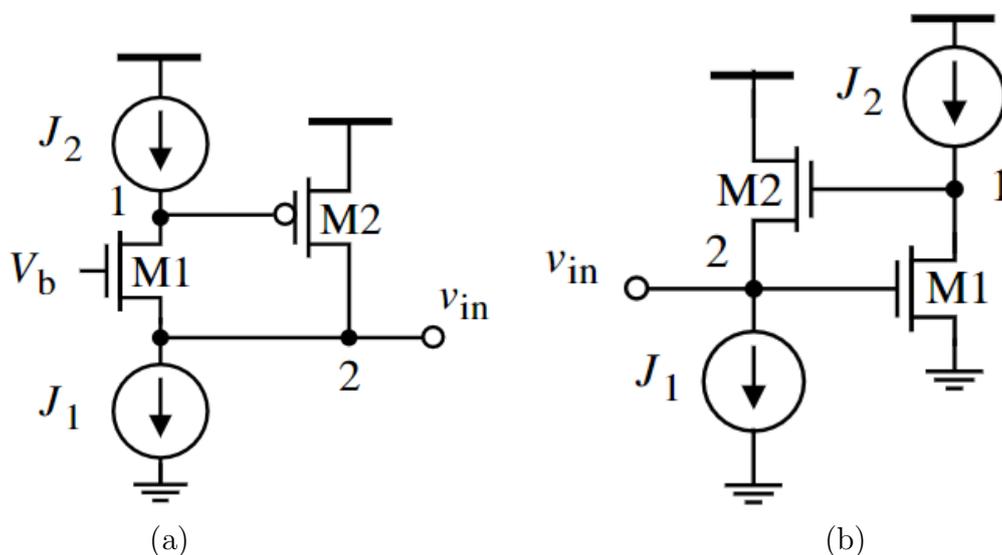
Sendo assim, pode-se obter diferentes valores de indutâncias de acordo com a corrente de operação do circuito, pois as transcondutâncias destes dispositivos são alteradas de acordo com a variação da corrente de operação do circuito. Esta variação de indutância depende apenas das transcondutâncias, pois a capacitância ( $C$ ) mantém-se fixa.

Figura 8 – Indutor sintetizado a partir da topologia *gyrator-C*.



Fonte: O autor.

Figura 9 – Topologias básicas de implementação de indutor ativo baseadas em *gyrator-C*.



Fonte: (YUAN, 2008).

Os circuitos dos indutores ativos são baseados na topologia básica vista em Yuan (2008), onde as fontes de corrente  $J_1$  e  $J_2$  são responsáveis pela calibração e consequentemente pela determinação da indutância gerada no nó de entrada do circuito. Na Fig. 9 são apresentadas duas topologias básicas da implementação de AIs baseados em topologias *high gain boosted amplifiers*.

A Fig. 9 apresenta a topologia de um indutor ativo de saída simples baseado em C-giratório.

Os circuitos dos indutores ativos possuem um modelo equivalente, composto por componentes passivos, este modelo é visualizado na Fig. 5.

A indutância gerada a partir destes circuitos são controladas pelas transcondutâncias dos transistores que compõem o circuito, logo, a indutância é determinada pela corrente que flui através dos respectivos transistores, tornando capaz a implementação de circuitos capazes de gerar indutâncias variáveis de acordo com a corrente.

Logo, os valores dos componentes passivos que compõem o modelo equivalente são determinados conforme os parâmetros e especificações de cada topologia de implementação. Assim, Yodprasit e Ngarmnil (2000) descreve a abordagem utilizada para a topologia básica de indutores ativos baseados na rede *gyrator-C*. Os valores de indutância, resistência série e paralela e capacitância, são determinados pelas expressões abaixo:

$$L = \frac{C_{gs1}}{g_{m1} \cdot g_{m2}}; \quad (2.4)$$

$$R_S = \frac{1}{g_{m1} \cdot A_{vo}}; \quad (2.5)$$

$$R_P = \frac{1}{g_{m2}}; \quad (2.6)$$

$$C = C_{gs2}. \quad (2.7)$$

O modelo equivalente do AI é apresentado na Fig. 5, e, a partir deste modelo a função de transferência da impedância de entrada do circuito equivalente é extraída.

Após realizar a LKC no nó de entrada ( $V_{in}$ ), obtém-se a função de transferência da impedância de entrada  $Z_{in}(s)$  apresentada na Eq. (2.8), onde o parâmetro  $g_p$  representa  $1/R_P$ .

$$Z_{in}(s) = \frac{sL + R_S}{s^2LC + s(R_S C + Lg_p) + R_S g_P + 1} \quad (2.8)$$

Onde o parâmetro  $A_{vo}$  é dado por:  $A_{vo} = g_{m2}/g_{ds2}$  para topologias baseadas em fonte-comum simples,  $A_{vo} = (g_{m2}/g_{ds2})^2$  topologias baseadas se M2 estiver em conexão *cascode* e  $A_{vo} = (g_{m2}/g_{ds2})^3$  se M2 estiver em conexão *regulated cascode*, como mostra a Fig. 9.

Neste caso, o fator de qualidade ( $Q$ ) desta topologia pode ser modelado a partir da Eq. (2.9).

$$Q \approx \frac{R_P}{2\pi fL} \quad (2.9)$$

Também, é possível obter a frequência de ressonância própria (SRF) do modelo elétrico equivalente a partir da Eq. (2.10).

$$SRF = \frac{1}{2\pi\sqrt{LC_P}} \quad (2.10)$$

### 2.3 TRANSISTORES MOSFET E REGIÕES DE POLARIZAÇÃO

O processo CMOS é composto por transistores MOSFETs de canal p e canal n, denominados transistores PMOS e NMOS. Estes dispositivos possuem quatro terminais, dreno, fonte, porta e substrato. A principal diferença entre ambos os dispositivos está na conexão e definição dos terminais de dreno e fonte (BAKER, 2004). A Fig 10 mostra os símbolos elétricos dos transistores PMOS e NMOS e seus terminais.

O terminal de dreno é representado pela letra  $D$ , terminal de fonte pela letra  $S$ , de porta pela letra  $G$  e de substrato  $B$ .

A vista isométrica da representação 3D do transistor NMOS pode ser visto na Fig. 11. Os terminais de fonte e dreno são construídos a partir de dois metais dispostos sobre uma camada de material do tipo n separados por um comprimento  $L$  do substrato de tipo p, formando uma junção pn, ou, região de inversão, acima do canal de comprimento  $L$ , há uma camada de óxido de silício ( $\text{SiO}_2$ ) e acima deste camada o terminal de porta. O terminal de substrato (*bulk*) é conectado diretamente ao substrato de tipo p. As dimensões do canal do transistor, ou região de depleção são dadas pelo comprimento  $L$  e largura  $W$ .

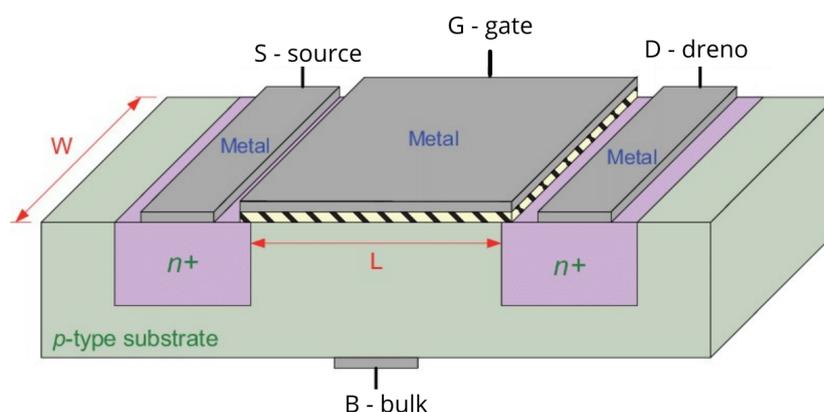
O dimensionamento de um transistor MOSFET é realizado através da definição dos parâmetros  $L$  e  $W$  conforme as especificações do projeto.

Figura 10 – Símbolo elétrico dos transistores de canal p e canal n. a) Transistor PMOS; b) Transistor NMOS.



Fonte: Adaptado de (ALLEN; HOLBERG, 2012).

Figura 11 – Representação 3D do transistor MOSFET NMOS.

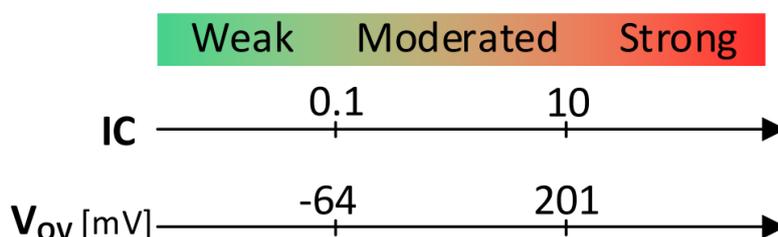


Fonte: Adaptado de (PIMENTA; MORENO; ZOCCAL, 2011).

Ao aplicar tensões nos terminais metálicos S, G e D o transistor assume valores de tensão de polarização CC  $V_{GS}$  e  $V_{DS}$ , que determinam o nível de inversão do canal dos transistores a partir da expressão  $V_{OV} = V_{GS} - V_T$ . Tal relação determina se o transistor opera em inversão forte (SI), inversão moderada (MI) e inversão fraca (WI) de acordo com a tensão de  $V_{GS}$  aplicada aos terminais de porta e fonte do transistor.

O nível de inversão de canal dos transistores em função da tensão de *overdrive* e também do coeficiente de inversão (IC) é mostrado na Fig. 12, para um  $V_{GS} - V_T > 201$  mV o transistor opera com um nível de inversão forte, assim, as capacitâncias parasitas do transistor tendem reduzir.

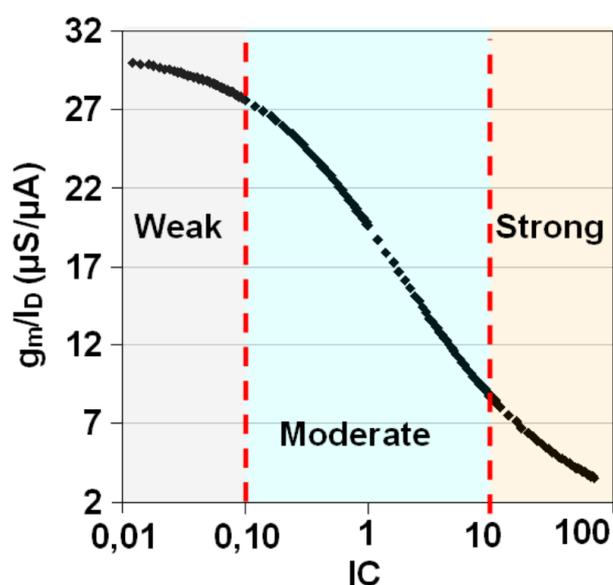
Figura 12 – Nível de inversão do canal do transistor em função da tensão de *overdrive* e do coeficiente de inversão.



Fonte: (GIRARDI; SEVERO; AGUIRRE, 2022).

Pode-se utilizar a relação  $g_m/I_D$  em função do coeficiente de inversão (IC) para determinar o nível de inversão do canal conforme os parâmetros elétricos do transistor, os quais são obtidos através do dimensionamento no comprimento (L) e largura (W) do canal (tanto canal n quanto canal p).

Figura 13 – Nível de inversão de canal através da relação de  $g_m/I_D$  em função do coeficiente de inversão (IC).



Fonte: (COLOMBO; WIRTH; FAYOMI, 2010).

Aplicando uma tensão  $V_B$  no terminal de *bulk* do transistor é gerada uma tensão  $V_{SB}$ , ou seja, diferença de potencial entre os terminais de substrato e fonte.

Sendo assim, é possível controlar a tensão de limiar ( $V_T$ ) do transistor conforme o nível de tensão aplicado ao terminal de *bulk*, como mostra a Fig. 2.11.

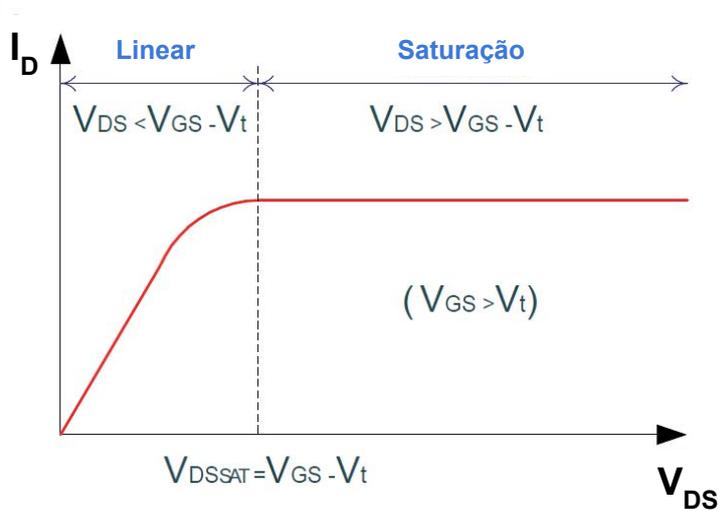
A tensão de limiar é controlada pelo  $V_{T0}$  (tensão de limiar para  $V_{SB}$  igual a zero),  $\gamma$  representa os efeitos de corpo do próprio transistor,  $\phi$  modela o potencial na superfície e  $V_{SB}$  é dado pela diferença de potencial entre os terminais fonte-substrato (GIRARDI; SEVERO; AGUIRRE, 2022).

Controlando a tensão  $V_T$  pode-se controlar o nível de inversão dos transistores sem alterar a tensão  $V_{GS}$ , para tensões positivas  $V_T$  tende a aumentar, enquanto para tensões negativas,  $V_T$  é reduzido.

$$V_T = V_{T0} + \gamma \left( \sqrt{V_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|} \right) \quad (2.11)$$

As regiões de operação de um transistor MOSFET de canal n é mostrada na Fig. 14, onde são divididas em região linear ( $V_{DS} < V_{GS} - V_T$ ) e região de saturação ( $V_{DS} > V_{GS} - V_T$ ). Para o projeto de amplificadores, é recomendável a operação em saturação, ao garantir uma corrente de dreno mais estável para a variação de  $V_{DS}$ .

Figura 14 – Regiões de operação de um transistor MOSFET de canal  $n$ .



Fonte: Adaptado de (PIMENTA; MORENO; ZOCCAL, 2011).

Os transistores possuem equações de corrente de dreno diferentes para ambas as regiões de operação, sendo descritas na Eq. (2.12). Note que os únicos parâmetros de ajuste de corrente de dreno são o comprimento e a largura do canal

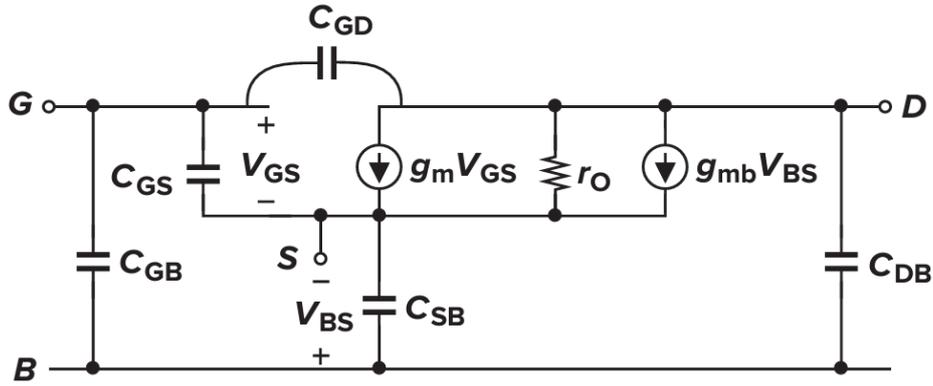
de inversão. Logo, tais dimensões ditam a corrente necessária para atingir tal  $V_{DS}$ .

$$I_D = \begin{cases} \mu C_{OX} \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right], & \text{se } V_{DS} < V_{GS} - V_T. \\ \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS} - V_T)^2 \cdot (1 + \lambda V_{DS}), & \text{se } V_{DS} \geq V_{GS} - V_T. \end{cases} \quad (2.12)$$

O transistor MOSFET possui uma representação no modelo de pequenos sinais, ou, modelo equivalente AC, o qual modela os parâmetros de resistência de saída ( $r_O$ ), fontes de corrente controladas pelas transcondutâncias ( $g_m$  e  $g_{mb}$ ) e tensões entre os terminais de porta-fonte ( $V_{GS}$ ) e substrato-fonte ( $V_{BS}$ ). A partir deste modelo também é possível obter as capacitâncias parasitas de entrada, saída e capacitância *Miller*.

Sendo assim, as capacitâncias parasitas de entrada ( $C_{GS}$ ,  $C_{GB}$ ,  $C_{SB}$ ), de saída ( $C_{DB}$ ) e capacitância *Miller* ( $C_{GD}$ ).

Figura 15 – Modelo de pequenos sinais completo de um transistor MOSFET.



Fonte: (RAZAVI, 2017).

As capacitâncias parasitas ditam os cortes de frequência, enquanto a resistência de saída e a transcondutância ( $g_m$ ) ditam o ganho do transistor.

O circuito amplificador inversor é implementado utilizando a tecnologia CMOS, que consiste em um transistor PMOS em cascata com um NMOS, com a entrada do circuito ( $V_{in}$ ) conectada em ambos os terminais de porta dos transistor, e saída ( $V_{out}$ ) nos terminais de dreno.

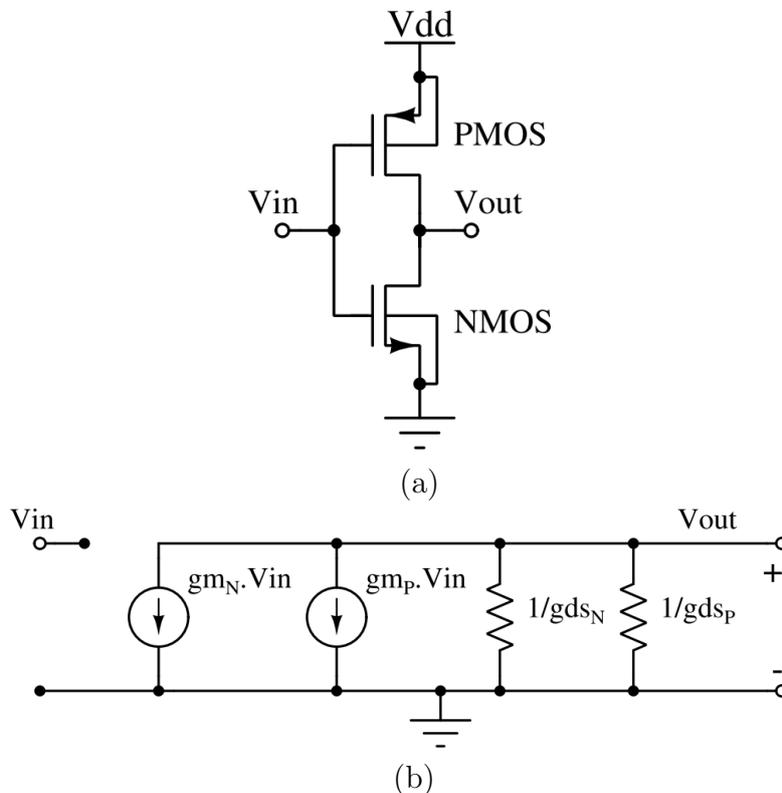
Este circuito, quando dimensionado para aplicações analógicas, possui uma tensão  $V_{trip}$  de  $V_{DD}/2$  (GIRARDI; SEVERO; AGUIRRE, 2022),  $V_{trip}$  pode ser de

acordo com a Eq. (2.13). Onde,  $\beta_{n,p} = \mu C_{ox}(W_{n,p}/L_{n,p})$ , ou seja, a tensão  $V_{trip}$  é determinada a conforme as dimensões de canal dos transistores.

$$V_{trip} = \frac{VDD - V_{TN} + V_{TP}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} + V_{TN} \quad (2.13)$$

A Fig. 16 apresenta o circuito do amplificador inversor em tecnologia CMOS (Fig. 16(a)) e representado no modelo de pequenos sinais (Fig. 16(b)), para o terminal de substrato do transistor PMOS igual à VDD, e do transistor NMOS conectado à GND.

Figura 16 – Circuito amplificador inversor. a) Modelo elétrico; b) Modelo de pequenos sinais



Fonte: (COMPASSI-SEVERO; NOIJE, 2019).

A partir do modelo equivalente AC apresentado na Fig. 16(b), e, ao se aplicarem as leis de *Kirchhoff* nos nós  $V_{in}$  e  $V_{out}$  e relacionar ambas, é possível

obter o ganho em baixas frequências, dado pela Eq. (2.14).

$$A_{v0} = -\frac{g_{mN} + g_{mP}}{g_{dsN} + g_{dsP}} \quad (2.14)$$

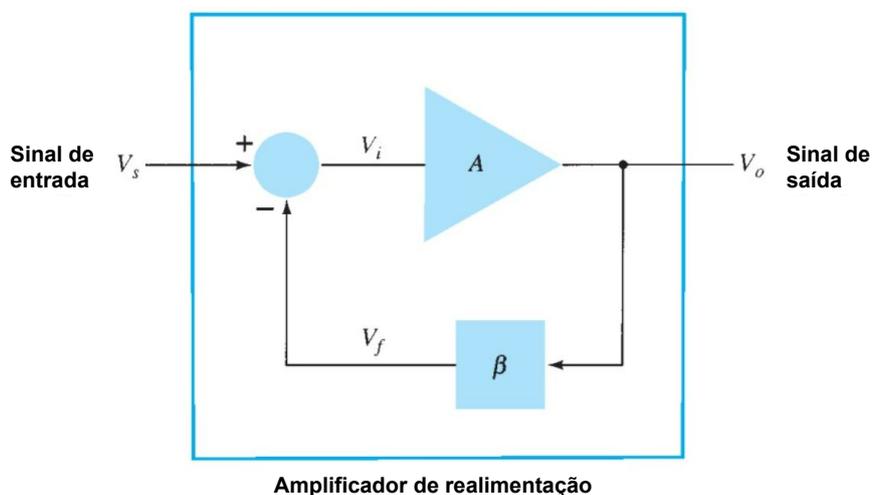
O produto ganho por largura de banda ( $GBW$ ) do amplificador baseado em inversor CMOS determina a frequência onde o ganho é 1 V/V para uma carga capacitiva arbitrária ( $C_L$ ), ou  $A_{v0dB} = 0$  dB, conforme a Eq. (2.15).

$$GBW = \frac{g_{mN} + g_{mP}}{2\pi C_L} \quad (2.15)$$

## 2.4 CIRCUITOS DE REALIMENTAÇÃO

Um circuito realimentado é aquele que a entrada ( $V_i$ ) depende do sinal de fonte ( $V_S$ ) e do sinal de saída da malha de realimentação ( $V_f$ ), a Fig. 17 apresenta o diagrama de blocos de um amplificador com realimentação, nota-se o amplificador principal com ganho ( $A$ ) e a malha de realimentação possui o fator ( $\beta$ ), que fornece uma parcela da tensão de saída ( $V_O$ ) ao amplificador principal.

Figura 17 – Diagrama de blocos de um circuito amplificador com realimentação.



Fonte: Adaptado de (ROBERT; LOUIS, 1998).

O ganho total do amplificador de realimentação é dado pela Eq. (2.16), este ganho é reduzido pelo fator  $1 + \beta A$ , ou seja, a tensão de saída do amplificador

é atenuada conforme o  $\beta$  aumenta.

$$A_f = \frac{A}{1 + \beta A} \quad (2.16)$$

A estabilidade de um amplificador com realimentação é analisada a partir dos parâmetros de deslocamento de fase do sinal entre a entrada e a saída e também o produto entre o ganho em malha aberta ( $A$ ) e o fator de realimentação ( $\beta$ ).

Através do critério de *Barkhausen* é possível determinar a margem de fase (MF) de um amplificador com realimentação, sendo dada pela diferença entre a fase quando  $|\beta A| = 1$  e  $180^\circ$  (ROBERT; LOUIS, 1998).

## 2.5 DESLOCADORES DE FASE EM RF

A estabilidade de um sistema deve ser muito bem controlada e definida, pois, um deslocamento de fase de  $180^\circ$  pode ocasionar em uma instabilidade no sistema todo (ELLINGER, 2008), logo, os deslocadores de fase são circuitos capazes de compensar e corrigir a fase de sinais em um sistema de radiofrequência.

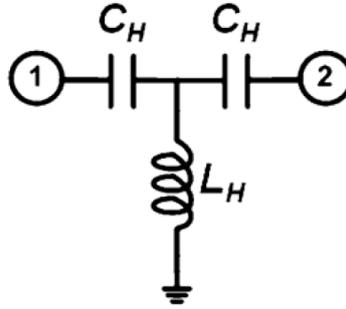
Os deslocadores de fase podem ser projetados como redes de filtros passa-baixas, passa-altas, passa-faixa e passa-tudo (ZENG et al., 2023).

Existem diversas topologias de deslocadores de fase (PS), entre elas estão as seções baseadas em configurações T (rede passa-altas) ou II (passa-baixas) utilizando capacitores e indutores.

A implementação de PSs a partir de rede T possui uma defasagem relativamente mediana, em relação à rede II e também possui estabilidade no defasamento, principal em banda larga (ZENG et al., 2023).

O deslocador de fase em rede T é mostrado na Fig. 18, com dois capacitores  $C_H$  e um indutor  $L_H$  conectado à duas portas (1 e 2).

Figura 18 – Topologia de um deslocador de fase baseado em rede T.



Fonte: (HUANG; LU, 2014).

### 2.5.1 PARÂMETROS DE ESPALHAMENTO E MATRIZ S

Os parâmetros de espalhamento relacionam as ondas de tensão incidentes nas portas de um sistema com as ondas de tensão refletidas nas portas do mesmo sistema (POZAR, 2011).

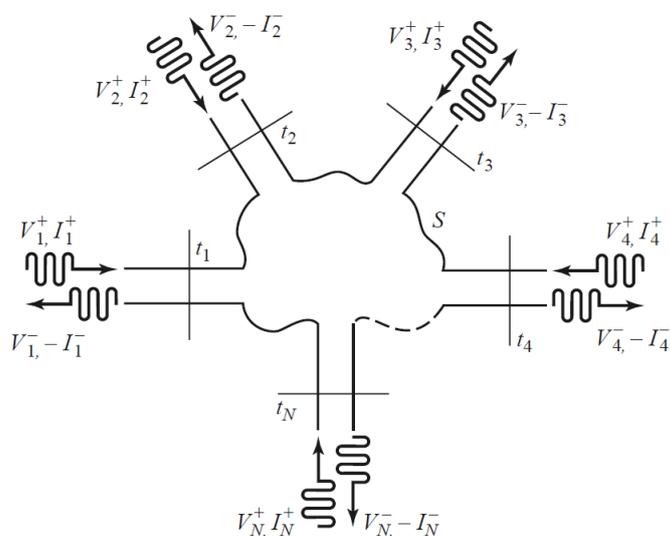
A Fig. 19 apresenta uma rede de micro-ondas arbitrária com  $n$  portas. Cada porta, representada por  $t_N$  na figura, é excitada por ondas de tensão e correntes  $(V_N^+, I_N^+)$ , e também mostra as reflexões de ambas as ondas  $(V_N^-, I_N^-)$ . Sendo assim, os parâmetros de espalhamento (parâmetros S) descrevem a interação entre as portas do sistema em termos de onda de tensão e corrente.

Sendo assim, a matriz S que representa todas as interações de ondas incidentes e refletidas em cada porta do sistema é modelada por:

$$\begin{bmatrix} V_1^- \\ V_2^- \\ \vdots \\ V_N^- \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & \dots & S_{1j} \\ S_{21} & \ddots & & \vdots \\ \vdots & & \ddots & \vdots \\ S_{i1} & \dots & \dots & S_{ij} \end{bmatrix} \begin{bmatrix} V_1^+ \\ V_2^+ \\ \vdots \\ V_N^+ \end{bmatrix}.$$

Isto descreve que a onda de tensão refletida é dada pelo produto matricial entre a onda incidente e o parâmetro de espalhamento. Os elementos que compõem a matriz S são encontrados a partir da relação entre as ondas de tensão incidente e as ondas de tensão refletida nas portas do elemento.

Para sistemas com mais de duas portas, as portas que não estejam em análise devem ser terminadas em cargas casadas, ou seja, as ondas incidentes para

Figura 19 – Rede de micro-ondas com  $n$  portas.

Fonte: (POZAR, 2011).

estas portas devem ser zero, isto, para mitigar os efeitos de reflexão nas portas.

## 2.6 SÍNTESE DO CAPÍTULO

Neste capítulo foram abordados conceitos e aspectos importantes a cerca de indutores, implementação destes dispositivos em circuitos integrados, tanto indutores planares quanto indutores ativos, bem como o funcionamento e o princípio de implementação de AIs integrados.

Também foram discutidos transistores em tecnologia CMOS e suas regiões de operação e polarização, circuitos de realimentação e deslocadores de fase em radiofrequência.

### 3 INDUTOR ATIVO - VERSÃO 1

Neste capítulo será apresentada a primeira versão do indutor ativo, a validação da topologia simplificada e os resultados preliminares deste circuito. A primeira etapa é dada pela topologia base utilizada no projeto do circuito, seguida da polarização e dimensionamento do canal dos transistores, da validação da topologia básica através do modelo equivalente e então a construção do circuito com fontes de corrente reais com os sub-circuitos de espelho de corrente. O nível de tensão de alimentação estipulada para a primeira versão do AI é de  $V_{DD} = 1,2$  V, equivalente ao valor nominal da tecnologia adotada.

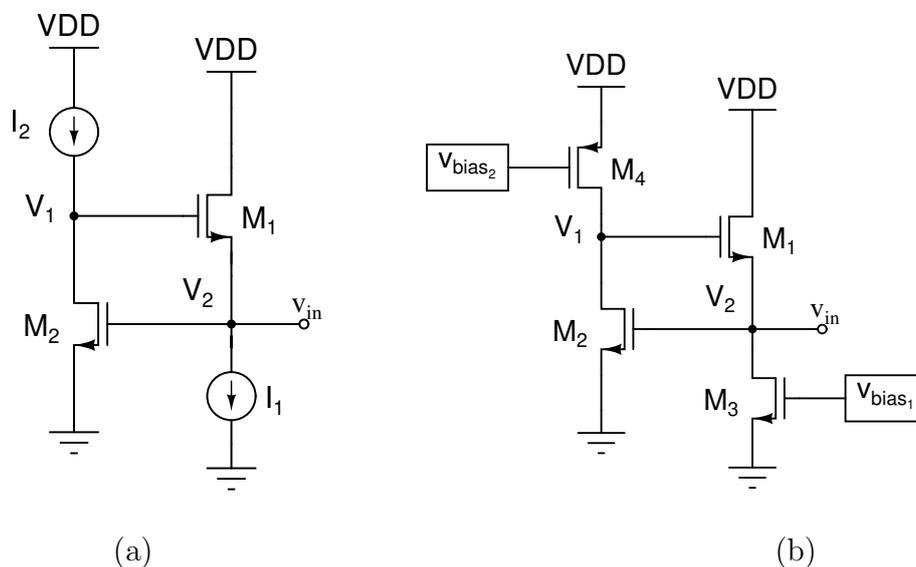
Após a apresentação da topologia simplificada e do projeto preliminar do circuito do AI, serão apresentadas as estratégias utilizadas que validam a topologia simplificada através da análise entre a mesma e o circuito equivalente e também os resultados preliminares de impedância e indutância de entrada.

#### 3.1 PROJETO E DIMENSIONAMENTO

Para embasamento teórico na construção do circuito do AI com fontes de corrente reais foi escolhida a topologia básica do *gyrator-C* apresentada em Yuan (2008). A partir disso, a Fig. 20 apresenta a topologia do AI com fontes de corrente reais onde são demonstrados os esquemáticos simplificado (utilizando fontes de corrente ideais  $I_1$  e  $I_2$ ) e topologia com fontes de corrente reais (substituindo as fontes de corrente ideais pelos transistores  $M_3$  e  $M_4$  responsáveis por gerar a corrente requerida pelo circuito).

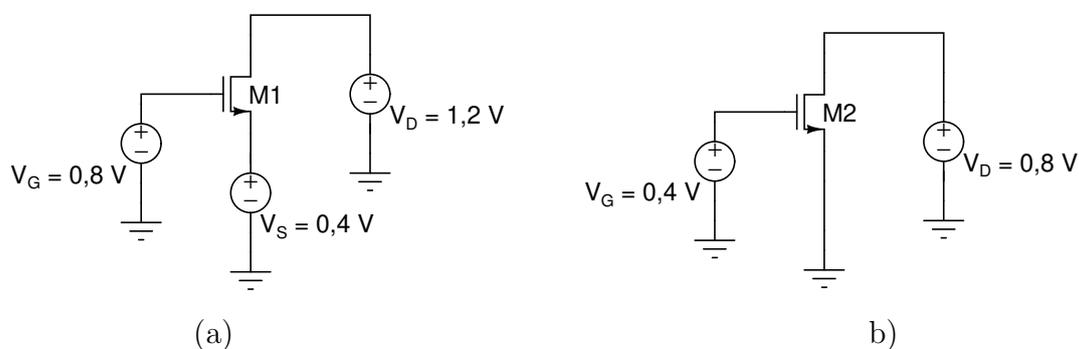
Os transistores principais do circuito ( $M1$  e  $M2$ ) são dimensionados independentemente e mostrados na Fig. 21, conforme as tensões em cada um dos nós do circuito.

Figura 20 – Topologia do indutor ativo versão 1. a) Topologia simplificada; b) Topologia com fontes de corrente reais.



Fonte: O autor.

Figura 21 – Método utilizado para o dimensionamento dos transistores. a) Transistor  $M_1$ ; b) Transistor  $M_2$ .



Fonte: O autor.

Essa estratégia de implementação sofre do efeito de segunda ordem chamado de efeito de modulação no comprimento de canal, para fins de contornar este problema, projetam-se os comprimentos de canal ( $L$ ) dos transistores maiores que o valor mínimo da tecnologia ( $L > L_{min}$ ).

Conseqüentemente ao aumento no comprimento de canal dos transistores, as capacitâncias parasitas também sofrem um aumento, então, os transistores são

polarizados para operar em um nível de inversão mais forte, gerando uma redução nas capacitâncias parasitas do circuito, uma vez que é possível utilizar transistores com largura de canal ( $W$ ) menor.

A indutância gerada pelo circuito é dependente da corrente de dreno que flui sobre os transistores, porém, sabe-se que a partir da relação de  $g_m/I_D$  é possível dimensionar os transistores de maneira que as transcondutâncias definam a indutância de entrada gerada pelo circuito, assim, é possível obter as correntes necessárias para sintetizar as indutâncias desejadas.

Ambos os transistores foram dimensionados para operar com corrente de dreno  $I_D = 50 \mu\text{A}$ , sendo assim, a Tabela 1 apresenta as dimensões dos canais dos transistores e valores de multiplicidade utilizadas nos transistores utilizadas de corrente necessários.

Tabela 1 – Dimensões e múltiplos dos transistores utilizados.

Transistores \ Parâmetros	L ( $\mu\text{m}$ )	W ( $\mu\text{m}$ )	Múltiplos
M1	0,50	14,50	11
M2	0,50	14,50	9

A frequência de operação dos transistores é diretamente proporcional à corrente de dreno, ou seja, para o circuito operar em toda a banda de sub-GHz a SRF deve ser muito maior que 1 GHz, o que conseqüentemente, implica em um corrente de dreno maior que  $50 \mu\text{A}$ . Sendo assim, foram alterados os múltiplos dos transistores  $M_1$  e  $M_2$  para atingir níveis maiores que  $I_D = 50 \mu\text{A}$ . A partir da relação de  $g_m/I_D$ , quanto maior for a  $I_D$  maior será a transcondutância dos transistores.

Os valores de indutância geradas pelo AI são relacionados com os valores de  $g_m$  de ambos os transistores, como mostra a Eq. (2.3). Sendo assim, para gerar indutâncias em sub-GHz os transistores foram dimensionados para operar com  $I_{D1} = 550 \mu\text{A}$  e  $I_{D2} = 442 \mu\text{A}$ .

A potência DC consumida pelo circuito é estimada pela Eq. 3.1, resultando no valor total de 1,19 mW.

$$P_{\text{DC}} = V_{\text{DD}} \cdot (I_1 + I_2) \quad (3.1)$$

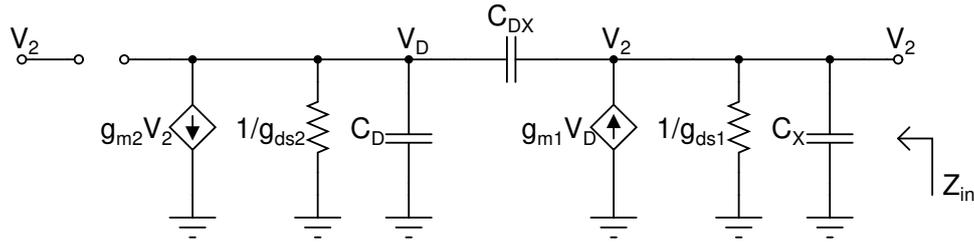
### 3.2 VALIDAÇÃO DA TOPOLOGIA SIMPLIFICADA

A partir do dimensionamento de canal dos transistores circuito do AI, a primeira análise realizada é baseada na validação da topologia simplificada apresentada na Fig. 20 (a).

O nível de corrente de dreno em cada transistor do circuito determina qual deve ser a corrente entregue pelas fontes de corrente ideais, sendo  $I_1 = 550 \mu\text{A}$  e  $I_2 = 442 \mu\text{A}$ .

Com isso, o primeiro passo para realizar a validação da topologia básica é a análise do modelo de pequenos sinais do circuito simplificado mostrado na Fig. 22. Utilizando o modelo AC do circuito é possível obter a expressão para a impedância de entrada resultante do circuito, e também evidenciar as capacitâncias parasitas que afetam a resposta em frequência do AI.

Figura 22 – Modelo de pequeno sinais para a topologia simplificada.



Fonte: O autor.

Onde as capacitâncias  $C_D$ ,  $C_X$  e  $C_{DX}$  são compostas pelas capacitâncias parasitas  $M_1$  e  $M_2$ , conforme mostram as equações (3.2), (3.3) e (3.4).

$$C_D = C_{db2} + C_{gds1} \quad (3.2)$$

$$C_X = C_{bs1} + C_{gs2} \quad (3.3)$$

$$C_{DX} = C_{gd2} + C_{gs1} \quad (3.4)$$

A partir do modelo de pequenos sinais (ou, equivalente AC), é extraída a expressão da impedância de entrada  $Z_{in}(s)$  no domínio da frequência através da LKC no nó de entrada ( $V_2$ ). A respectiva função de transferência do AI é modelada

pela Eq. (3.5), onde os parâmetros  $g_m = g_{m1} + g_{m2}$  e  $g_{ds} = g_{ds1} + g_{ds2}$  representam as transcondutâncias e condutâncias de saída dos transistores, respectivamente.

$$Z_{in}(s) = \frac{sC_D + g_{ds2}}{s^2C_D \cdot C_X + s(C_X \cdot g_{ds2} + C_D \cdot g_{ds1}) + g_m + g_{ds}} \quad (3.5)$$

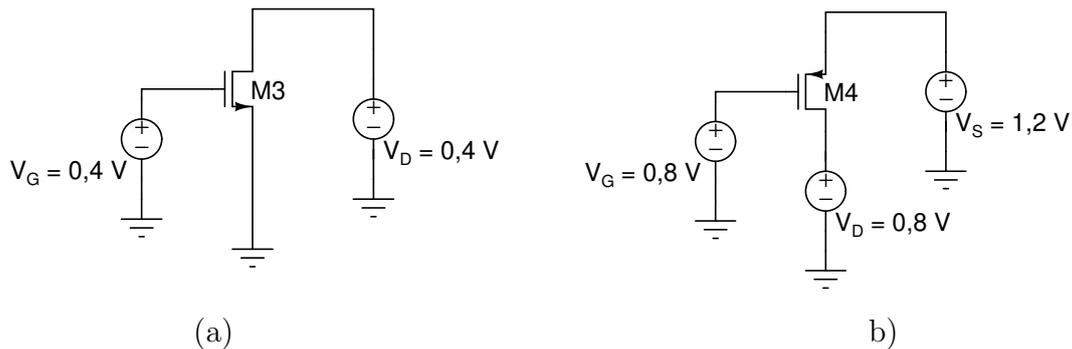
### 3.3 PROJETO DO AI COM FONTES DE CORRENTE REAIS

A topologia do indutor ativo com fontes de correntes reais é apresentada na Fig. 20 (b). As fontes de corrente ideais antes apresentadas como  $I_1$  e  $I_2$  são substituídas pelos transistores M3 (canal n) e M4 (canal p) responsáveis por prover as correntes necessárias para os transistores M1 e M2, conforme a polarização dos mesmos. Estes transistores são dimensionados para fazer com que as correntes de dreno ( $I_D$ ) sejam igualmente às correntes antes entregues pelas fontes ideais,  $442 \mu A$  e  $550 \mu A$ , respectivamente.

Isto deve ser implementado de maneira que não afete a polarização dos transistores M1 e M2, então, o dimensionamento destes transistores é realizado utilizando as tensões de gate ( $V_G$ ), dreno ( $V_D$ ) e fonte ( $V_S$ ) referentes as tensões do circuito simplificado, isso, para manter a polarização inicial do circuito.

A Fig. 23 apresenta o método utilizado para realizar a polarização e o dimensionamento de canal dos transistores.

Figura 23 – Método utilizado para o dimensionamento dos transistores M3 e M4.  
a) Transistor M3; (b) Transistor M4.



Fonte: O autor.

A partir da abordagem para realizar o dimensionamento do canal destes transistores apresentados na Fig. 23 e para cumprir os requisitos de corrente de

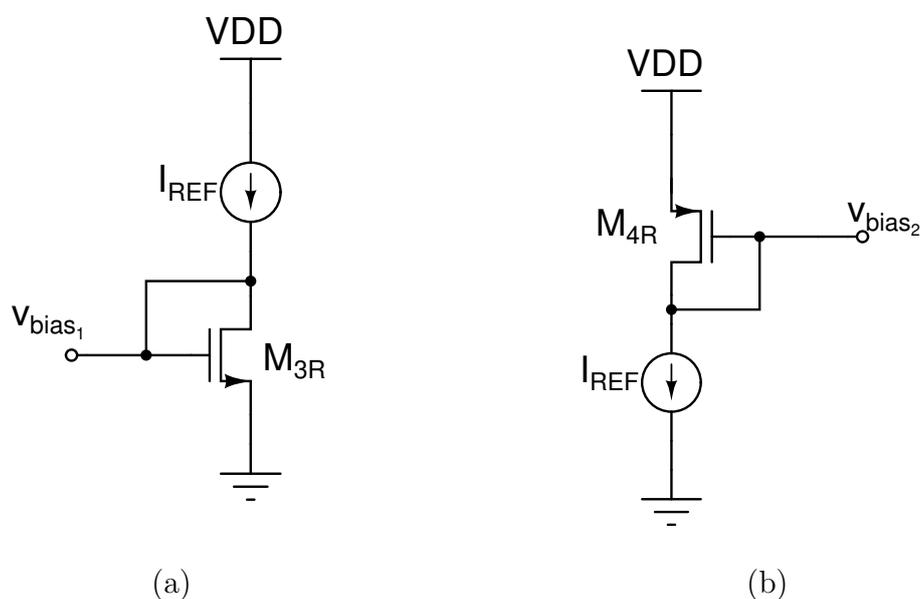
dreno necessária, as dimensões dos canais e os múltiplos utilizados para cada um dos transistores são apresentados na Tabela 2.

Tabela 2 – Dimensões dos transistores M3 e M4.

Transistores	Parâmetros		
	L ( $\mu\text{m}$ )	W ( $\mu\text{m}$ )	Múltiplos
M3	0,50	15,90	11
M4	0,50	20,35	18

As correntes que fluem em ambos os ramos do circuito são controladas pelas tensões de polarização  $V_{\text{bias}_1}$  e  $V_{\text{bias}_2}$ , essas tensões são provenientes de sub-circuitos denominados espelhos de corrente, as topologias dos espelhos de corrente projetados são apresentados na Fig. 24.

Figura 24 – Espelhos de corrente utilizados para gerar as tensões de polarização  $V_{\text{bias}_1}$  e  $V_{\text{bias}_2}$ . a) Espelho de corrente para o transistor M<sub>3R</sub>; b) Espelho de corrente para o transistor M<sub>4R</sub>.



Fonte: O autor.

Ambos os espelhos possuem uma corrente de referência  $I_{\text{REF}} = 50 \mu\text{A}$  (a mesma corrente da polarização inicial dos transistores) e tensão de alimentação igual ao circuito principal do AI (1,2 V). Os transistores que compõem os circuitos

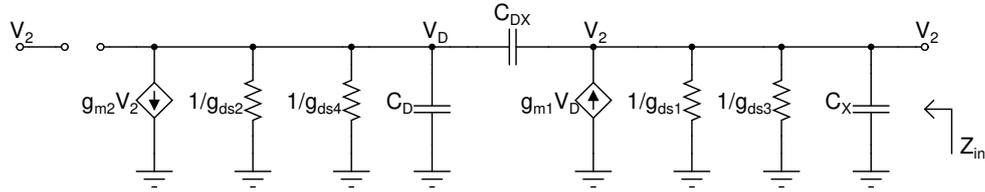
são réplicas do transistores polarizados  $M_{3R}$  e  $M_{4R}$  com a única alteração em seus múltiplos. A Tabela 3 apresenta as dimensões de comprimento (L) e largura (W) de canal e os múltiplos dos transistores utilizados nos espelhos de corrente.

Tabela 3 – Dimensões e múltiplos dos transistores  $M_{3R}$  e  $M_{4R}$  utilizados nos espelhos de corrente.

Transistores \ Parâmetros	L ( $\mu\text{m}$ )	W ( $\mu\text{m}$ )	Múltiplos
$M_{3R}$	0,50	15,90	1
$M_{4R}$	0,50	20,35	2

A partir da implementação do circuito do indutor ativo e dos sub-circuitos dos espelhos de corrente é possível modelar o equivalente AC como mostrado na Fig. 25, para fins de extração da expressão para a impedância de entrada gerada pelo circuito, e também evidenciar as capacitâncias parasitas presentes no AI com fontes de corrente reais que afetam a resposta em frequência do AI.

Figura 25 – Modelo de pequeno sinais para a topologia com fontes de corrente reais.



Fonte: O autor.

As capacitâncias parasitas presentes no modelo AC do circuito são modeladas pelas expressões abaixo:

$$\begin{aligned}
 C_D &= C_{db2} + C_{gds1} + C_{gd4} + C_{db4}; \\
 C_X &= C_{sb1} + C_{gs2} + C_{gd3} + C_{db3}; \\
 C_{DX} &= C_{gd2} + C_{gs1}.
 \end{aligned}$$

Analogamente ao que foi realizado na análise do circuito simplificado, a Eq. (3.6) modela a função de transferência da impedância de entrada ( $Z_{in}(s)$ ) do

circuito do indutor ativo com fontes de corrente reais.

$$Z_{in}(s) = \frac{sC_D + A}{s^2C_D C_X + s(C_X A + C_D B) + AB + g_m} \quad (3.6)$$

Os parâmetros  $g_m$ ,  $A$  e  $B$  são dados a partir das expressões apresentadas abaixo:

$$g_m = g_{m1}g_{m2}; \quad (3.7)$$

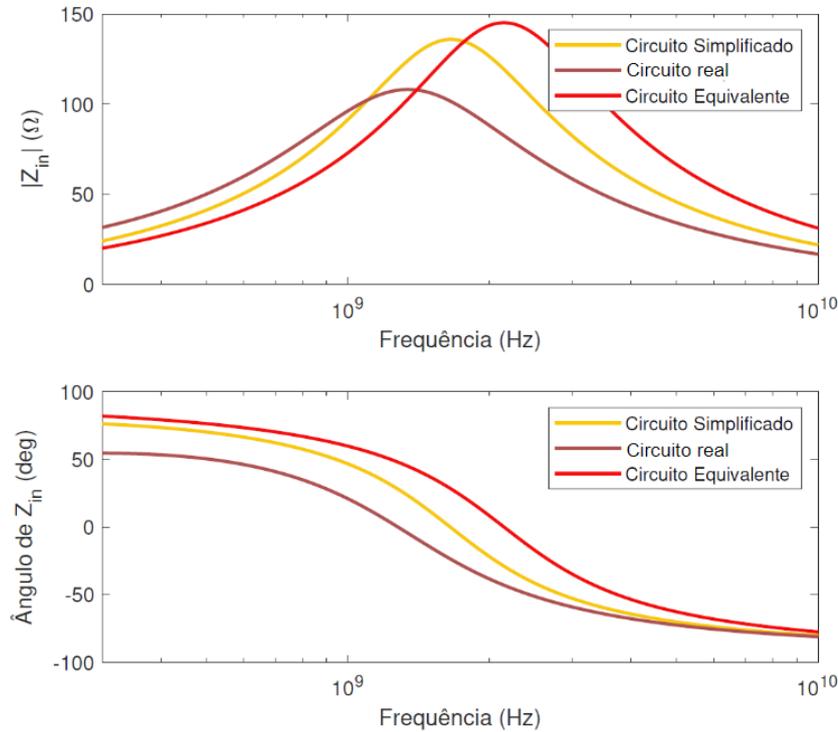
$$A = g_{ds2} + g_{ds4}; \quad (3.8)$$

$$B = g_{ds1} + g_{ds3}. \quad (3.9)$$

### 3.4 RESULTADOS

As respostas em frequência dos três circuitos (simplificado, equivalente e com fontes de corrente reais) simulados são apresentadas na Fig. 39, onde apresenta as curvas de magnitude da impedância de entrada  $|Z_{in}|$  e do ângulo da impedância de entrada.

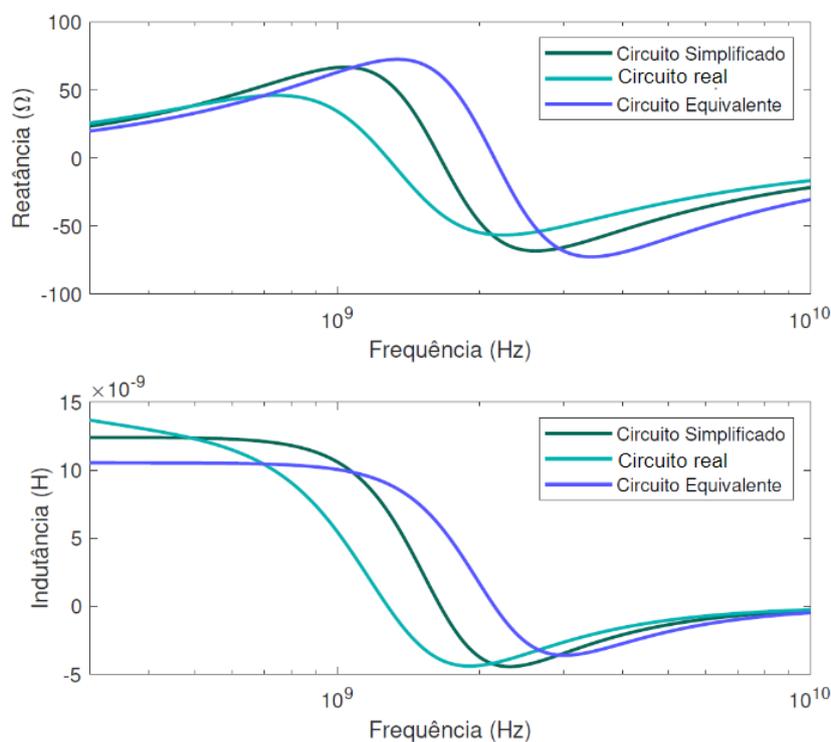
Figura 26 – Resposta em frequência dos circuitos analisados.



Fonte: O autor.

O comportamento da reatância e da indutância em função da frequência são apresentados na Fig. 27 também para os três circuitos analisados neste capítulo.

Figura 27 – Reatância e indutância equivalentes resultantes para as três análises realizadas.



Fonte: O autor.

A SRF do circuito é dada pela Eq. (2.10), onde  $L$  é dado pelo próprio valor da indutância gerada e  $C_P$  modela a capacitância parasita do modelo de fator de qualidade finito apresentado na Fig. 5.

Na Tabela 4, são apresentados os valores das especificações dos circuitos simplificado e com fontes de corrente reais o deste trabalho. Como se pode perceber, a fonte de corrente real adiciona condutâncias que interferem e provocam a redução do fator de qualidade.

Tabela 4 – Especificações entre os circuitos simplificado, com fontes de corrente reais e equivalente do AI.

Especificações	Simplificado	<b>AI com fontes de corrente reais</b>
VDD(V)	1,20	<b>1,20</b>
L (nH)	23,87-31,83	<b>5-12,67</b>
BW indutiva (GHz)	0,10-0,30	<b>0,10-0,20</b>
SRF (GHz)	1,64	<b>1,23</b>
P <sub>DC</sub> (mW)	1,19	<b>1,30</b>
Fator de qualidade	38,42	<b>14,44</b>

### 3.5 SÍNTESE DO CAPÍTULO

O capítulo apresentou a primeira versão do projeto do circuito do indutor ativo e a validação da topologia simplificada a partir da análise do modelo equivalente do circuito. Também apresentou o dimensionamento de canal dos transistores utilizados no circuito do AI e o projeto dos espelhos de corrente necessários para atingir as especificações necessárias.

O circuito do AI consegue variar a indutância (aproximadamente entre 5 nH e 12,7 nH) entre 100 MHz e 200 MHz, mantendo o fator de qualidade máximo,  $Q = 14,44$ . Para as especificações atingidas pelo circuito com  $VDD = 1,2$  V, o mesmo possui uma potência consumida de 1,30 mW.

## 4 INDUTOR ATIVO - VERSÃO 2

A primeira versão do circuito do AI projetado neste trabalho apresentou uma potência consumida superior a 1,2 mW, limitando a operação em circuito de baixo consumo de potência. Desta forma, neste capítulo apresenta a versão 2 do indutor ativo com baixa tensão de alimentação. A primeira etapa é a construção do modelo do indutor ativo desejado, seguida do dimensionamento e polarização dos transistores, implementação dos sub-circuitos de polarização, extração da função de transferência do circuito e análise entre o AI proposto, modelo de pequenos sinais, modelo elétrico e também as análises da impedância de entrada gerada em função da variação dos múltiplos dos transistores, e por fim as análises de Monte Carlo dos pontos de operação do circuito. A tensão de alimentação estipulada para a segunda versão do AI é de  $V_{DD} = 400 \text{ mV}$ .

Após a apresentação da topologia proposta para a implementação do circuito do AI, serão apresentadas as estratégias utilizadas na construção dos circuitos de CMFB e de polarização do circuito, assim como as análises AC em malha aberta e malha fechada e também as análises de estabilidade em frequência em malha fechada do circuito completo.

### 4.1 PROJETO DO INDUTOR ATIVO BALANCEADO

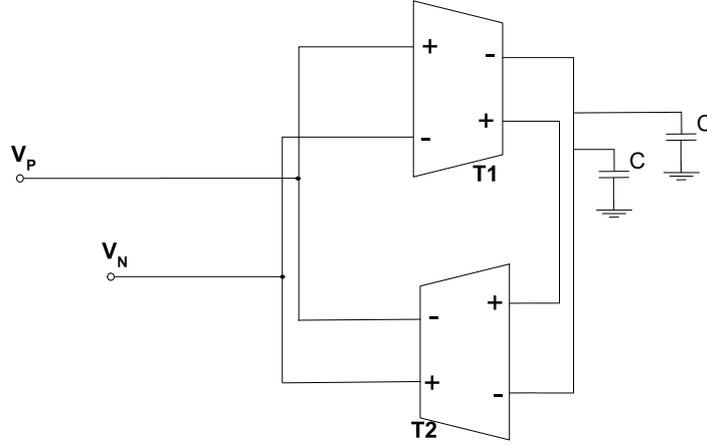
O indutor ativo proposto é projetado de maneira que seja possível sua aplicação em circuitos diferenciais, ou seja, que as entradas possuam níveis de tensão balanceados. A Fig. 28 apresenta o diagrama de blocos do AI balanceado projetado.

A implementação do AI é baseada no mesmo princípio da Fig. 7, com a diferença de que há duas entradas ( $V_P$  e  $V_N$ ), com os mesmos níveis de tensão, porém com sinais opostos.

Os transcondutores T1 e T2 devem ser implementados utilizando amplificadores diferenciais na conexão *back-to-back*, e as capacitâncias C são dadas pelas capacitâncias parasitas de ambos os transcondutores.

Sendo assim, uma abordagem simplificada para a obtenção dos parâmetros de impedância de entrada ( $Z_{in}$ ) e fator de qualidade é através da aplicação da LKC no nó de entrada baseado no circuito apresentado na Fig. 5, composto por um

Figura 28 – Topologia de indutor ativo diferencial baseado em C-giratório.



Fonte: O autor.

indutor sem perdas ( $L$ ), uma resistência em série ( $R_S$ ), resistência em paralelo ( $R_P$ ) que representam as perdas no indutor (resistências parasitas) e uma capacitância em paralelo ( $C$ ) que representa as capacitâncias parasitas.

A Eq. (4.1) modela a impedância de entrada no domínio  $s$  gerada a partir do modelo equivalente do indutor considerando que os circuitos T1 e T2 são simétricos.

$$Z_{in}(s) = 2 \cdot \frac{sLR_p + R_sR_p}{s[C.R_p(sLR_s) + L] + R_s + R_p} \quad (4.1)$$

O fator de qualidade do circuito é obtido através da Eq. (2.2), onde, para o AI balanceado,  $Q$  é modelado pela Eq. (4.2).

$$Q(\omega) = \frac{-\omega LR_p}{R_S(R_S + R_P) - \omega^2 L^2} \quad (4.2)$$

A indutância do modelo equivalente é controlada pelas capacitâncias parasitas (Eq. (4.4)) e pelas transcondutâncias de cada amplificador, modelada pela Eq. (4.3).

$$L = \frac{C}{g_{m1}g_{m2}} \quad (4.3)$$

$$C = C_{db1} + C_{db2} + C_{gs1} + C_{gs2} \quad (4.4)$$

As perdas no indutor são obtidas através das Eqs. (4.5) e (4.6), que justificam o fator de qualidade finito, sendo que ambas são controladas por  $g_{ds1}$ .

$$R_S = \frac{g_{ds1}}{g_{m1}g_{m2}} \quad (4.5)$$

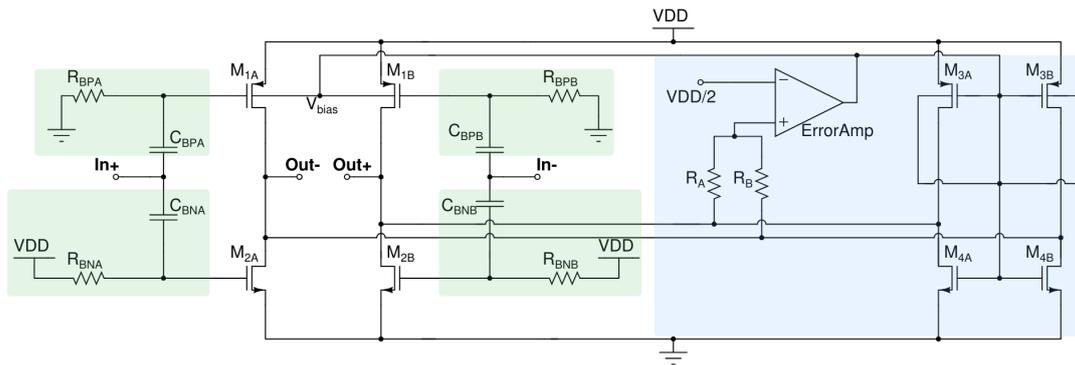
$$R_P = \frac{1}{g_{ds1}} \quad (4.6)$$

## 4.2 PROJETO E DIMENSIONAMENTO DOS AMPLIFICADORES

Para atingir os requisitos iniciais de baixa potência consumida e impedância diferencial vista na entrada do circuito, a implementação dos amplificadores T1 e T2 da Fig. 28 é realizada baseando-se na topologia de OTA baseado em inversores apresentado por Compassi-Severo e Noiye (2019).

O circuito proposto para os amplificadores é apresentado na Fig. 29, composto pelo amplificador principal (transistores  $M_{1A}$ ,  $M_{1B}$ ,  $M_{2A}$  e  $M_{2B}$ ), circuitos de realimentação de modo comum (em azul) e os circuitos de polarização de tensão de gate  $V_G$  (em verde.)

Figura 29 – OTA de ultra-baixa tensão proposto.



Fonte: O autor.

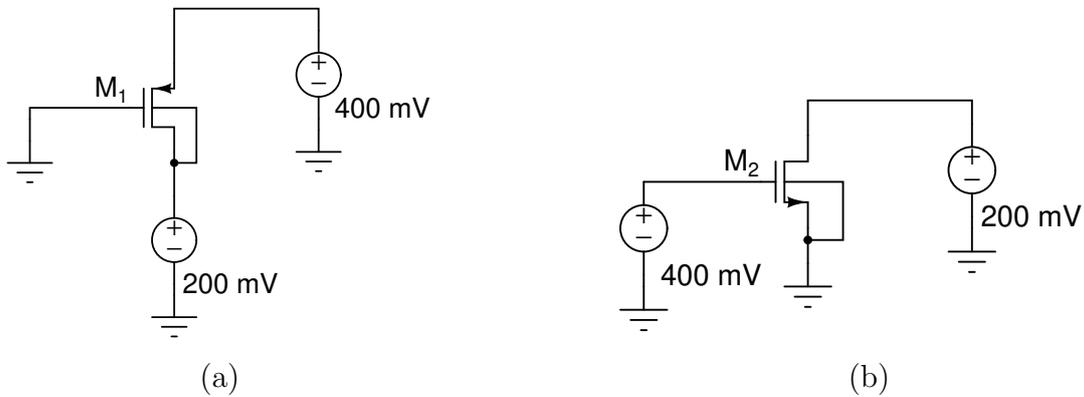
O circuito opera com tensão de alimentação de 400 mV, resultando em uma tensão de dreno-fonte dos quatro transistores do amplificador principal igual a  $V_{DD}/2$ , isso corresponde a  $V_{DS} = 200$  mV, ou seja, tensões DC de saída nos nós Out- e Out+ serão de 200 mV.

Entretanto, a fim de prover uma estabilidade maior nas tensões DC de saída do amplificador, o nó de *bulk* dos transistores PMOS ( $M_{1A}$  e  $M_{1B}$ ) é polarizado em 200 mV ao invés de conectar diretamente o terminal de *bulk* ao nó de alimentação VDD.

Sendo assim, os transistores são dimensionados para operar na região de inversão forte, a fins de reduzir o efeito das capacitâncias parasitas na resposta em frequência, e também para uma corrente de dreno definida para o projeto de  $I_{DM1} = I_{DM2} = 10 \mu\text{A}$ .

A tensão de polarização  $V_B$  gerada pelos circuitos de CMFB será de 200 mV, logo, o transistor  $M_1$  é dimensionado com  $V_B = 200\text{mV}$  (Fig. 30(a)), enquanto o transistor  $M_2$  é dimensionado para  $V_B = 0 \text{ V}$  (Fig. 30(b)), conforme mostrado na Fig. 30. Vale lembrar que  $M_1 = M_{1A} = M_{1B}$  e  $M_2 = M_{2A} = M_{2B}$ .

Figura 30 – Método utilizado para o dimensionamento dos transistores do amplificador principal. a) Transistor  $M_1$ ; b)  $M_2$ .



Fonte: O autor.

A partir das especificações iniciais de corrente de dreno e tensões de polarização, as dimensões de canal dos transistores são demonstradas na Tabela 5.

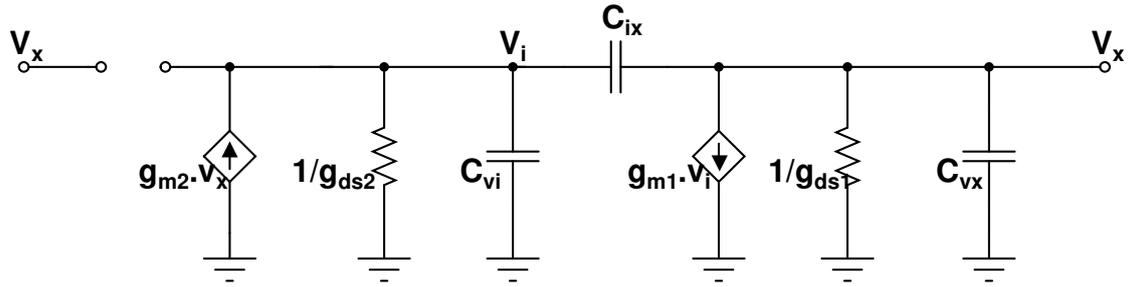
Tabela 5 – Dimensões e múltiplos dos transistores  $M_1$  e  $M_2$  utilizados no amplificador principal.

Transistores \ Parâmetros	L ( $\mu\text{m}$ )	W ( $\mu\text{m}$ )	Múltiplos
$M_1$	0,30	6,10	1
$M_2$	0,30	3,00	1

A expressão da impedância de entrada resultante do AI é obtida através da análise de pequeno sinais do circuito com os amplificadores conectados em *back-to-back*, composto pelas capacitâncias parasitas, resistências de saída, e das transcondutâncias dos amplificadores (T1 e T2).

Os sub-índices  $i$  1 e 2 nas transcondutâncias  $g_{mi}$  presentes no modelo AC mostrado na Fig. 31 representa a soma das transcondutâncias  $g_{mp}$  e  $g_{mn}$  de cada amplificador, assim como  $g_{ds2} = g_{ds1} = g_{dsp} + g_{dsn}$ . Tendo em vista que as primeiras análises do AI balanceado são realizadas utilizando amplificadores simétricos em termos de correntes e tensões de polarização, a resposta em frequência de  $Z_{in}$  pode ser extraída a partir da análise de saída simples e multiplicada por dois.

Figura 31 – Modelo de pequeno sinais para a topologia proposta em saída simples.



Fonte: O autor.

As capacitâncias parasitas presentes no circuito do AI são modeladas no modelo de pequeno sinal pelas Eqs. (4.7), (4.8) e (4.9):

$$C_{ix} = C_{gsp1} + C_{gsn1} + C_{gsp2} + C_{gsn2} \quad (4.7)$$

$$C_{vx} = C_{dbn1} + C_{dbp1} + C_{gsn2} + C_{gsp2} \quad (4.8)$$

$$C_{vi} = C_{gsn1} + C_{gsp1} + C_{dbn2} + C_{dbp2} \quad (4.9)$$

Logo, a expressão resultante da impedância de entrada gerada pelo circuito apresentado nas Fig. 28 com os transdutores T1 e T2 implementados a partir do OTA de ultra-baixa tensão de alimentação (Fig. 29) é apresentada na Eq. (4.10), note o fator de multiplicação 2 na expressão, isto devido à simetria entre ambos os circuitos já comentada anteriormente.

$$Z_{in}(s) = 2 \cdot \frac{s(C_{ix} + C_{vx}) + g_{ds1}}{(sC_{ix} - g_{m1})(-g_{m2} - sC_{ix}) + [g_{ds2} + s(C_{vi} + C_{ix})][s(C_{ix} + C_{vx}) + g_{ds1}]} \quad (4.10)$$

Tendo a expressão de  $Z_{in}$  é possível obter uma estimativa do fator de qualidade atingido pelo indutor ativo implementado baseado no OTA proposto.

Para isso é utilizada a Eq. (2.2), que relaciona a indutância pura gerada pelo AI e as perdas nos componentes parasitas presentes.

$$Q(\omega) = \frac{\omega^2(C_{ix}^2 + C_{ix} \cdot C_{vi}) + \omega \cdot g_{ds1} \cdot [(C_{ix} + C_{vi}) + 2]}{-g_{m1} \cdot g_{m2} + g_{ds1} \cdot g_{ds2}} \quad (4.11)$$

Além dos circuitos de CMFB, o amplificador principal de ambos os transcondutores conta com quatro circuitos de polarização da tensão de gate-fonte ( $V_{GS}$ ) (em verde na Fig. 29), isto, para que  $V_{GS}$  de ambos os transistores seja máximo (igual à VDD), resultando em um nível de inversão maior, e então, garantir que sinais DC providos das entradas diferenciais In+ e In- não interfiram na polarização dos transistores, que, conseqüentemente, garante uma estabilidade maior na tensão  $V_{GS} = 200$  mV.

A abordagem utilizada para a implementação destes circuitos foi baseada na topologia proposta por Ceolin (2022), que consiste na implementação por meio de capacitores ( $C_{BPA}$ ,  $C_{BPB}$ ,  $C_{BNA}$  e  $C_{BNB}$ ) e resistores ( $R_{BPA}$ ,  $R_{BPB}$ ,  $R_{BNA}$  e  $R_{BNB}$ ). Os circuitos de polarização dos transistores são projetados a partir de uma rede L-RC com os valores de capacitâncias e resistências de 8 pF e 10 k $\Omega$ , respectivamente.

Os circuitos operam de maneira que, possíveis tensões DC providas pelas fontes de sinais que serão acopladas aos nós In+ e In- (como, por exemplo, sinais de tensão de *off-set*) não interfiram nas polarizações dos transistores  $M_1$  e  $M_2$ . Os capacitores apresentem bloqueio do nível DC e acoplam o nível AC, permitindo a utilização de níveis de tensão CC diferentes nos transistores N e P. Logo, ambos os sinais DC nas entradas do circuito serão bloqueados.

Então, em regime permanente (AC) os transistores  $M_{1A}$  e  $M_{1B}$  serão polarizados diretamente por tensões iguais à  $V_G = GND = 0$  V, enquanto os transistores NMOS  $M_{2A}$  e  $M_{2B}$  que compõem o circuito serão polarizados por uma tensão de porta de 400 mV, o que corresponde ao método de dimensionamento de polarização destes mostrado na Fig. 30.

#### 4.2.1 PROJETO DOS CIRCUITOS DE CMFB

O sistema de realimentação de modo comum (CMFB) do circuito dos amplificadores (em azul na Fig. 29) é projetado a partir de dois estágios, isso, para

garantir uma alta estabilidade na tensão DC de saída nos nós diferenciais OUT+ e OUT- através da polarização de corpo (*bulk bias*) dos transistores  $M_{1A}$  e  $M_{1B}$ .

A implementação do primeiro estágio do CMFB é projetado a partir de um amplificador de erro (ErrorAmp) conectado às saídas do circuito na entrada positiva do circuito e à 200 mV na entrada negativa do circuito.

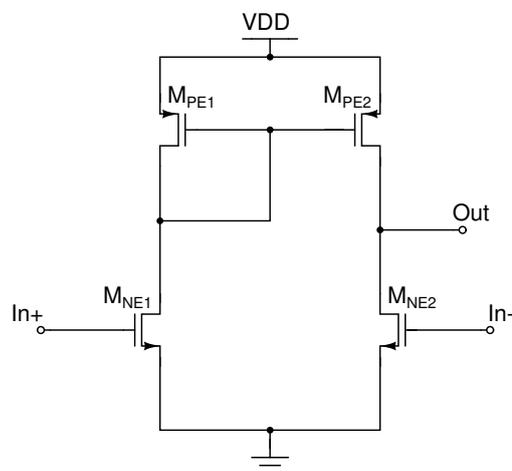
O circuito do amplificador de erro deve ser implementado em uma topologia cuja tensão de alimentação seja a mesma que o amplificador principal ( $V_{DD} = 400$  mV) e deve possuir duas entradas e apenas uma saída (que irá polarizar o nó de *bulk* dos transistores do amplificador principal), assim, a topologia utilizada foi baseada em um amplificador pseudo-diferencial, apresentado na Fig. 32.

O sub-circuito é responsável por receber a diferença entre as tensões DC de saída do amplificador (Out+ e Out-) através da entrada positiva, e 200 mV no nó negativo. Os resistores  $R_A$  e  $R_B$  formam um detector de modo-comum para medir o nível de tensão de modo-comum de saída do amplificador. Assim, o circuito será responsável por amplificar a diferença entre as tensões sobre  $R_A$  e  $R_B$  e amplificar esta diferença para atingir 200 mV.

A tensão de saída do circuito em Out deve ser de 200 mV, conseqüentemente, as tensões devem ser de  $V_{DSMPE2} = V_{DSMNE2} = 200$  mV. O amplificador necessita de um alto ganho, e a partir disso, foi adotada uma corrente de dreno ( $I_D$ ) de 30  $\mu$ A para o projeto.

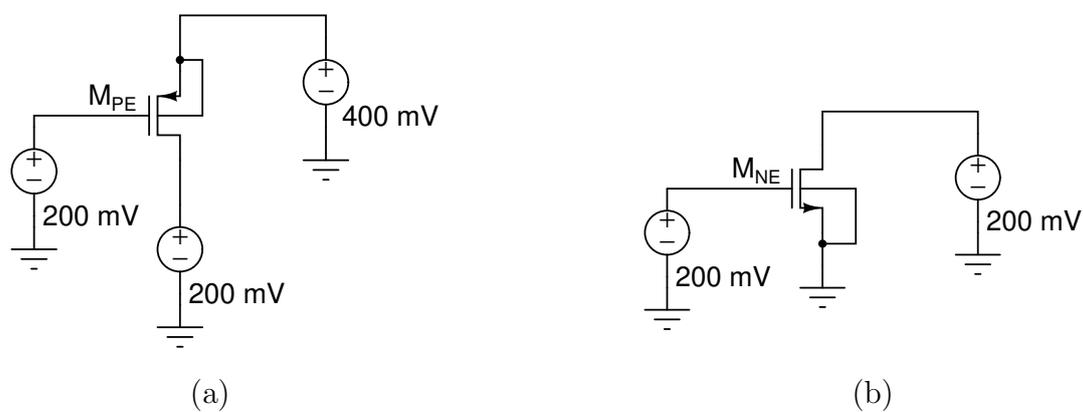
Partindo das especificações de tensões e correntes de polarização, a Fig. 33 representa o método para o dimensionamento do canal dos transistores  $M_{PE}$  e  $M_{NE}$  que compõem o circuito do amplificador de erro.

Figura 32 – Topologia pseudo-diferencial utilizada para a implementação do amplificador de erro.



Fonte: O autor.

Figura 33 – Método utilizado para o dimensionamento dos transistores do amplificador de erro (ErrorAmp). a) Transistor  $M_{PE}$  e b) Transistor  $M_{NE}$



Fonte: O autor.

Então, a partir disso, as dimensões do canal dos transistores são descritas na Tabela 6.

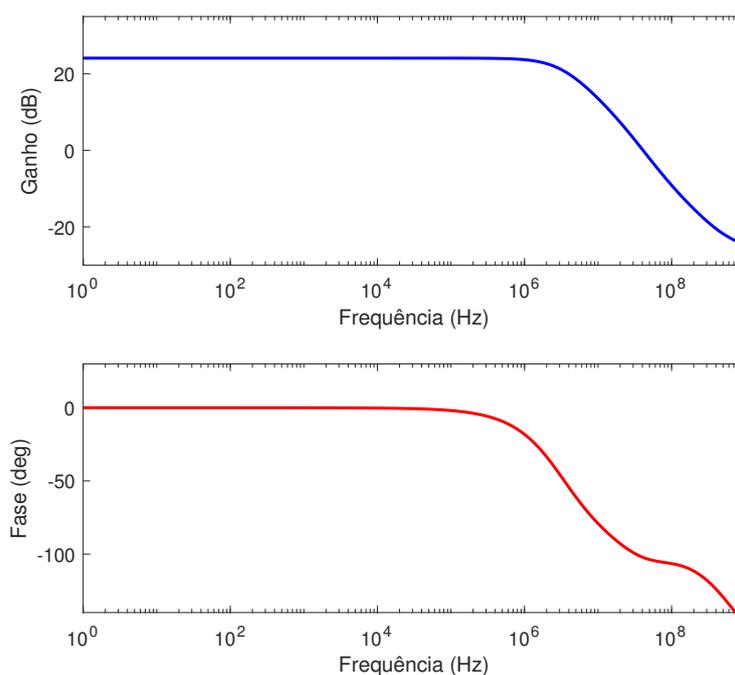
Tabela 6 – Dimensões e múltiplos dos transistores  $M_{PE}$  e  $M_{NE}$  utilizados no amplificador de erro.

Transistores \ Parâmetros	L ( $\mu\text{m}$ )	W ( $\mu\text{m}$ )	Múltiplos
$M_{PE}$	0,30	38	60
$M_{NE}$	0,30	15	60

O circuito foi dimensionado com a quantidade múltiplos para ambos os transistores de  $M = 60$  para manter a CMRR em toda a faixa de frequência de operação do circuito.

A topologia pseudo-diferencial utilizada no projeto do amplificador de erro, atingiu ganho máximo de 24,11 dB,  $\text{GBW} \approx 40,92$  MHz e uma margem de fase (PM) de aproximadamente  $77,81^\circ$  conforme apresentado na Fig. 34.

Figura 34 – Resposta em frequência do ganho (em azul) e da fase (em vermelho) da topologia utilizada no amplificador de erro.



Fonte: O autor.

Atingindo as especificações de projeto iniciais para o amplificador proposto, o circuito consegue prover 200 mV de saída, o que era o esperado para a aplicação.

Logo, o sub-circuito de CMFB está fornecendo parte da estabilidade requerida pelo circuito principal, agora, será apresentado o projeto do segundo estágio de CMFB.

O segundo estágio do CMFB é implementado baseando-se na topologia apresentada por Severo e Noije (2021), a topologia utilizada é apresentada na Fig. 35, composta pelos transistores PMOS ( $M_{3A}$  e  $M_{3B}$ ) e NMOS ( $M_{4A}$  e  $M_{4B}$ ). A estratégia utilizada possui uma alta transcondutância, pois, com os nós de *bulk* dos transistores  $M_3$  conectados nos nós de porta dos quatro transistores, a transcondutância equivalente é  $g_{meq} = g_{m3} + g_{m4} + g_{mbp}$ . Isso provê ao circuito principal uma redução na tensão de *threshold* ( $V_{thP}$ ).

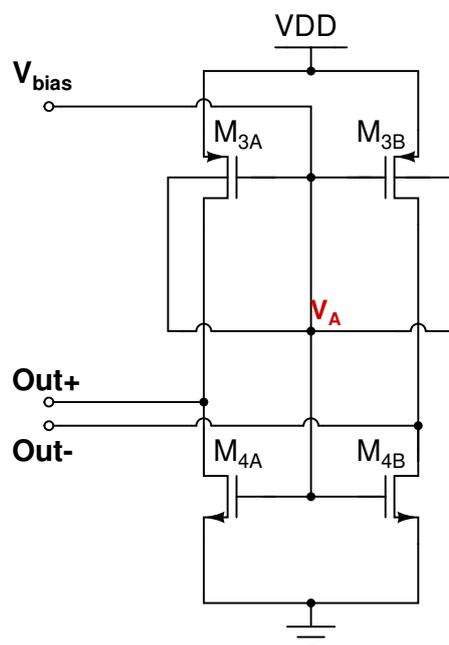
Note que o nó  $V_A$  possui a mesma tensão que  $V_{bias}$  e também é igual à  $V_{G_N}$  e  $V_{G_P}$ , sendo assim, o circuito será responsável por balancear o nível de corrente entre os transistores PMOS e NMOS, e, conseqüentemente, reduzir as tensões de *threshold*  $V_{thP}$ .

Esse balanceamento ocorre, pois, a corrente de dreno na região de saturação é dependente da transcondutância e da tensão de dreno-fonte, assim, se houver variação nas tensões de dreno (Out+ e Out-) o circuito consegue manter a mesma corrente através da relação  $g_{meq}/I_D$ , pois, se  $g_{meq}$  aumenta  $I_D$  também aumenta.

Portanto, como já ocorre o aumento de  $g_m$  pela própria configuração do circuito, a corrente de dreno definida para o dimensionamento dos transistores que compõem o circuito da réplica do amplificador principal é de  $I_D = 500$  nA (vinte vezes menor que o circuito principal), pois assim, a condutância de saída ( $g_{dseq} = g_{ds3} + g_{ds4}$ ) e a potência consumida pelo circuito tende a ser menor.

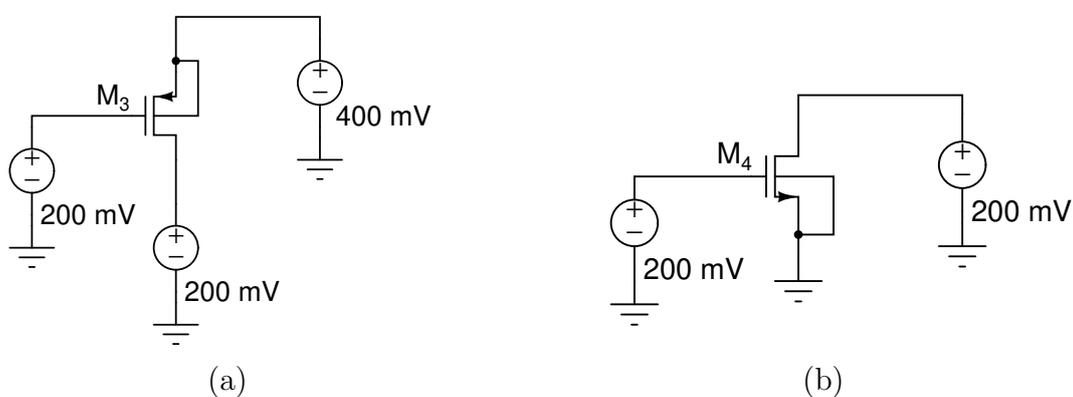
A Fig. 36 mostra o método utilizado para o dimensionamento e polarização dos transistores que compõem o segundo estágio do CMFB do OTA proposto.

Figura 35 – Réplica do amplificador principal utilizado no circuito de CMFB.



Fonte: O autor.

Figura 36 – Método utilizado para o dimensionamento dos transistores da réplica do OTA. a) Transistor  $M_3$ ; b) Transistor  $M_4$



Fonte: O autor.

É possível observar as dimensões de canal e os múltiplos dos transistores para uma corrente de dreno de 500 nA na Tabela 7. Nota-se uma largura de canal ( $W$ ) maior para os transistores da réplica em relação ao  $W$  dos transistores do

amplificador principal, mesmo com um nível de corrente vinte vezes menor, pois para o circuito da réplica não foram utilizados os sub-circuitos de polarização dos transistores PMOS e NMOS.

Tabela 7 – Dimensões e múltiplos dos transistores  $M_3$  e  $M_4$  utilizados na réplica do amplificador principal.

Transistores \ Parâmetros	L ( $\mu\text{m}$ )	W ( $\mu\text{m}$ )	Múltiplos
$M_3$	0,30	21,50	3
$M_4$	0,30	14,40	1

A partir do projeto e dimensionamento dos transistores, é possível estimar analiticamente a potência DC consumida pelo OTA completo, como apresentado abaixo:

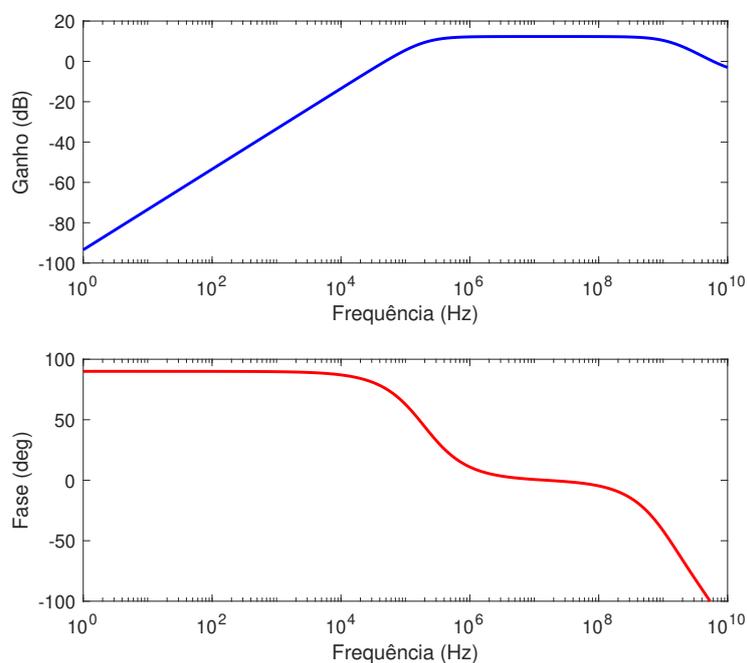
$$P_{\text{DCOTA}} = VDD \cdot (I_{DM_3} + I_{DM_4} + I_{DM_{NE}} + I_{DM_{PE}} + I_{DM_{3R}} + I_{DM_{4R}}). \quad (4.12)$$

### 4.3 RESULTADOS

As especificações de ganho e de fase do OTA de ultra-baixa tensão (Fig. 29) projetado para os transdutores T1 e T2 da Fig. 28 são realizadas em duas etapas, para o circuito em malha aberta (sem o CMFB) e em malha fechada (com o CMFB).

Em malha aberta, o OTA atingiu um  $A_{v_{m\acute{a}x}} \approx 12,31$  dB, com GBW de 5,98 GHz e margem de fase igual à  $-103,91^\circ$ , como apresenta a resposta em frequência da Fig. 37.

Figura 37 – Resposta em frequência do ganho (em azul) e da fase (em vermelho) do OTA em malha aberta.



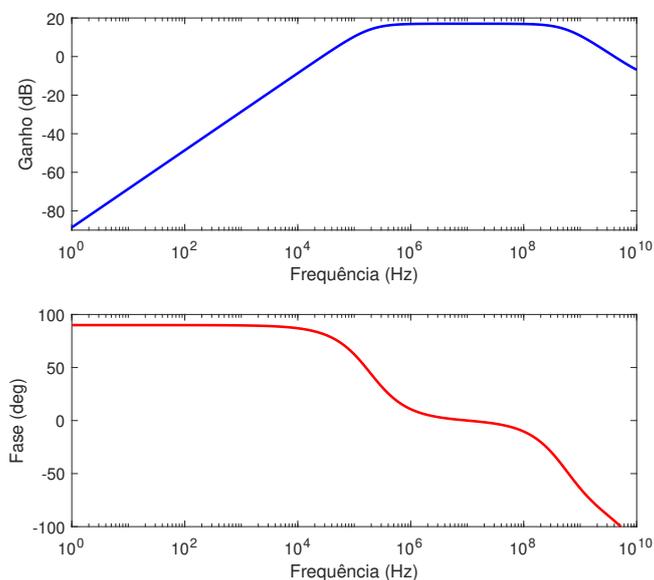
Fonte: O autor.

Para as análises em malha fechada, ou seja, com a presença dos circuitos de CMFB projetados, além da análise AC de ganho e fase do OTA, também são realizadas as análises de estabilidade para o OTA principal apenas com o primeiro estágio do CMFB conectado, e após isso, para o circuito do OTA completo.

A Fig. 38 demonstra o comportamento em frequência em malha fechada do OTA apenas com o estágio do amplificador de erro implementado conectado. O ganho de tensão máximo obtido foi de 16,15 dB com  $GBW \approx 2,21$  GHz para uma fase de  $-88,55^\circ$ .

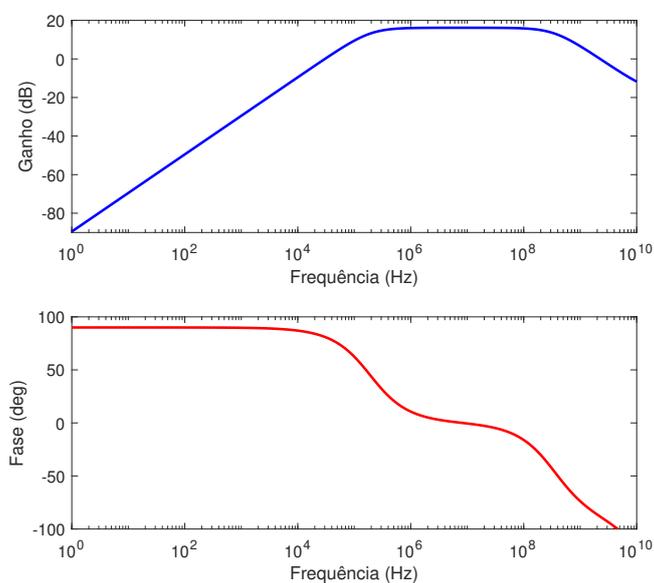
O comportamento do ganho e da fase do circuito completo do OTA (com os estágios de CMFB) são apresentados na Fig. 39. O circuito atingiu um ganho  $A_{v_{máx}} \approx 16,15$  dB,  $GBW \approx 4,00$  GHz e fase igual à  $-94,63^\circ$ .

Figura 38 – Resposta em frequência do ganho (em azul) e da fase (em vermelho) do OTA em malha fechada sem o estágio da réplica do amplificador principal.



Fonte: O autor.

Figura 39 – Resposta em frequência do ganho (em azul) e da fase (em vermelho) do OTA em malha fechada do circuito completo.



Fonte: O autor.

As especificações de margem de ganho e fase são obtidas através da análise de estabilidade do OTA proposto. Os valores destas especificações são mostrados na Tabela 8, tanto para a análise do OTA com apenas o primeiro estágio de CMFB (amplificador de erro) quanto para o circuito completo (amplificador de erro e réplica).

Tabela 8 – Especificações de estabilidade em frequência do OTA.

Estágios de CMFB	Amplificador de Erro	Completo
Especificação		
Margem de ganho (dB)	36,95 (2,17 MHz)	34,68 (1,21 MHz)
Margem de fase (graus)	115,30 (57,29 kHz)	164,30 (15,89 kHz)

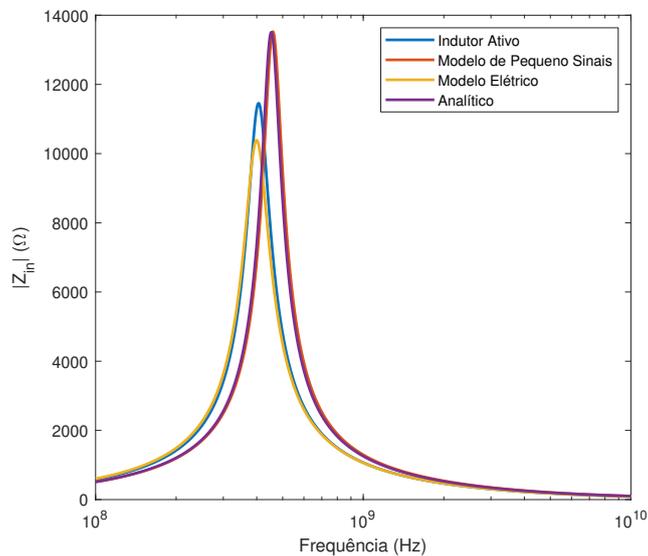
Partindo da validação e extração dos resultados dos amplificadores implementados para os transdutores T1 e T2 da Fig. 28, é realizada a conexão *back-to-back* de ambos os OTAs diferenciais. Para as entradas  $V_P$  e  $V_N$  assumirem comportamento diferencial, é utilizando um balun para realizar a conversão de sinais.

Assim, é possível extrair as expressões de impedância de entrada ( $Z_{in}$ ) e indutância (L) gerada pelo AI. É viável a extração dos parâmetros de  $Z_{in}$  e L utilizando os modelos AC equivalentes do AI apresentado na Fig. 25. A partir das Eqs. (4.3), (4.4), (4.5) e (4.6) são obtidos os valores de  $L = 73,45$  nH,  $C = 150$  fF,  $R_S = 45,15$   $\Omega$  e  $R_P = 7,32$  k $\Omega$ , que compõem o modelo equivalente elétrico do indutor, visto na Fig. 5.

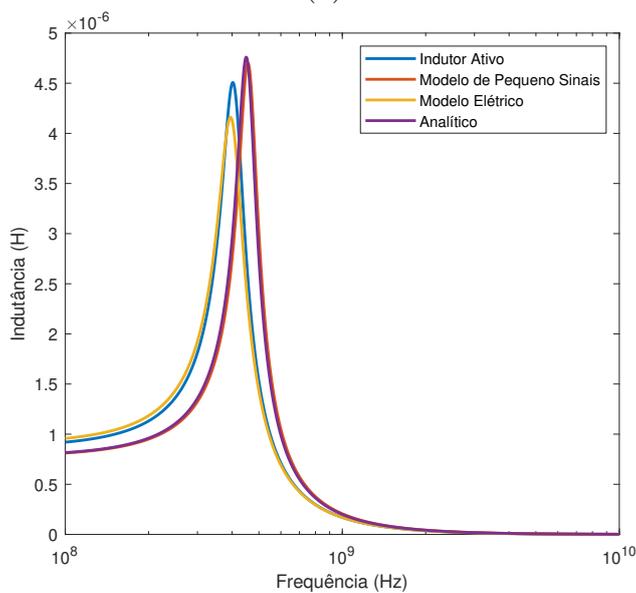
Utilizando a Eq. (4.10) a impedância de entrada e indutância analítica do circuito é obtida.

Sendo assim, a Fig. 40 apresenta o comportamento do absoluto da impedância de entrada (Fig. 40(a)) e da indutância gerada pelo AI (Fig. 40(b)) para as quatro análises realizadas (circuito do AI, modelo de pequenos sinais, modelo equivalente elétrico e expressão analítica).

Figura 40 – Resposta em frequência da impedância e indutância geradas com capacitâncias de carga  $C_L = 5$  pF. a) Absoluto da impedância de entrada; b) Indutância de entrada.



(a)



(b)

Fonte: O autor.

As especificações de SRF e fator Q para as quatro análises realizadas com  $C_L = 5$  pF são mostradas na Tabela. 9.

Tabela 9 – Especificações de SRF e Q para o circuito com  $C_L = 5$  pF.

Especificações \ Análise	Indutor Ativo	Modelo AC	Modelo Elétrico	Analítico
SRF (MHz)	<b>406,44</b>	459,19	400,86	453,58
Q	<b>216,19</b>	217,62	216,68	208,06

Para  $C_L = 0$  F, ou seja, capacitância  $C$  da Fig. 28 igual às capacitâncias parasitas dos dois OTAs de T1 e T2, a resposta em frequência de  $|Z_{in}|$  e L são apresentadas na Fig. 41.

Os valores de SRF e Q atingidos pelos circuitos em análise são mostrados na Tabela 10.

Tabela 10 – Especificações de SRF e Q para o circuito sem  $C_L$ .

Especificações \ Análise	Indutor Ativo	Modelo AC	Modelo Elétrico	Analítico
SRF (GHz)	<b>1,57</b>	1,53	1,52	1,82
Q	<b>215,06</b>	170,31	152,40	209,65

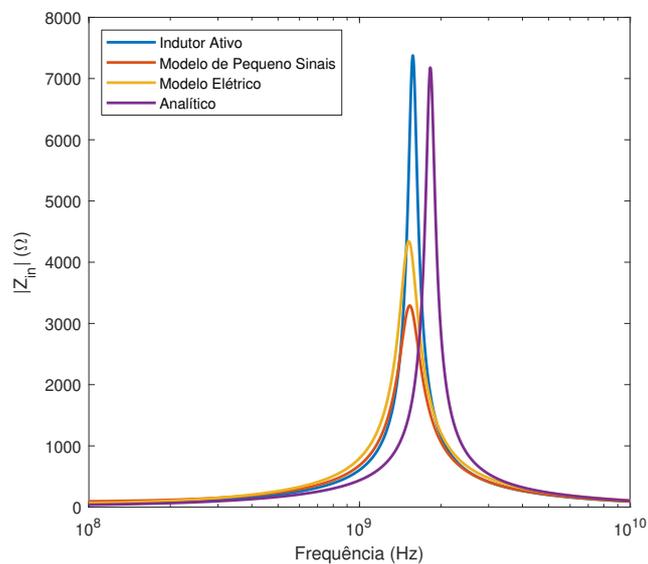
Sendo assim, observando o comportamento do circuito do AI sem as capacitâncias de carga, a frequência de ressonância própria teve um aumento significativo (aproximadamente quatro vezes), enquanto o fator de qualidade decaiu aproximadamente 1,13 em relação ao circuito com capacitância de carga de 5 pF.

A Tabela 11 mostra os valores de  $|Z_{in}|$  e L gerados pelo AI para  $C_L = 5$  pF em uma faixa de frequência entre 100 MHz e 200 MHz e para  $C_L = 0$  F em uma faixa de frequência entre 100 MHz e 500 MHz. Em virtude da SRF ser menor para a análise da capacitância de carga de 5 pF, o intervalo de frequência de operação é menor em relação à capacitância de carga de 0 F.

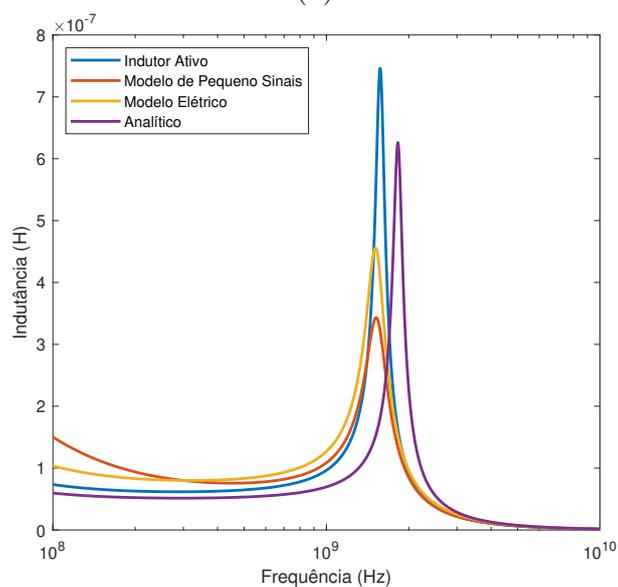
Tabela 11 – Impedâncias e indutâncias geradas a partir das análises de  $C_L = 5$  pF e  $C_L = 0$  F.

Análise \ Especificações	$ Z_{in} $ ( $\Omega$ )	L (nH)
$C_L = 5$ pF	578,09 - 1432,55	920 - 1130
$C_L = 0$ F	<b>46,15 - 203,49</b>	<b>61,70 - 73,40</b>

Figura 41 – Resposta em frequência da impedância e indutância geradas sem capacitâncias de carga. a) Absoluto da impedância de entrada; b) Indutância de entrada.



(a)



(b)

Fonte: O autor.

Nota-se, que o AI balanceado proposto pode gerar indutâncias entre 73,40 nH e 61,70 nH em um intervalo de frequência de 100 MHz a 500 MHz

com um fator de qualidade constante de  $Q = 215,06$ .

A estimativa da potência DC consumida ( $P_{DC}$ ) pelo OTA é obtida através da Eq. (4.12), onde  $VDD = 400$  mV,  $I_{DM_3} = I_{DM_4} = 214,40$   $\mu$ A,  $I_{DM_{3R}} = 1,99$   $\mu$ A,  $I_{DM_{4R}} = 918,80$  nA e  $I_{DM_{PE}} = I_{DM_{NE}} = 63,28$   $\mu$ A.

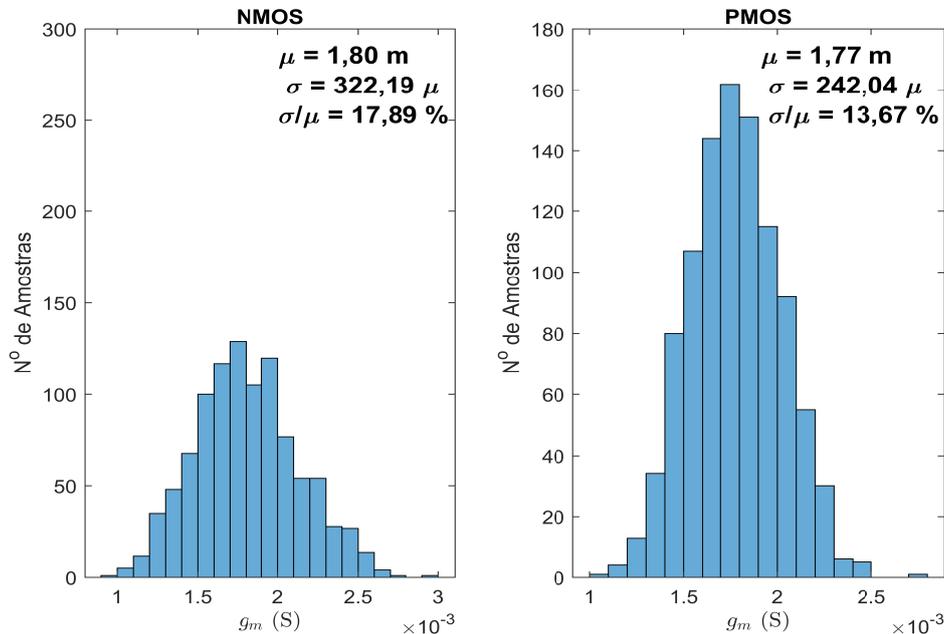
A estimativa de potência DC simulada dissipada pelo OTA com os múltiplos dos transistores igual a 10 é de  $83,28$   $\mu$ W. Tendo em vista que o AI diferencial possui dois OTAs idênticos, logo, a potência consumida total pelo circuito é de  $300,56$   $\mu$ W.

Para simular as variações de processo sofridas pelo circuito do AI, foi utilizado o método de Monte Carlo. Para cada caso simulado foram utilizadas 1000 rodadas (ou, 1000 amostras), as variações analisadas são dadas pelas Figs. 42, 43, 44, 45 e 46.

A Fig. 42 mostra o gráfico do histograma para as transcondutâncias dos transistores PMOS e NMOS que compõem os transdutores T1 e T2 (OTA 1 e OTA 2).

Nota-se uma taxa de variação dos transistores NMOS de 17,89% e 13,67% para os transistores PMOS.

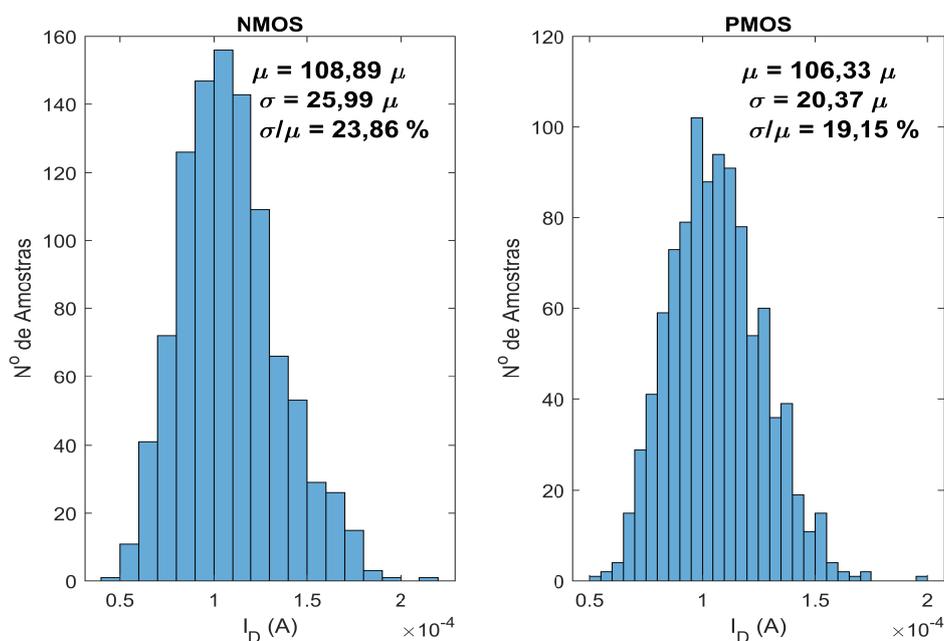
Figura 42 – Histograma de variação da transcondutância  $g_m$ .



Fonte: O autor.

A corrente de dreno dos transistores NMOS obteve uma variação de 23,86%, enquanto a mesma corrente para o PMOS obteve 19,15% de variação, como apresenta o histograma da Fig. 43.

Figura 43 – Histograma de variação da corrente  $I_D$ .

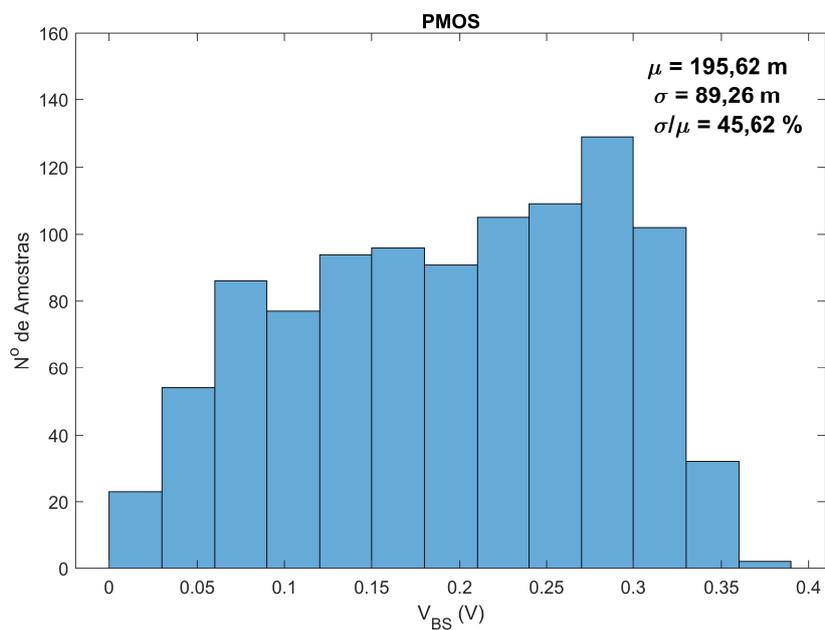


Fonte: O autor.

Para a tensão de *bulk* ( $V_{BS}$ ) foi extraído o histograma visto na Fig. 44. A simulação de Monte Carlo é realizada para os transistores PMOS  $V_{BS}$ , e, como  $V_{BS} = 0$  V, não é necessário realizar sua análise, pois este valor é fixo em 0 V, o que não ocorre para o transistor PMOS.

A tensão  $V_{bias}$  varia, pois os estágios de CMFB estão operando para manter a tensão de saída igual a 0,2 V.

Observa-se um desvio padrão ( $\sigma$ ) de 89,26 m para a tensão  $V_{BS_P}$ , retornando uma relação entre média ( $\mu$ ) e desvio padrão de 45,62%.

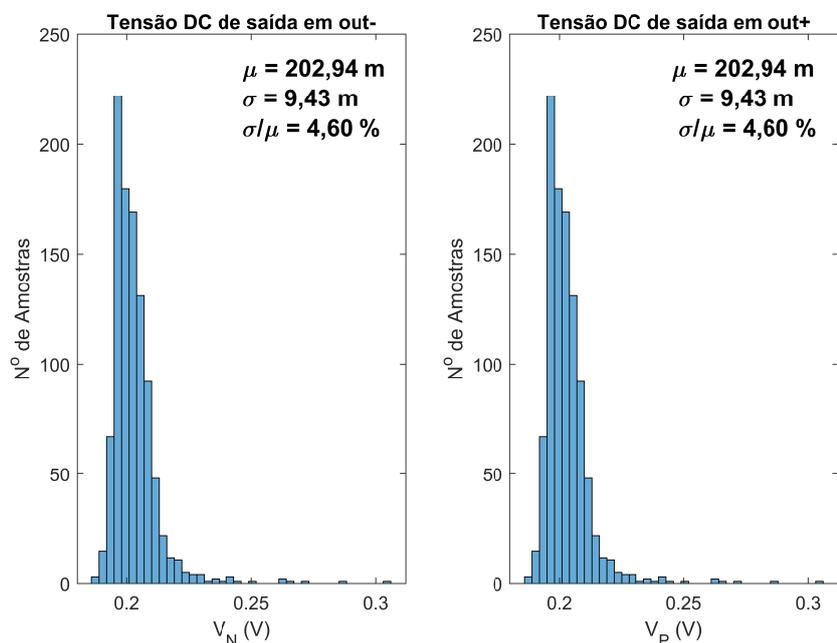
Figura 44 – Histograma de variação da tensão  $V_{BS}$ .

Fonte: O autor.

As tensões DC de saída (nós out- e out+) são mostradas na Fig. 45. As taxas de variação de ambos os transistores (PMOS e NMOS) atingiram o mesmo valor de 4,60%, em outras palavras, pode ser dizer que as tensões DC de saída dos amplificadores será de  $202,94 \pm 9,43 \text{ mV}$ , sendo o valor mínimo atingido de 193,51 mV, e máximo de 212,37 mV.

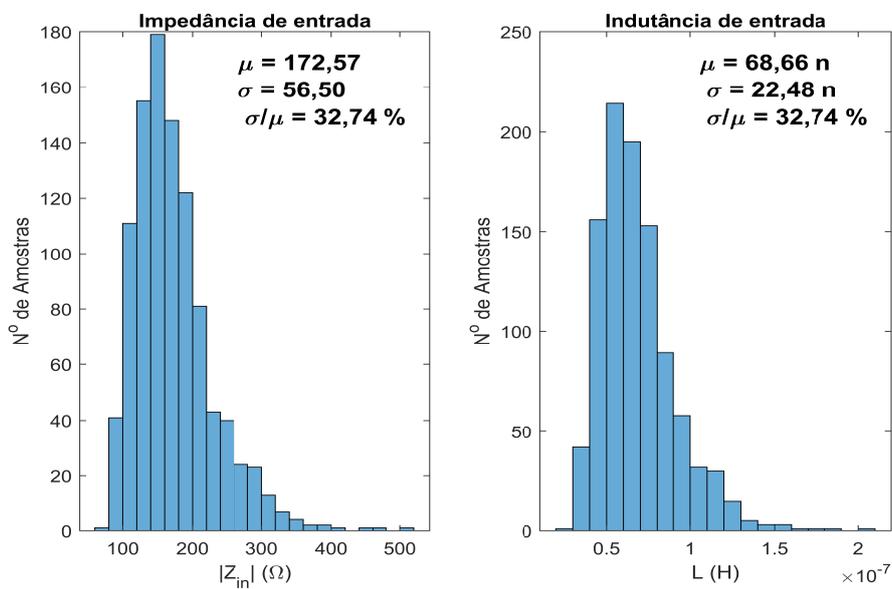
Por fim, a última análise de variação é mostrada na Fig. 46, onde descreve a variação do absoluto da impedância e a indutância de entrada geradas pelo AI balanceado proposto, dada por  $\sigma/\mu = 32,74\%$ .

Figura 45 – Histograma de variação da tensão de saída.



Fonte: O autor.

Figura 46 – Histograma de variação da impedância  $Z_{in}$  e da indutância  $L$  de entrada.



Fonte: O autor.

Na Tabela 12 é possível visualizar as especificações de trabalhos relacionados a indutores ativos e também as especificações atingidas neste trabalho para as versões 1 e 2. Comparando os resultados atingidos na versão 1 com a versão 2, pode-se notar uma redução na potência consumida de 76,88%, além de um fator de qualidade de aproximadamente 15 vezes maior, além da nova implementação balanceada, possibilitando aplicações em circuitos diferenciais.

Tabela 12 – Especificações de AIs.

Especificações	[1]	[2]	[3]	[4]	[5]	Versão 1	Versão 2
Entrada (Simp./Diff.)	Simp.	Diff.	Simp.	Simp.	Simp.	<b>Simp.</b>	<b>Diff.</b>
Tecnologia (nm)	130	130	180	90	180	<b>65</b>	<b>65</b>
$V_{DD}$ (V)	1,20	1,50	1,50	1,20	1,80	<b>1,20</b>	<b>0,4</b>
$P_{DC}$ ( $\mu$ W)	-	-	2000	-	650	<b>1300</b>	<b>300,56</b>
Q	3900	100	4406	120	1067	<b>14,44</b>	<b>215,06</b>
L (nH)	38-144	2,50-13	7,56	165-530	550	<b>5-12,67</b>	<b>61,70-73,40</b>
BW indutiva (GHz)	0.3-7,32	-	0-6,90	0,60-3,80	0-5,60	<b>0.10-0,20</b>	<b>0.10-0.50</b>
Med./Sim.	Sim.	Med.	Sim.	Sim.	Sim.	<b>Sim.</b>	<b>Sim.</b>

[1] Uyanik e Tarim (2007), [2] Abdalla, Eleftheriades e Phang (2006), [3] Saberhari et al. (2015), [4] Murthy, El-Sankary e El-Masry (2010), [5] Manjula e Subramani (2013), [Versão 1] Primeira versão deste trabalho, [Versão 2] Versão proposta deste trabalho.

#### 4.4 SÍNTESE DO CAPÍTULO

O capítulo apresentou a segunda versão do projeto do circuito do indutor ativo balanceado, bem como as estratégias de CMFB e polarização do circuito. Mostraram-se os métodos de dimensionamento de canal de todos os transistores utilizados na implementação do AI e as análises AC, estabilidade em frequência e Monte Carlo.

A especificação de baixa potência consumida com  $V_{DD} = 0,4$  V foi atingida, bem como a estabilização das tensões DC de saída através dos estágios de CMFB.

O circuito projetado pode gerar indutâncias entre 61,70 nH e 73,40 nH na faixa de frequência de 100 MHz a 500 MHz, mantendo o fator de qualidade,  $Q = 215,06$ .

## 5 DESLOCADORES DE FASE BASEADOS EM INDUTORES ATIVOS

Este capítulo apresenta o projeto de um deslocador de fase (do inglês, *Phase Shifter* - PS) para receptores de RF operando na faixa de sub-GHz, empregando o indutor ativo balanceado projetado no capítulo 4. A primeira etapa é a escolha da topologia utilizada para o PS e a construção desta topologia.

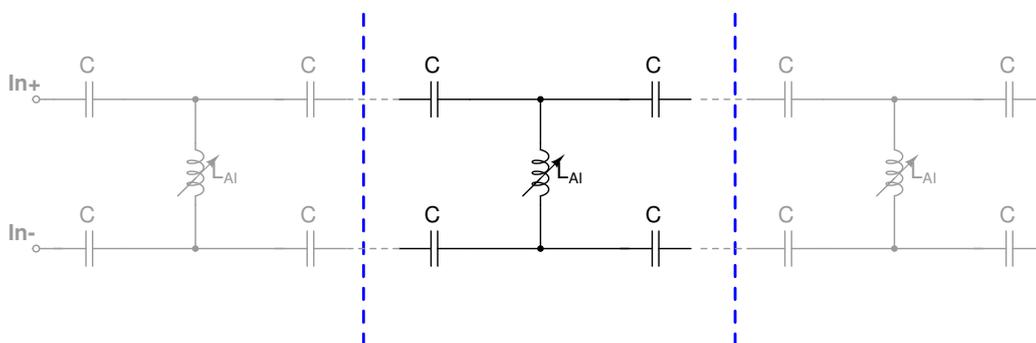
O capítulo apresenta também a estratégia utilizada para variar a fase de saída do circuito de acordo com a variação da indutância gerada pelo AI.

Após o projeto e a implementação da estratégia de variação de fase ( $\Delta\phi$ ), é realizada a análise de parâmetros S para o circuito utilizando o AI, para o circuito utilizando indutor ideal e para as equações analíticas. Neste projeto, foi considerado que o circuito deve operar na frequência de 400 MHz.

### 5.1 PROJETO DO DESLOCADOR DE FASE

O deslocador de fase (PS) proposto é baseado em um rede T-diferencial, composta por quatro capacitores idênticos (C) e apenas um indutor ( $L_{AI}$ ) como mostra a Fig. 47.

Figura 47 – Deslocador de fase rede T diferencial.



Fonte: O autor.

Aplicando a LKC no circuito, é possível obter a função de transferência no domínio  $s$  do PS, como mostra a Eq. 5.1. A partir de  $H(s)$  é possível obter a magnitude e a fase dos parâmetros de espalhamento ( $S$ ) do circuito. O parâmetro

$R_L$  modela a carga de saída do circuito.

$$H(s) = \frac{s^2 C^2}{1/R_L L + C/L + 2sC/R_L + s^2 C^2} \quad (5.1)$$

Sendo a frequência de operação ( $f_0$ ) definida para o circuito de 400 MHz, as capacitâncias que compõem o PS são definidas a partir da indutância gerada pelo AI do capítulo 4 em 400 MHz, sendo  $L_{AI} = 65,69$  nH e então,  $C = 4,50$  pF. Neste caso, as impedâncias de entrada ( $R_S$ ) e saída ( $R_L$ ) são iguais à  $50 \Omega$ .

## 5.2 PROJETO DO AI DE 4 BITS PROGRAMÁVEL

A topologia do indutor ativo programável é apresentada na Fig. 48, onde se baseia na implementação de quatro OTAs 1 (T1 na Fig. 28) com múltiplos distintos dos transistores que compõem os OTAs conectados em paralelo com o OTA 2 (T2 na Fig.28).

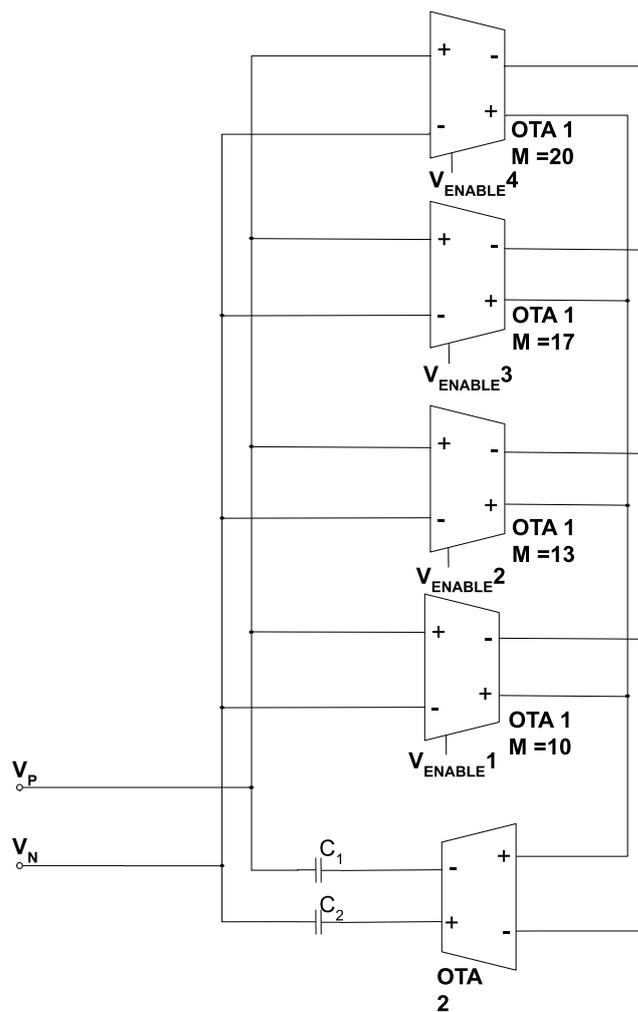
Cada OTA 1 possui 1 bit de controle ( $V_{ENABLE}$ ) fazendo com que o OTA esteja em estado ligado ou desligado, isso resulta em 16 combinações possíveis, ou seja, é possível gerar 15 valores de indutâncias a partir da combinação de OTAs 1 em estado ligado, sendo uma das combinações o AI está desligado.

Esta técnica de implementação possibilita a variação da indutância do AI conforme a combinação de bits em estado lógico 1.

A estratégia utilizada para projetar este circuito é mostrada na Fig. 49. Cada bit de controle é controlado por uma fonte de tensão DC ( $V_{ENABLE}$ ) que assume dois valores, 0 (estado lógico 0) ou 400 mV (estado lógico 1). Assim, de acordo com a tensão nas fontes, o circuito estará ou não em operação.

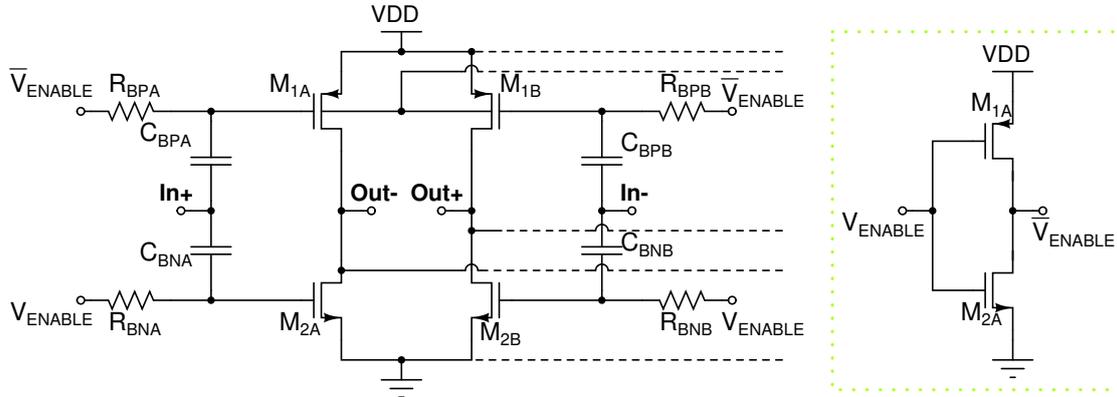
Para ser possível aplicar essa técnica foi necessária a implementação de um inversor com entrada em  $V_{ENABLE}$  e saída  $\bar{V}_{ENABLE}$  nos nós de porta dos transistores  $M_1$ . Os nós de entrada dos transistores  $M_1$  também são conectados a  $V_{ENABLE}$ . Logo, quando  $V_{ENABLE} = 0$  V, o circuito não está operando, pois  $V_{GP} = 400$  mV e  $V_{GN} = 0$  V, quando  $V_{ENABLE} = 400$  mV o circuito está operando normalmente, pois  $V_{GP} = 0$  V e  $V_{GN} = 400$  mV.

Figura 48 – Topologia do indutor ativo programável de 4 b proposto.



Fonte: O autor.

Figura 49 – Estratégia utilizada para habilitar e desabilitar o OTA.



Fonte: O autor.

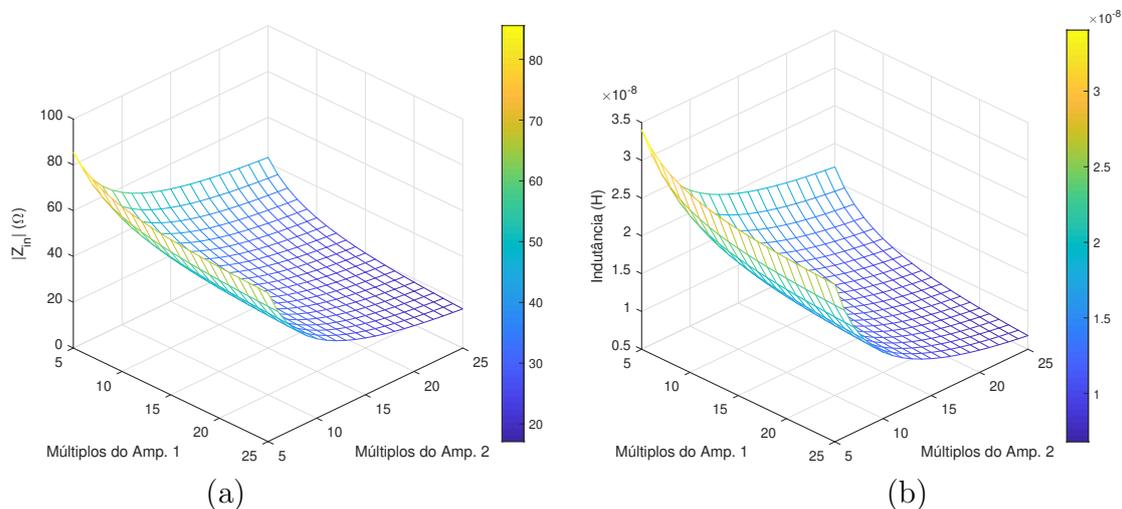
O inversor projetado possui a mesma tensão de alimentação e os mesmos transistores PMOS e NMOS do circuito principal do OTA apresentadas na Tabela 30.

O projeto é baseado na variação dos múltiplos dos transistores que compõem os OTAs 1 e 2, e, para isso, são analisados os comportamentos da impedância e da indutância de entrada do AI em função da variação de ambos os múltiplos, conforme mostrado na Fig. 50 para a frequência de operação do PS proposto (400 MHz).

A partir desta análise, o AI variável é implementado para obter variações na indutância de acordo com a variação da corrente do OTA 1 resultante da alteração dos múltiplos dos transistores, os múltiplos do OTA 2 permaneceram fixos em  $M = 10$ . Os 4 OTAs 1 implementados possuem 10, 13, 17 e 20 múltiplos dos transistores para OTA 1.

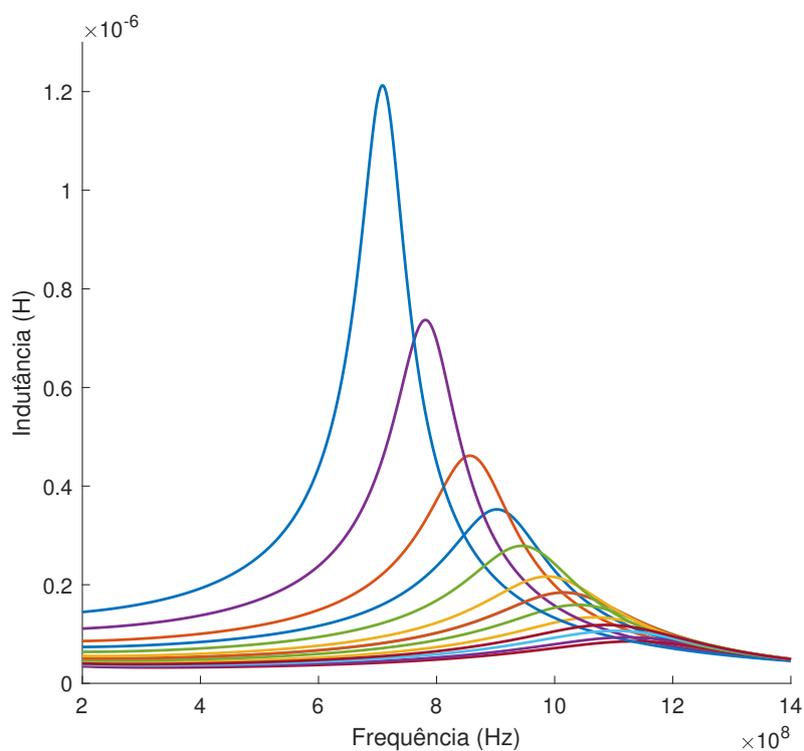
A Fig. 51 apresenta as indutâncias geradas pelo AI de 4 b para todas as possíveis combinações de variação dos estados ligado/desligado dos OTAs 1.

Figura 50 – Impedância e indutância geradas em 400 MHz em função da variação dos múltiplos dos transistores do amplificador 1 e 2. a) Absoluto da impedância de entrada; b) Indutância de entrada.



Fonte: O autor.

Figura 51 – Indutância em função da frequência gerada para todas as combinações do AI.



Fonte: O autor.

Nota-se que com o aumento da indutância em  $f_0 = 400$  MHz, a SRF diminui, porém, o fator de qualidade ( $Q$ ) sofre um aumento, logo, há uma relação de *trade-off* entre a indutância gerada e o fator de qualidade.

Os valores de indutância para a frequência de projeto do PS (400 MHz) são demonstrados na Tabela 13, onde é possível gerar indutâncias com valores na faixa de 27,69 nH a 192,50 nH em  $f_0 = 400$  MHz. A variação de indutância de entrada ( $\Delta L$ ) obtida é de  $\Delta L = 164,87$  nH.

Tabela 13 – Comportamento da indutância de acordo com a seleção dos bits do AI em 400 MHz.

$V_{ENABLE}$ (mV)				Indutância (nH).
$V_{ENABLE1}$	$V_{ENABLE2}$	$V_{ENABLE3}$	$V_{ENABLE4}$	
400	0	0	0	192,50
0	400	0	0	137,71
0	0	400	0	100,43
0	0	0	400	83,82
400	400	0	0	70,80
400	0	400	0	59,86
400	0	0	400	53,81
0	400	400	0	53,68
0	400	0	400	48,84
0	0	400	400	43,65
400	400	400	0	40,10
400	400	0	400	37,50
400	0	400	400	34,56
0	400	400	400	32,65
400	400	400	400	27,69

### 5.3 RESULTADOS

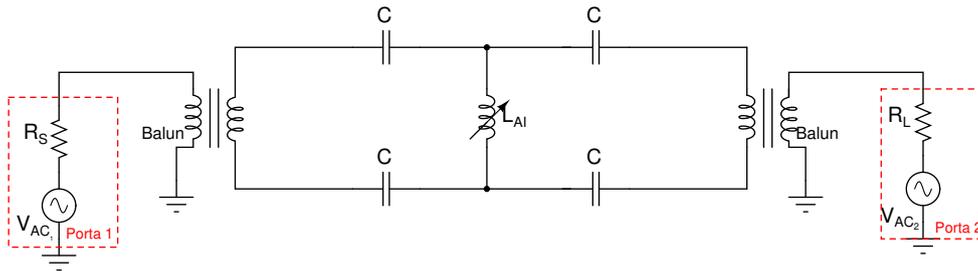
O método utilizado para a obtenção dos resultados do circuito do PS é apresentado na Fig. 52, onde os Baluns ideais são utilizados para gerar uma tensão

diferencial de entrada e saída do circuito, e, os componentes de Porta (Porta<sub>1</sub> e Porta<sub>2</sub>) representam as cargas e excitações de entrada e saída.

Para fins de comparação e validação do circuito T-diferencial utilizando o indutor ativo projetado, os múltiplos dos transistores de T1 e T2 são definidos em  $M = 10$ .

A Fig. 53 apresenta as análises para o circuito do PS da Fig. 52, sendo elas o circuito do PS com o AI projetado no capítulo 4, o circuito com um indutor ideal em L e por fim, o método analítico, a partir da função de transferência da Eq. (5.1). Isto, para fins de validação dos resultados do circuito proposto neste capítulo. Os parâmetros analisados são o absoluto e a fase de  $S_{12}$ , tendo em vista que as simulações foram realizadas utilizando portas de  $50 \Omega$  na entrada e na saída do circuito ( $R_R$  e  $R_L$ ), tensão AC da Porta 1  $V_{AC1} = 1 V$  e tensão na Porta 2 igual à zero. Ambas as tensões de *offset* ( $V_{OS}$ ) foram definidas igual à zero.

Figura 52 – Método utilizado para as análises do circuito deslocador de fase projetado.



Fonte: O autor.

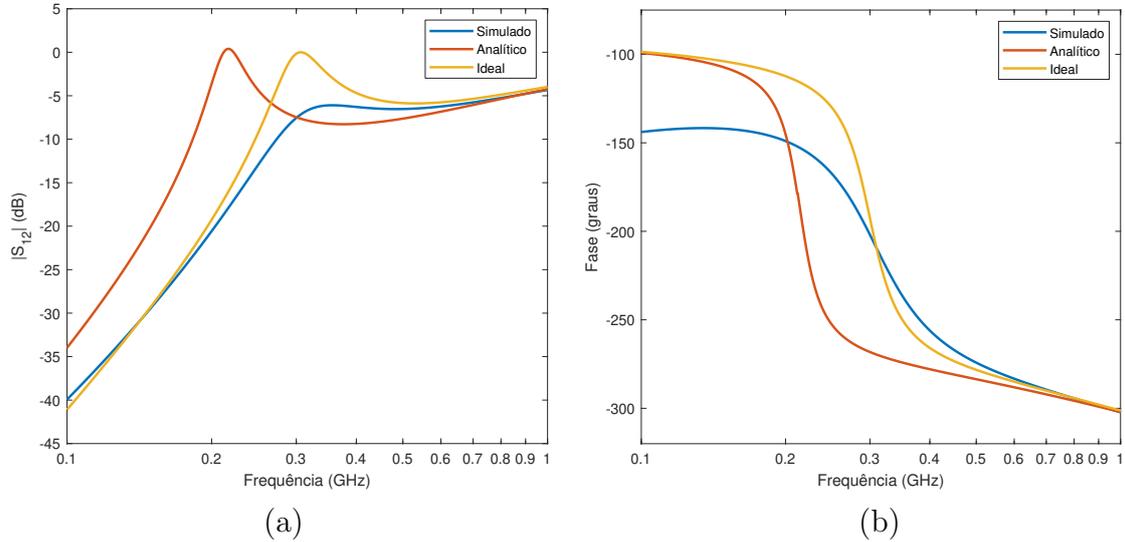
As especificações dos parâmetros de espalhamento entre a porta 1 e 2 ( $S_{12}$ ) das três análises são demonstradas na Tabela 14.

Tabela 14 – Especificações do PS proposto em  $f_0 = 400 \text{ MHz}$ .

Especificação	Análise		
	<b>PS com AI</b>	PS com indutor ideal	Analítica
$ S_{12} $ (dB)	<b>-6,28</b>	-4,68	-8,23
Fase de $S_{12}$ (graus)	<b>-256,06</b>	-255,90	-277,96

A perda de inserção (IL) do circuito utilizando o AI foi maior em relação ao

Figura 53 – Parâmetros  $S_{12}$  para o deslocador de fase projetado. a)  $|S_{12}|$ ; b) Fase de  $S_{12}$ .



Fonte: O autor.

circuito utilizando um indutor ideal, pois as resistências parasitas dos amplificadores que compõem o circuito interferem neste modelo.

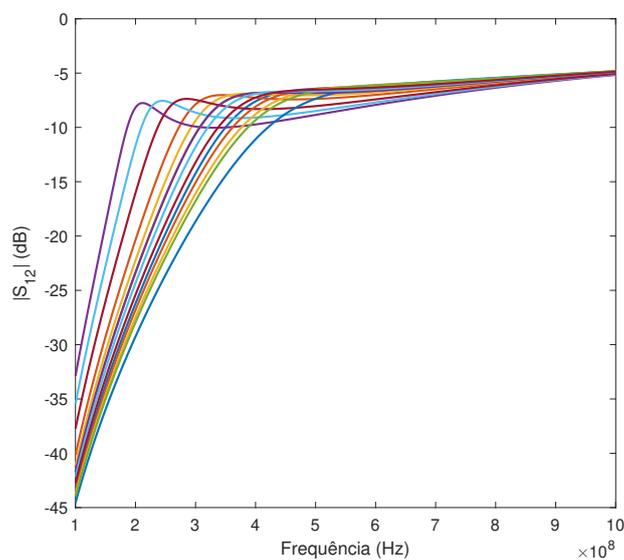
Sendo assim, com o circuito de indutância fixa validado, é realizada a substituição deste indutor ( $L_{AI}$ ) de indutância fixa, pelo indutor ativo de indutância programável com 4 *bits* de seleção.

O absoluto de  $S_{12}$  é apresentado na Fig. 55. O circuito atingiu uma perda de inserção máxima de 11,89 dB (para as tensões  $V_{ENABLE}$  de seleção igual à  $V_{ENABLE1} = V_{ENABLE2} = V_{ENABLE3} = 0,40$  V) e mínima de 6,82 dB (para as tensões  $V_{ENABLE}$  de seleção igual à  $V_{ENABLE1} = V_{ENABLE4} = 0$  V e  $V_{ENABLE2} = V_{ENABLE3} = 0,40$  V), sendo assim, o circuito obteve um  $\Delta IL = 5,07$  dB em  $f_0 = 400$  MHz.

A variação de fase ( $\Delta\phi$ ) obtida pelo circuito do PS proposto com o indutor ativo programável é mostrada na Fig. 55. Nota-se um  $\Delta\phi$  de  $S_{12}$  igual á  $-77,91^\circ$  na frequência de operação do circuito projetado de 400 MHz.

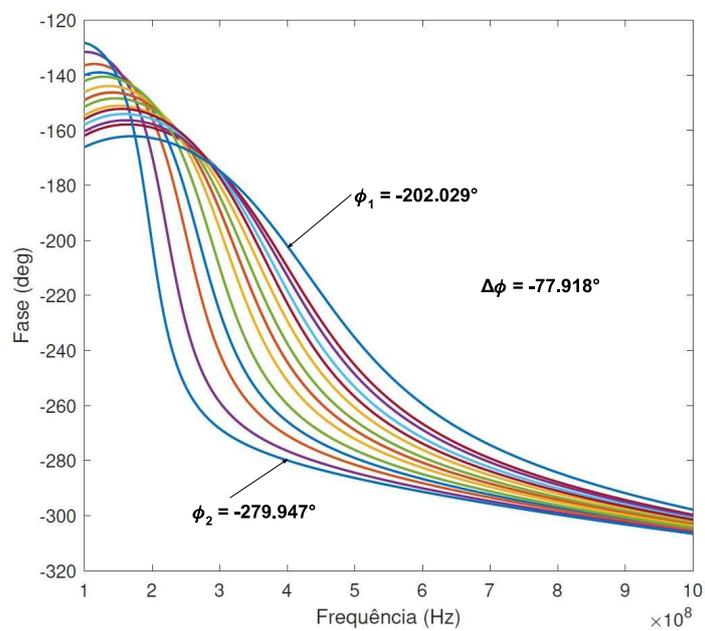
O comportamento da fase de  $S_{12}$  para as 16 combinações dos *bits* de seleção ( $V_{ENABLE}$ ) é mostrado na Tabela 15. O máximo deslocamento de fase em 400 MHz atingido foi de  $-279,94^\circ$  para  $V_{ENABLE1} = 400$  mV e  $V_{ENABLE2} = V_{ENABLE3} = V_{ENABLE4} = 0$  V, e deslocamento mínimo de  $-202,02^\circ$  para  $V_{ENABLE1} = V_{ENABLE2}$

Figura 54 –  $|S_{12}|$  simulado para o deslocador de fase projetado.



Fonte: O autor.

Figura 55 – Fase de  $S_{12}$  simulada para o deslocador de fase projetado.



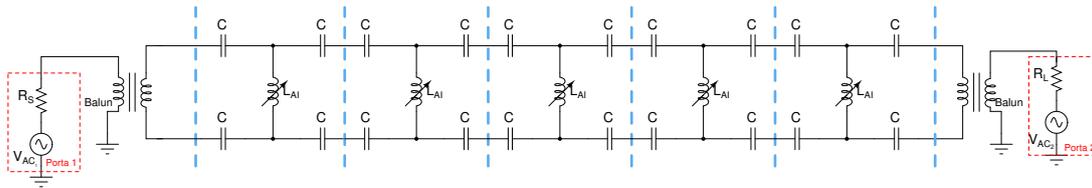
Fonte: O autor.

$$= V_{ENABLE3} = V_{ENABLE4} = 400\text{mV}.$$

Com  $\Delta\phi$  obtido de  $-79,91^\circ$  para apenas uma seção do PS, logo, são necessárias 5 seções em conexão cascata para atingir uma defasagem total de  $-360^\circ$ , como mostra a Fig. 56.

A potência consumida atingida por cada OTA depois da implementação da estratégia para a variação da indutância manteve-se a mesma do circuito sem a estratégia, sendo  $P_{DC} = 300,56 \mu\text{W}$ , pois o inversor projetado não consome potência estática, resultando para o circuito do PS proposto uma potência dissipada mínima de  $1,50 \text{ mW}$  (para  $V_{ENABLE1} = 400 \text{ mV}$  e  $V_{ENABLE2} = V_{ENABLE3} = V_{ENABLE4} = 0 \text{ V}$ ) e  $P_{DC}$  máxima de  $3,65 \text{ mW}$  (para  $V_{ENABLE1} = V_{ENABLE2} = V_{ENABLE3} = V_{ENABLE4} = 400 \text{ mV}$ ), logo, o circuito possui uma variação da potência consumida de  $\Delta P_{DC} = 2,15 \text{ mW}$ .

Figura 56 – Circuito do deslocador de fase com 5 seções para atingir um deslocamento de fase de  $-360^\circ$ .



Fonte: O autor.

Tabela 15 – Comportamento da fase de acordo com a seleção dos bits do AI em 400 MHz.

$V_{ENABLE}$ (mV)				Deslocamento de fase.
$V_{ENABLE1}$	$V_{ENABLE2}$	$V_{ENABLE3}$	$V_{ENABLE4}$	
0	0	0	400	-265.82
0	0	400	0	-270.82
0	0	400	400	-229.25
0	400	0	0	-276.51
0	400	0	400	-237.53
0	400	400	0	-244.13
0	400	400	400	-209.67
400	0	0	0	-279.94
400	0	0	400	-244.26
400	0	400	0	-250.96
400	0	400	400	-212.94
400	400	0	0	-259.58
400	400	0	400	-218.21
400	400	400	0	-222.91
400	400	400	400	-202.02

#### 5.4 SÍNTESE DO CAPÍTULO

O capítulo apresentou o projeto de um deslocador de fase em rede T-diferencial utilizando um indutor ativo de baixa potência com o intuito de possibilitar a variação da fase de saída do circuito a partir da variação de indutância gerada pelo AI através da estratégia também adotada neste capítulo.

A estratégia de variação de indutância através dos *bits* de seleção possibilitou um  $\Delta L$  igual a 164,87 nH, isto possibilitou uma variação da fase de  $S_{12}$  de  $-77,91^\circ$  em  $f_0 = 400$  MHz com uma potência dissipada entre 1,50 mW e 3,65 mW de acordo com a indutância requerida para a fase de saída do PS.

## 6 CONSIDERAÇÕES FINAIS

Neste trabalho foi desenvolvido o projeto de um indutor ativo de baixa potência para circuitos deslocadores de fase integrados em sub-GHz no processo CMOS de 65 nm. Foram implementadas duas versões do circuito do indutor ativo, a primeira para fins de análise e validação do funcionamento do circuito e a segunda versão conta com o projeto do circuito do AI de baixa potência e também com uma largura de banda indutiva maior. A partir da implementação do AI, foi implementado um deslocador de fase baseado em redes T-diferencial LC operando em 400 MHz.

Tanto a versão 1 quanto a versão 2 do AI atingiram um fator de qualidade maior, se comparado com os fatores de qualidade máximos atingidos por indutores planares.

A primeira versão do AI foi projetada com  $V_{DD} = 1,2$  V e possui entrada simples, o circuito consegue gerar valores de indutâncias entre 5 nH e 12,67 nH para um fator de qualidade igual a 14,44, consumindo uma potência de 1,3 mW.

A versão 2 do indutor ativo possui entradas diferenciais (ou balanceadas), e, para isso, foi utilizada a topologia de OTA baseado em inversores, isto, possibilitou também a redução de  $V_{DD}$  para 0,4 V, cumprindo com a especificação de baixa potência. Para a estabilização da tensão DC de saída do OTA foram projetados circuitos de CMFB, baseados em um amplificador de erro e uma réplica do próprio OTA. Assim, o AI atingiu um fator de qualidade aproximadamente cinco vezes maior que a versão 1, sendo,  $Q = 215,06$ . A largura de banda indutiva também sofreu um aumento em relação à versão 1, sendo possível gerar indutâncias entre 61,70 nH e 73,40 nH na faixa de frequência de 100 MHz a 500 MHz para uma potência consumida total de 300,56  $\mu$ W.

Utilizando a estratégia de variação de indutância a partir do projeto de réplicas do OTA 1 com diferentes múltiplos dos transistores ( $M = 10$ ,  $M = 13$ ,  $M = 17$  e  $M = 200$ ), e com 4 *bits* de seleção, foi possível obter um  $\Delta L = 164,87$  nH entre as 15 combinações possíveis na frequência de projeto  $f_0 = 400$  MHz, logo, a partir desta abordagem, foi possível implementar o deslocador de fase baseado em um indutor ativo programável, tendo em vista, que a partir dos *bits* de seleção, é possível obter diferentes indutâncias, o que cumpriu a proposta inicial do projeto.

O circuito do deslocador de fase baseado em uma rede T-diferencial atingiu

uma variação do deslocamento de fase de  $S_{12}$  (relação de transmissão entre a porta 1 e a porta 2) de  $-77,91^\circ$ , sendo o maior deslocamento de fase de  $-265,82^\circ$  para apenas o OTA 1 com  $M = 20$  em operação, e  $-202,02^\circ$  para OTA 1 com os quatro OTAs 1 em operação ( $V_1 = V_2 = V_3 = V_4 = 400$  mV). A perda de inserção IL máxima obtida pelo PS foi de 11,89 dB, com um  $\Delta IL = 5,07$  dB em  $f_0 = 400$  MHz, isto para apenas uma seção do PS.

Logo, para atingir uma defasagem de  $-360^\circ$  são necessárias 5 seções do PS conectadas em cascata, logo, para obter um  $\Delta\phi$  de  $-360^\circ$  de acordo com a indutância gerada pelo AI, é necessário um consumo de potência mínima de 1,50 mW e máximo de 3,65 mW. Isto ocorre, pois dependendo da disponibilidade e flexibilidade de projeto, os capacitores do circuito podem ter capacitância pequenas, resultando em uma indutância requerida pelo AI consideravelmente grande.

Assim, o circuito do AI projetado atingiu as especificações de projeto definidas no início deste trabalho, e também o circuito deslocador de fase obteve um bom desempenho.

Ao longo do desenvolvimento deste trabalho foram submetidos os seguintes trabalhos a eventos científicos, sendo que com exceção do último que está em fase de avaliação, os demais foram publicados:

- Raul deOliveira, Tailize Cordeiro de-Oliveira, Alessandro Girardi, Paulo César Comassetto o de Aguirre e Lucas Compassi-Severo. “A 915 MHz Active Inductor-Based Band-pass Filter for sub-GHz RF Receivers”. 23º Fórum de Estudantes de Microeletrônica SFORUM (2023).
- Raul deOliveira, Tailize Cordeiro de-Oliveira, Alessandro Girardi, Paulo César Comassetto o de Aguirre e Lucas Compassi-Severo. “A CMOS 65nm UHF Bandpass Filter Employing Active Inductor for Small-Satellites”. XLI Simpósio Brasileiro de Telecomunicações e Processamento de Sinais (2023).
- Raul deOliveira e Lucas Compassi-Severo. “Projeto de Indutor Ativo para Aplicações em Receptores de Radiofrequência”. Anais do 15º Salão Internacional de Ensino, Pesquisa e Extensão (2023).
- Raul deOliveira e Lucas Compassi-Severo. “A 0.4-V CMOS 65-nm Programmable -Phase Shifter using Active Inductor for sub-GHz Applications”. 21º

Simpósio Brasileiro de Micro-Ondas e Optoeletrônica (2024).

Como apresentado no fluxograma de projeto da Fig. 3, do capítulo 1, o projeto e implementação do circuito demanda alta complexidade de projeto e muitos passos para obter ótimos resultados, assim, são apresentados os trabalhos futuros os seguintes trabalhos sugeridos: para fins de reduzir a potência consumida do AI, pretende-se implementar a estratégia de variação de indutância utilizando o mesmo circuito de CMFB para todos os OTAs 1 apresentados no capítulo 5, estudar e implementar técnicas de calibração e ajuste de corrente e de polarização ativa dos OTAs, realizar o leiaute do circuito completo (incluindo os OTAs programáveis e o deslocadores de fase) e por fim, a fabricação do circuito.

## REFERÊNCIAS

- ABDALLA, M.; ELEFTHERIADES, G.; PHANG, K. A differential 0.13m CMOS active inductor for high-frequency phase shifters. In: . [S.l.: s.n.], 2006. Citado na página 74.
- ALLEN, P. E.; HOLBERG, D. R. *CMOS analog circuit design*. [S.l.]: Elsevier, 2012. Citado na página 33.
- BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation, Second Edition*. [S.l.]: Wiley-IEEE Press, 2004. ISBN 047170055X. Citado na página 32.
- CEOLIN, G. P. Projeto de um lna de ultra-baixa tensão com baixa sensibilidade a variações de processo para receptores RF de baixa potência. Universidade Federal do Pampa, 2022. Citado 2 vezes nas páginas 20 e 57.
- COLOMBO, D. M.; WIRTH, G. I.; FAYOMI, C. Design methodology using inversion coefficient for low-voltage low-power CMOS voltage reference. In: *Proceedings of the 23rd symposium on integrated circuits and system design*. [S.l.: s.n.], 2010. p. 43–48. Citado na página 34.
- COMPASSI-SEVERO, L.; NOIJE, W. V. A 0.4-v 10.9-  $\mu$  w/Pole Third-Order Complex BPF for Low Energy RF Receivers. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 66, 2019. Citado 2 vezes nas páginas 37 e 54.
- ELLINGER, F. *Radio frequency integrated circuits and technologies*. [S.l.]: Springer Science & Business Media, 2008. Citado na página 39.
- GIRARDI, A.; SEVERO, L.; AGUIRRE, P. de. Design Techniques for Ultra-Low Voltage Analog Circuits Using CMOS Characteristic Curves: a practical tutorial. *Journal of Integrated Circuits and Systems*, v. 17, 2022. Citado 3 vezes nas páginas 34, 35 e 36.
- HUANG, P.-S.; LU, H.-C. Broadband Differential Phase-Shifter Design Using Bridged T-Type Bandpass Network. *IEEE Transactions on Microwave Theory and Techniques*, v. 62, n. 7, p. 1470–1479, 2014. Citado na página 40.
- KOUL, S. K.; DEY, S. *Radio frequency micromachined switches, switching networks, and phase shifters*. [S.l.]: CRC Press, 2019. Citado na página 20.
- KRISHNAMURTHY, S. V.; EL-SANKARY, K.; EL-MASRY, E. Noise-cancelling CMOS active inductor and its application in RF band-pass filter design. *International Journal of Microwave Science and Technology*, Hindawi, v. 2010, 2010. Citado na página 19.

MANJULA, J.; SUBRAMANI, M. Design of low power low noise tunable active inductors for multiband RF front end communication circuits. In: . [S.l.: s.n.], 2013. p. 868–872. ISBN 978-1-4673-4865-2. Citado na página 74.

MOHAN, S. et al. Simple accurate expressions for planar spiral inductances. *IEEE Journal of Solid-State Circuits*, v. 34, n. 10, p. 1419–1424, 1999. Citado na página 27.

MURTHY, S. V. K.; EL-SANKARY, K.; EL-MASRY, E. Noise-Cancelling CMOS Active Inductor and Its Application in RF BandPass Filter Design. *International Journal of Microwave Science and Technology*, v. 2010, p. 1–9, 01 2010. Citado na página 74.

PIMENTA, T.; MORENO, R.; ZOCCAL, L. Current Trends and Challenges in RFID. In: \_\_\_\_\_. [S.l.: s.n.], 2011. cap. RF CMOS Background. ISBN 978-953-307-356-9. Citado 2 vezes nas páginas 33 e 35.

POZAR, D. *Microwave Engineering, 4th Edition*. [S.l.]: Wiley, 2011. ISBN 9781118213636. Citado 2 vezes nas páginas 40 e 41.

RAZAVI, B. *Design of analog CMOS integrated circuits*. [S.l.]: McGraw-Hill Education, 2017. Citado na página 36.

ROBERT, B.; LOUIS, N. *Dispositivos Eletrônicos e Teoria de Circuitos*. [S.l.]: LTC, 1998. Citado 2 vezes nas páginas 38 e 39.

SABERKARI, A. et al. Active inductor-based tunable impedance matching network for RF power amplifier application. *Integration, the VLSI Journal*, v. 52, 08 2015. Citado 2 vezes nas páginas 28 e 74.

SEVERO, L. C.; NOIJE, W. A. M. V. *Ultra-low Voltage Low Power Active-RC Filters and Amplifiers for Low Energy RF Receivers*. [S.l.]: Springer Nature, 2021. Citado na página 61.

SILVA, R. G. *Simulação e projeto de indutores integrados em tecnologia CMOS para circuitos de radiofrequência*. Dissertação (Mestrado) — Universidade Federal do Paraná, 2017. Citado na página 25.

SURESH, D. R. *Design of CMOS Active Inductors and their use in tuned narrowband and wideband-extension Low Noise Amplifier*. Dissertação (B.S. thesis) — Universitat Politècnica de Catalunya, 2014. Citado na página 20.

UYANIK, H.; TARIM, N. Compact low voltage high-Q CMOS active inductor suitable for RF applications. *Analog Integrated Circuits and Signal Processing*, v. 51, p. 191–194, 01 2007. Citado na página 74.

XIAO, H.; SCHAUMANN, R. A 5.4-GHz high-Q tunable active-inductor bandpass filter in standard digital CMOS technology. *Analog integrated circuits and signal processing*, Springer, v. 51, p. 1–9, 2007. Citado na página 19.

YODPRASIT, U.; NGARMNIL, J. Q-enhancing technique for RF CMOS active inductor. In: *2000 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.: s.n.], 2000. v. 5, p. 589–592 vol.5. Citado na página 31.

YUAN, F. CMOS active inductors and transformers. In: *Principle, implementation, and applications*. [S.l.]: Springer, 2008. Citado 2 vezes nas páginas 30 e 42.

ZENG, J. et al. An 8–18 GHz 90° Switched T-Type Phase Shifter. *Micromachines*, v. 14, n. 8, 2023. ISSN 2072-666X. Disponível em: <<https://www.mdpi.com/2072-666X/14/8/1569>>. Citado na página 39.