

UNIVERSIDADE FEDERAL DO PAMPA

MARTINA CORRÊA RODRIGUES

**PROJETO DE UM ADC SAR
ASSÍNCRONO DE 10 BITS COM
CHAVEAMENTO MONOTÔNICO EM
TECNOLOGIA CMOS DE 180 NM PARA
APLICAÇÕES BIOMÉDICAS**

**Alegrete
2022**

MARTINA CORRÊA RODRIGUES

**PROJETO DE UM ADC SAR
ASSÍNCRONO DE 10 BITS COM
CHAVEAMENTO MONOTÔNICO EM
TECNOLOGIA CMOS DE 180 NM PARA
APLICAÇÕES BIOMÉDICAS**

Trabalho de Conclusão de Curso apresentado ao curso de Bacharelado em Engenharia Elétrica como requisito parcial para a obtenção do grau de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Paulo César Comassetto de Aguirre

**Alegrete
2022**

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

R696p Rodrigues, Martina Corrêa

Projeto de um ADC SAR assíncrono de 10 bits com chaveamento
monotônico em tecnologia CMOS de 180 nm para aplicações
biomédicas / Martina Corrêa Rodrigues.

80 p.

Trabalho de Conclusão de Curso(Graduação)-- Universidade
Federal do Pampa, ENGENHARIA ELÉTRICA, 2022.

"Orientação: Paulo César Comassetto de Aguirre".

1. Projeto de Conversores Analógico-Digitais. 2.
Registrador de Aproximações Sucessivas. 3. Baixa tensão. 4.
Circuitos integrados. 5. Projeto analógico. I. Título.

MARTINA CORRÊA RODRIGUES

Projeto de um ADC SAR assíncrono de 10 bits com chaveamento monotônico em tecnologia CMOS de 180 nm para aplicações biomédicas

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica.

Trabalho de Conclusão de Curso defendido e aprovado em: 05 de agosto de 2022.

Banca examinadora:

Prof. Dr. Paulo César Comassetto de Aguirre
Orientador
UNIPAMPA

Prof. Dr. Lucas Compassi Severo
UNIPAMPA

Prof. Dr. Alessandro Gonçalves Girardi
UNIPAMPA



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 17/08/2022, às 15:29, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.

Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 17/08/2022, às 15:31, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **LUCAS COMPASSI SEVERO, PROFESSOR DO MAGISTERIO SUPERIOR**, em 18/08/2022, às 07:45, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **0877921** e o código CRC **DB796CB4**.

Universidade Federal do Pampa, Campus Alegrete
Av. Tiarajú, 810 – Bairro: Ibirapuitã – Alegrete – RS CEP: 97.546-550
Telefone: (55) 3422-8400

Dedico este trabalho aos meus pais, Helenize e José Amadeu, e ao meu irmão Diogo.

AGRADECIMENTO

Em primeiro lugar gostaria de agradecer aos meus pais, Helenize e Amadeu, pela motivação, pelo amor e por me ensinarem que o melhor caminho se dá através dos estudos. Aos meus familiares, em especial a Vera Lúcia Palma, pelos ensinamentos sobre disciplina, respeito e perseverança, não só no esporte mas também na vida que contribuíram muito nesta jornada acadêmica.

Ao Prof. Dr. Paulo César, por me inserir na área de pesquisa por sua paciência e orientação durante toda a pesquisa e a realização deste trabalho, sempre me motivando a atingir melhores resultados, sempre confiando em meu desempenho e sempre me ajudando nos obstáculos que apareciam durante o caminho.

Aos meus colegas, que aos poucos se tornaram amigos durante este período, pela motivação, pelo convívio e pela amizade. E por fim, ao Grupo de Arquitetura de Computadores e Microeletrônica - GAMA e a UNIPAMPA pela estrutura e por possibilitarem que pessoas excelentes fizessem parte da minha vida.

RESUMO

Nos últimos anos é possível observar uma rápida adoção e uso diário de dispositivos eletrônicos vestíveis como relógios e pulseiras inteligentes. Tais dispositivos apresentam sistemas dedicados para o monitoramento de sinais biológicos, como batimentos cardíacos e oxidação do sangue, sendo que alguns destes dispositivos já possuem capacidade de fornecer medidas de sinais de eletrocardiograma (ECG) e pressão arterial. Adicionalmente, estes dispositivos também apresentam conexão sem fio através de protocolos de comunicação Bluetooth ou Wi-Fi. Ambos os sistemas de instrumentação e comunicação modernos requerem a digitalização de sinais analógicos para posterior processamento digital de sinais. Os conversores analógico-ditais (ADCs) são circuitos eletrônicos que efetuam a digitalização de sinais analógicos, e estão presentes em diferentes dispositivos eletrônicos. Este trabalho apresenta o projeto de um ADC do tipo Registrador de Aproximações Sucessivas (SAR) assíncrono de 10 bits e 5 kSPS para aplicações de baixa tensão. O ADC foi projetado em tecnologia CMOS de 180 nm e opera com tensão nominal de 0,5 V. As simulações em nível de esquemático elétrico indicam que o ADC atingiu uma relação sinal ruído e distorção (SNDR) de 61,36 dB, levando a um número efetivo de bits (ENOB) de 9,90 bits. A faixa dinâmica livre de espúrios (SFDR) é de 73,19 dB, e o consumo total de potência do ADC é de 1,43 μ W.

Palavras-chave: Conversor Analógico-Digital (ADC). Registrador de Aproximações Sucessivas. Internet das Coisas. Baixa tensão. Baixa potência. Eficiência de Conversão de Energia. Circuitos integrados. Projeto analógico.

ABSTRACT

In recent years, it is possible to observe a quickly adoption and daily use of wearable electronic devices such as watches and smart bracelets. Such devices have dedicated systems for monitoring biological signals, such as heartbeat and blood oxidation, and some of these devices already have the ability to provide measurements of electrocardiogram (ECG) and blood pressure signals. Additionally, these devices also feature wireless connection via Bluetooth or Wi-Fi communication protocols. Both modern instrumentation and communication systems require the digitization of analog signals for further digital signal processing. Analog-to-digital converters (ADCs) are electronic circuits that digitize analog signals, and are present in different electronic devices. This work presents the design of a Successive Approximation Register (SAR) ADC for low voltage applications with 10 bits and 5 kSPS asynchronous. The ADC is designed in 180 nm CMOS technology and operates at a nominal voltage of 0.5 V. The electrical schematic level simulations indicate that the ADC reached a signal-to-noise-to-distortion (SNDR) ratio of 61.36 dB, leading to an effective number of bits (ENOB) of 9.90 bits. The spurious-free dynamic range (SFDR) is 73.19 dB, and the total power consumption of the ADC is 1.43 μ W.

Keywords: Analog-to-Digital Converter, Successive Approximation Register, Low Voltage, Low Power, Integrated Circuits, Analog Design.

LISTA DE FIGURAS

1	INL do ADC	20
2	DNL do ADC.....	20
3	Sinal Original Analógico	24
4	Sinal Original Analógico com Poucas Amostras por Período.....	24
5	Domínio da Frequência em conversores do tipo Nyquist VS conversores do tipo sobreamostrados	25
6	Arquitetura básica dos ADCs do tipo Nyquist	25
7	Arquitetura básica dos ADCs Sobreamostrados.....	26
8	Arquitetura básica do ADC SAR.....	27
9	Figura de Mérito dos ADC SAR (2000 - 2021)	31
10	Frequência de Amostragem dos ADCs, Aplicações e Resolução	33
11	Arquitetura básica de um ADC SAR de 10 bits	36
12	Algoritmo ADC Proposto.....	38
13	Forma de Onda do Processo de Comutação Convencional	39
14	Forma de Onda do Processo de Comutação Monotônico.....	39
15	Procedimento de Comutação a ser utilizado.....	41
16	DAC <i>Current-steering</i> genérico usando pesos binários.....	42
17	Estrutura do Capacitor MIM.....	45
18	Rede de capacitores do ADC SAR assíncrono projetado.....	45
19	Esquemático para a simulação de Monte Carlo.....	47
20	Simulação de Monte Carlo do Capacitor Mínimo.....	48
21	Comparador dinâmico empregado.....	52
22	Tensão de <i>Offset</i> na descida.....	52
23	Tensão de <i>Offset</i> na subida	53
24	Circuito simples de amostragem.....	54
25	Topologia da Chave <i>Bootstrap</i> empregada.....	55
26	$V_{GS_{MS}}$ e sinal de <i>clock</i> da chave.....	56
27	V_G , V_{in} e BS_{out} da chave.....	57
28	Curvas C_{DAC} e Resistência em função do tempo	58
29	Variação da Resistência da Chave	58
30	Sinal de <i>clock</i>	59
31	<i>Flip-Flop</i> do tipo D com Set e Reset.....	61
32	<i>Flip-Flop</i> do tipo D com Set e Reset e Transmission Gates.....	61
33	Esquemático elétrico simplificado completo do ADC SAR projetado.....	62
34	Controle Lógico do DAC.....	63
35	Controle Lógico de Controle do DAC para o bit-01.....	64
36	FFT do sinal de Saída (V_{out}) com chaves ideais	66
37	Tensão de entrada ($V_{in} = V_{INDIF}$) e Tensão de Saída do ADC (V_{out})	66
38	Sinais de Entrada Amostrados	67
39	Valores de Entrada Diferenciais.....	68
40	Sinal de Clock, saída do comparador e sinal VALID de controle	68
41	Sinais de Controle do DAC.....	69
42	Representação da Saída Digital Real e Saída Digital Ideal	70
43	Representação da Saída Digital Real e da Saída Digital Ideal	71
44	INL do ADC SAR	71
45	DNL do ADC SAR.....	72

46	Transformada Rápida de Fourier (FFT) do sinal de Saída (V_{out}) com chaves <i>Bootstrapped</i>	72
47	Resultado Encontrado comparado a FoM de Boris Murmann	75

LISTA DE TABELAS

1	Comparação do Estado da Arte dos ADCs SAR - 2008-2020	29
2	Especificações de Projeto do ADC SAR	35
3	Valor dos Capacitores para um INL = 0,5 LSB	49
4	Valor dos Capacitores utilizados.....	50
5	Dimensionamento dos transistores do comparador	53
6	Dimensionamento dos Transistores da <i>Bootstrapped Switch</i>	57
7	Sumário das Especificações do ADC obtidas a partir de simulações em nível de esquemático elétrico.....	73
8	Comparação de desempenho com trabalhos semelhantes	74

LISTA DE ABREVIATURAS E SIGLAS

$\Sigma\Delta$	Sigma-Delta
AD	Analógico-Digital
ADC	Conversor Analógico-Digital
BLE	Bluetooth Low-Energy
BW	<i>BandWidth</i>
CI	Circuito Integrado
CMOS	Complementary metal-oxide-semiconductor
DAC	Conversor Digital-Analógico
DNL	Não Linearidade Diferencial
DSP	Processamento de Sinal Digital
ECG	Eletrocardiograma
EEC	Eletroencefalografia
ENOB	Número Efetivo de Bits
FFT	Transformada Rápida de Fourier
FoM	Figura de Mérito
INL	Não Linearidade Integral
IoT	Internet das Coisas
LSB	Bit Menos Significativo
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MSB	Bit Mais Significativo
N	Número de Bits
NC	Número de Ciclos
NR	Taxa de Nyquist
RF	Radiofrequência

S/H	Sample-and-Hold
SAR	Registrador de Aproximação Sucessivas
SNDR	Signal-to-Noise and Distortion
SNR	Signal-to-Noise-Ratio
SoCs	Sistemas em Chip
THD	Distorção Harmônica Total

SUMÁRIO

1 Introdução	15
1.1 Objetivos.....	17
1.1.1 Objetivo Geral.....	17
1.1.2 Objetivos Específicos.....	17
1.2 Organização.....	18
2 Conversores Analógico-Digitais	19
2.1 Teoria da Amostragem.....	22
2.2 ADCs do tipo Nyquist vs ADCs Sobreamostrados.....	24
2.3 ADC do tipo Registrador de Aproximações Sucessivas (SAR).....	26
3 Projeto do ADC SAR Assíncrono de 10 Bits	34
3.1 Conceitos Básicos de Projeto.....	34
3.2 Princípio de Funcionamento.....	35
3.2.1 ADC SAR com redistribuição de carga.....	35
3.2.1.1 Erro de <i>Mismatch</i> relacionado aos DACs Current-Steering	42
3.2.1.2 Definição do Capacitor Unitário e Problemas de Precisão Relacionados à redistribuição de carga no ADC SAR.....	44
3.2.1.3 Simulação da Constante de Variação e Análise Estatística	47
3.2.2 Comparador Dinâmico.....	50
3.2.3 Interruptor de Bootstrap - <i>Bootstrapped Switch</i>	53
3.2.4 Circuitos de controle e lógica SAR.....	59
3.2.4.1 <i>Flip-flop</i> do tipo D com <i>SET</i> e <i>RESET</i>	60
3.2.5 Registradores SAR - Controle Lógico.....	60
4 Resultados de Simulação	65
4.1 Resultados de Simulação com Chaves Ideais.....	65
4.2 Resultados de Simulação com Chaves Reais.....	67
4.3 Discussão e Comparação com Outros Trabalhos.....	73
5 Conclusões	76
5.1 Trabalhos Futuros.....	77
Referências	78

1 INTRODUÇÃO

O transistor MOSFET, do inglês *Metal Oxide Semiconductor Field Effect Transistor* é um dos principais dispositivos nos circuitos integrados atuais. O MOSFET foi inventado por K. Dawon e J. Atalla em 1959 e seu princípio de funcionamento foi proposto pela primeira vez em 1925 por J. E. Lilienfeld. Já J. Kilby desenvolveu o primeiro circuito integrado (CI) em 1958, mas o processo de fabricação de transistores ainda não estava pronto para produzir dispositivos confiáveis (PELGROM, 2013). Houve um salto quando F. Faggin desenvolveu a tecnologia de *self-align gate*, permitindo a produção de MOSFETs confiáveis. Essa conquista pavimentou o caminho para o desenvolvimento de microprocessadores nas décadas de setenta e oitenta.

Nos últimos vinte anos, o desempenho obtido reduzindo-se as dimensões do transistor tem possibilitado o aumento da capacidade de processamento devido a possibilidade de integração de mais transistores em uma mesma área de silício. Por um lado, os circuitos digitais se beneficiam da redução do tamanho dos transistores e das tensões de alimentação, em termos de área, velocidade e dissipação de energia. Por outro lado, os efeitos de canal curto e a baixa tensão de alimentação tornam o projeto de circuitos analógicos mais desafiador. É preciso encontrar um equilíbrio e dar prioridade às características que fazem mais sentido em cada tipo de aplicação e circuito projetado.

A flexibilidade, o desenvolvimento de procedimentos de projeto e a possibilidade de se desenvolver operações de elevada complexidade são características da eletrônica digital não compartilhadas por circuitos analógicos. Conseqüentemente, os projetistas de circuitos transferiram o máximo de funcionalidade possível para o domínio digital. Além disso, há também a necessidade de mudar o domínio dos sinais analógicos para o domínio digital e vice-versa.

Atualmente, grande parte do processamento de sinais é efetuado no domínio digital. Os computadores, entretanto, não costumam ser os elementos críticos para o processamento de sinais existentes, e sim a cadeia de instrumentação eletrônica responsável pelo condicionamento e digitalização dos sinais analógicos presentes no mundo real.

São dispositivos de instrumentação que monitoram e medem variáveis físicas, como sensores e transdutores. Os parâmetros sob investigação são conhecidos como mensurandos. Os elementos primários de instrumentos são sensores e transdutores. Uma vez que os sensores geram sinais em resposta às variáveis físicas, o tipo de processamento de sinal envolvido depende da informação necessária. As saídas dos sensores são pro-

cessadas inicialmente na forma analógica e depois convertida em representações digitais. Os sistemas de instrumentação são projetados levando-se em consideração os seguintes fatores: especificações do usuário, especificações funcionais do projeto, determinação de pontos de ajuste e definição de limites para variáveis e sinais que representam as variáveis, entre outros.

A conexão de inúmeros dispositivos à redes públicas ou privadas para compartilhamento de informações é intrínseca ao conceito de Internet das Coisas (IoT), e isto é obtido com o auxílio de circuitos integrados.

Os circuitos integrados estão presentes em quase todos os dispositivos eletrônicos com os quais interagimos no dia a dia. Um dos fatores que contribuiu para a difusão dos CIs em nossas vidas diárias é a melhoria de sua fabricação, tamanho e processo. Porém, a necessidade de carregar as baterias dos dispositivos eletrônicos frequentemente acaba sendo inconveniente para seus usuários. Por este motivo, a maioria dos projetos de dispositivos e circuitos eletrônicos atuais visa a redução do consumo de energia, como é observado nos ADCs apresentados em (LIU et al., 2010) e (ZHU; LIANG, 2015).

As técnicas que utilizam processamento digital de sinais vêm ganhando espaço em diversas aplicações, como: processamento de voz, áudio, imagem e vídeo, comunicações, meteorologia, sistemas embarcados, instrumentação, navegação aeroespacial, etc. No âmbito de processamento de sinais biomédicos também é possível observar o grande avanço tecnológico resultante com os equipamentos digitais. Exemplos disso são os modernos eletrocardiógrafos digitais, os equipamentos de tomografia computadorizada e os scanners de ressonância magnética.

Durante a pandemia da COVID-19, inclusive, o uso de IoT na medicina evoluiu para monitorar pacientes com menor necessidade de contato físico. Adicionalmente, foi possível auxiliar no controle de fluxo de pessoas em estabelecimentos físicos durante e após as medidas de isolamento. De acordo com (Gartner, 2022), das 47% das empresas que participaram do levantamento, dos mais diversos setores, planejam aumentar os investimentos em internet das coisas, deste modo aumentando ainda mais a necessidade da conversão de sinais analógicos para o meio digital e vice versa. A adoção de sistemas de IoT na medicina também ganhou outros importantes aliados: os dispositivos vestíveis, chamados de *wearables* que vão desde os mais comuns como relógios e pulseiras inteligentes, até equipamentos mais específicos do vestuário. Seja qual for o modelo, eles acompanham a saúde do usuário, monitorando frequência cardíaca, níveis de estresse e até o volume de oxigênio no sangue.

Os circuitos que executam a função de converter sinais são chamados de conversores de dados. Os conversores de dados podem ser divididos em dois tipos: conversores digital-analógico (DACs) e conversores analógico-digitais (ADCs). O primeiro utiliza uma palavra digital em sua entrada, convertendo-a em um sinal analógico, enquanto o último realiza a operação oposta. Uma vez que os sinais são convertidos em sinais digitais, a precisão das grandezas convertidas fica limitada às características ou especificações desses conversores. Existem cinco tipos principais de ADCs, (MALOBERTI, 2007): Sigma-Delta ($\Delta\Sigma$), Dupla Rampa, Flash, Registrador de Aproximação Sucessivas (SAR) e Pipeline.

Cada um desses ADCs possuem características próprias que melhor se adequam à aplicação escolhida. Para analisar e escolher o ADC ideal é preciso observar, principalmente, a taxa de amostragem onde observa-se quão rápido um ADC pode converter um sinal analógico em digital e também a sua resolução, pois quanto maior a resolução menor é o erro de conversão.

Este trabalho apresenta o projeto completo de um conversor analógico-digital do tipo SAR assíncrono de 10 bits com chaveamento monotônico e capacidade de operação em baixa tensão para aplicações biomédicas.

1.1 Objetivos

1.1.1 Objetivo Geral

Desenvolver o projeto de um ADC SAR assíncrono com resolução de 10 bits para aplicações biomédicas com frequência de amostragem na faixa de 5 kSPS e capacidade de operação em baixa tensão.

1.1.2 Objetivos Específicos

- Projetar um comparador de baixo consumo e baixa tensão de offset.
- Operar o circuito com tensão de alimentação de 0,5 V.
- Projetar o circuito com uma Figura de Mérito (FoM) competitiva.

1.2 Organização

O presente trabalho está organizado da seguinte forma:

- Capítulo 2: Conceitos relacionados aos conversores analógico-digitais serão abordados neste capítulo, assim como os conceitos básicos de um ADC com Registrador de Aproximação Sucessiva (SAR) e o estado da arte.
- Capítulo 3: Neste capítulo apresenta-se o projeto completo do ADC SAR.
- Capítulo 4: Resultados de simulação do ADC SAR projetado e comparação com outros trabalhos da literatura.
- Capítulo 5: A conclusão do projeto e trabalhos futuros.

2 CONVERSORES ANALÓGICO-DIGITAIS

Como disposto em (MALOBERTI, 2007), a transformação de sinais é inerentemente não-linear e a conversão de dados afeta o espectro do sinal, sendo possível, em alguns casos, modificar o conteúdo da informação. As implicações teóricas da conversão de sinais, e o conhecimento das ferramentas matemáticas utilizadas são usados para análise e caracterização de ADCs.

O objetivo de um conversor analógico-digital é transformar sinais analógicos para o domínio discreto, assim, inicialmente o sinal é amostrado a uma determinada taxa, nomeada taxa de amostragem, f_s , então é quantizado, tornando-se discreto em amplitude. Em seguida, a codificação é realizada com um certo número de bits N – resolução. Para entender a caracterização dos ADCs é necessária a definição de alguns conceitos e parâmetros usados para avaliar seu desempenho, seu comportamento estático e dinâmico.

A caracterização de um ADC quanto ao seu desempenho estático é dada pelos parâmetros que caracterizam o desvio da função de transferência real do ADC ideal. O ADC vai distinguir até 2^N regiões de tensão de entrada, logo, o alcance da sua saída será até $2^N - 1$. A faixa de entrada de um ADC (valor de *full scale*) é definida como a maior tensão que pode ser digitalizada, tanto na direção positiva quanto na negativa. Para obter a tensão de *full scale* de entrada do ADC, V_{fs} , usa-se a equação 1.

$$V_{fs} = V_{max} - V_{min} \quad (1)$$

Para o processo de quantização é necessário definir corretamente os níveis de transição de código. A diferença entre dois níveis de transição de código é, idealmente, o menor valor que o ADC consegue converter. Essa diferença entre dois níveis de código é chamada de passo de quantização, ou *quantization step* - Δ , e é definido como :

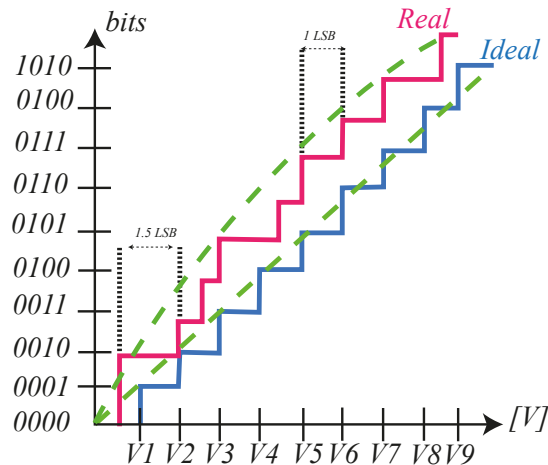
$$\Delta = \frac{V_{fs}}{2^N} = V_{LSB} \quad (2)$$

Informações acabam se perdendo durante o processo de conversão formando o erro de quantização ou ruído de quantização, semelhante a uma onda dente de serra, com amplitude pico a pico de um nível de quantização e distribuição uniforme.

Erros de linearidade também afetam a performance de ADCs. Existem dois erros que se destacam: a não linearidade integral (*Integral Nonlinearity* - INL) e a não linearidade diferencial (*Differential Nonlinearity* - DNL).

O erro de INL pode ser calculado pela diferença entre a função de transferência de um ADC real e a função de transferência de um ADC ideal, como representado na Figura 1. O INL define a linearidade da função de transferência geral do ADC.

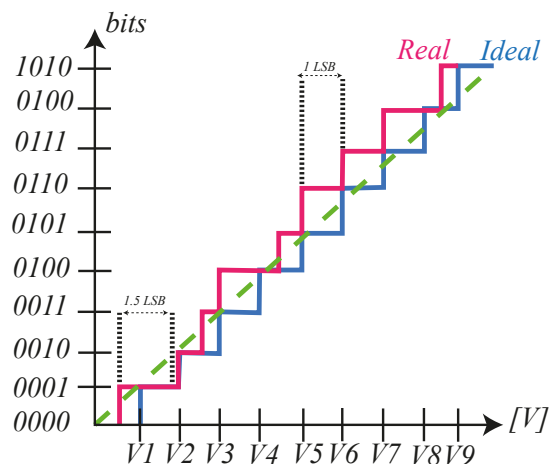
Figura 1 – INL do ADC



Fonte: Autor

A diferença entre os valores ideais e não ideais é conhecida como não linearidade diferencial, DNL. Componentes não ideais fazem com que os incrementos analógicos sejam diferentes dos valores ideais. O DNL mede a diferença entre as larguras de código, Δ , para cada nível de transição, sendo zero quando essas transições são igualmente espaçadas, como exibido na Figura 2, e assim cada largura de código é igual ao passo de quantização, segundo (RAZAVI, 1995) o DNL pode ser expresso pela equação 3. Já o INL medirá o desvio entre o valor real e o valor ideal da função de transferência e é expresso na equação 4.

Figura 2 – DNL do ADC



Fonte: Autor

$$DNL_{[n]} = \frac{V_{T[n+1]} - V_{T[n]}}{\Delta} - 1 \quad (3)$$

$$INL_{[n]} = \frac{V_{T[n]} - V_{\Delta}}{\Delta} - (n - 1) \quad (4)$$

onde $n = 1, \dots, (2^n - 1)$.

Além destes erros de não linearidade, um ADC pode ser classificado quanto à sua monotonicidade, termo que vem da matemática. Monotonicidade em um ADC significa que um aumento da amplitude do sinal de entrada irá gerar um aumento igual ou maior que zero no código de saída (PELGROM, 2013). Para garantir resposta monotônica, o erro DNL deve ser $DNL \leq 1LSB$ (de acordo com a equação 3).

A função de transferência, ou curva característica, de um ADC é um gráfico que apresenta o código de saída digital esperado do ADC de acordo com seu sinal de entrada analógica. A não linearidade de um circuito produz a ocorrência de componentes espectrais em múltiplas frequências do sinal de entrada, medida pela Distorção Harmônica Total (*Total Harmonic Distortion* - THD). Esta medida relaciona a potência do conteúdo harmônico na saída digital do conversor ($P_{i,f1}$) com a potência na frequência fundamental (P_{f1}). A THD de um ADC é expressa na equação 5

$$THD(dB) = 10 \log_{10} \sum_{i=2}^{k+1} \frac{P_{i,f1}}{P_{f1}} \quad (5)$$

onde k é o número de harmônicas levadas em consideração.

Outra métrica de performance de um ADC é a relação sinal-ruído (*Signal-to-noise ratio* - SNR). O SNR é calculado pela razão entre a potência do sinal, P_{sinal} , e a potência do ruído, $P_{ruído}$, sendo expresso pela equação 6.

$$SNR(dB) = \frac{P_{sinal}}{P_{ruído}} \quad (6)$$

Seguindo (PELGROM, 2013), cálculos como esse são usados para medir o desempenho dinâmico do conversor, baseados em parâmetros usuais obtidos através da Transformada Rápida de Fourier (*Fast Fourier Transform* - FFT) na saída do conversor. Quando é considerado somente o erro de quantização do ADC, podemos obter o valor máximo do SNR de um ADC ideal através da equação 7

$$SNR_{max}(dB) = 1.76 + 6.02 \times N \quad (7)$$

onde N é a resolução do ADC.

Porém, o parâmetro que permite uma fácil avaliação da real performance do conversor é o número efetivo de bits (*Effective Number of Bits* - ENOB), expresso por

$$ENOB(bits) = \frac{SNDR - 1.76}{6.02} \quad (8)$$

onde (*Signal-to-Noise-and-Distortion Ratio* - SNDR) é a relação sinal ruído e distorção, que pode ser calculada através da equação 9.

$$SNDR(dB) = -10 \log_{10} \left(10^{\frac{-SNR}{10}} + 10^{\frac{THD}{10}} \right) \quad (9)$$

Embora o processamento de sinais possa ser realizado por circuitos eletrônicos analógicos, em muitas situações complexas o processamento analógico não possui a funcionalidade necessária. O processamento digital de sinais (*Digital Signal Processing* - DSP) preenche essa lacuna. Vantagens importantes do processamento digital sobre o processamento analógico é o armazenamento de sinais digitalizados, relação sinal-ruído ilimitada, a opção de realizar cálculos complexos e a possibilidade de adaptar o algoritmo do cálculo às mudanças de circunstâncias (PELGROM, 2013).

Para se beneficiar das vantagens do DSP, um sinal analógico deve primeiro ser convertido para um formato digital, tarefa que é realizada por um ADC. O procedimento inverso, ou seja, conversão de domínios digitais para analógicos, é realizado por um conversor digital para analógico (conversor D/A ou DAC). Desde que nosso mundo seja feito de grandezas físicas, que são inerentemente analógicas, a conversão de dados representa um passo essencial para conectar nosso mundo a modernos sistemas eletrônicos e máquinas de computação, que processar e armazenar informações principalmente em formato digital.

2.1 Teoria da Amostragem

A Teoria da Amostragem de Shannon-Nyquist é responsável por um dos resultados mais importantes quando nos referimos à Teoria da Informação. Basicamente, se temos um sinal oscilando em uma frequência f , o quão rápido podemos medi-lo para que seja representado o mais preciso possível. Para (PELGROM, 2013), este processo determina o valor de um sinal em momentos pré-definidos no domínio do tempo, como por exemplo, uma sequência de quadros de um filme, que são, exemplificando, amostras daquele filme.

Harry Nyquist, matemático sueco americano, em 1928 apresentou o que atualmente é considerado o início da Teoria da Amostragem Clássica. Tinha-se essa ideia de quanta informação poderia ser comprimida para mandá-la a uma longa distância e então, poder convertê-la novamente para o sinal inicial conseguindo a resolução mais autêntica permitida (NYQUIST, 1928). Naquela época, já era possível obter muitos conhecimentos nessa área, pois o código morse e o telegráfo, por exemplo, já existiam. Claude Shannon, publicou muitos de seus trabalhos durante a Segunda Guerra Mundial, tanto em encriptação quanto em quebra de códigos. Ele apresentou o conceito de enviar sinais através do oceano Atlântico (SHANNON, 1949). Através destes dois que juntou-se a ideia da Teoria da Amostragem.

A Teoria da Amostragem diz que, uma função que contenha uma frequência até ω , medida em Hertz (Hz), é completamente determinada amostrando essa função a, no mínimo, 2ω . Então, se você tem uma função e quer representá-la perfeitamente e resolver todo o seu "conteúdo de frequência", é necessário amostrar essa função a duas vezes o valor da frequência mais alta do sinal.

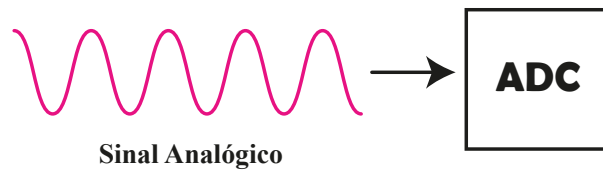
É na hora da conversão do meio analógico para o digital que entra em cena o processo de amostragem. A partir dessa ideia temos a Taxa de Nyquist, que diz que deve-se amostrar o sinal escolhido pelo menos tão rápido quanto Δt , em segundos.

$$\Delta t = \frac{1}{2\omega} \quad (10)$$

O teorema da amostragem é uma técnica eficiente no conceito de comunicação para converter o sinal analógico em forma discreta e digital. Segundo, (PELGROM, 2013), se uma função não contém frequências superiores a largura de banda do sinal, ou em inglês, "*bandwidth (BW)*", ela é completamente determinada dando suas ordenadas em uma série de pontos espaçados $\frac{1}{2} \times BW$ segundos. Por exemplo, com base na equação 10, se você observar uma amostra de áudio, vai perceber que ela é codificada em 44 kHz, isto porque, humanos podem ouvir até, aproximadamente, 20 kHz. Isso é necessário para que todos os picos e vales da frequência sonora sejam capturados, de forma a reproduzir as ondas precisamente no mundo digital.

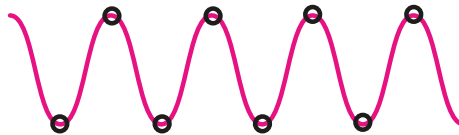
Ao captar menos amostras do que o necessário para realizar uma boa conversão, acontece o processo chamado de *aliasing* que significa a identificação incorreta de uma frequência de sinal, introduzindo distorção ou erro. Ocorre principalmente ao deixar todos os componentes no sinal original e selecionar uma frequência de amostragem baixa. Este erro resultará em um sinal reconstruído não coincidente com o sinal original. Você pode

Figura 3 – Sinal Original Analógico



Fonte: Autor

Figura 4 – Sinal Original Analógico com Poucas Amostras por Período



Fonte: Autor

tentar limitar a quantidade de *aliasing* filtrando as frequências mais altas do sinal. No entanto, frequências de amostragem mais altas requerem conversores de dados mais rápidos e maior capacidade de armazenamento de dados. Conforme a frequência de amostragem diminui, a separação do sinal também diminui. Quando a frequência de amostragem é inferior a taxa de Nyquist (10), as frequências se cruzam e causam *aliasing*.

A frequência de Nyquist, também conhecida pelo termo em inglês, *folding frequency* é a frequência mais alta que pode ser medida usando dados da amostragem discreta. A palavra "*folding*" surgiu porque quaisquer frequências que são mais altas do que a frequência de Nyquist em um sinal contínuo serão alteradas ou dobradas em frequências mais baixas quando o sinal for amostrado discretamente. Para evitar esse problema, o sinal original deve ser filtrado por métodos analógicos ou físicos para remover todas as frequências mais altas do que a frequência de Nyquist antes que o sinal seja amostrado. Uma consequência da amostragem é que a largura de banda máxima do sinal que pode ser tratado no domínio do tempo discreto, é limitado a $BW \leq \frac{f_s}{2}$.

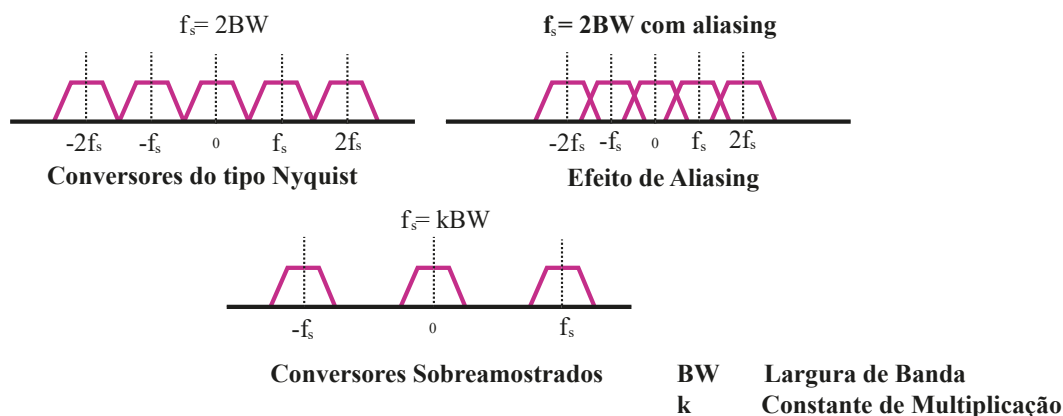
2.2 ADCs do tipo Nyquist vs ADCs Sobreamostrados

Os ADCs podem ser separados em duas categorias, dependendo da taxa de amostragem e de como sua saída é gerada. Podemos visualizar na Figura 5, a ilustração que identifica seu respectivo espectro quando há sobreposição indesejada - *aliasing*. Na Figura 6, a respectiva organização de um ADC do tipo Nyquist é apresentada.

Os conversores do tipo Nyquist, chamados de *Nyquist Rate* (NR), em teoria, podem amostrar sinais com uma largura de banda de até $BW \leq \frac{f_s}{2}$. Porém, na prática, estes

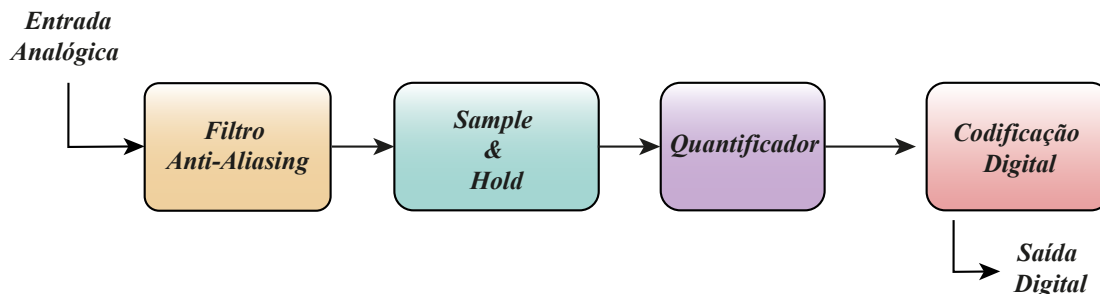
sinais, exigem filtros anti-aliasing, o que leva a uma taxa de amostragem de $f_s \geq 1.5 \times f_n$, onde f_n é a taxa de Nyquist. Estes ADCs geram uma série de valores de saída digital com correspondência direta a um único sinal de entrada. Da mesma forma, um NR DAC produz uma série de valores de saída analógica com correspondência direta a um único sinal de entrada digital.

Figura 5 – Domínio da Frequência em conversores do tipo Nyquist VS conversores do tipo sobreamostrados



Fonte: Autor

Figura 6 – Arquitetura básica dos ADCs do tipo Nyquist

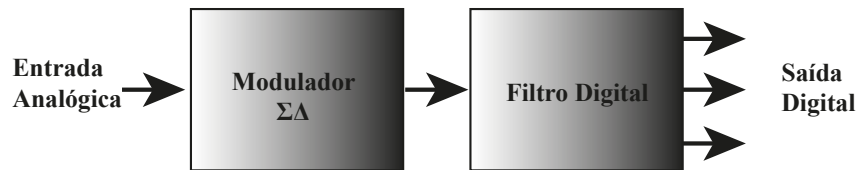


Fonte: Autor

Os ADCs sobreamostrados, conhecidos como *Oversampling ADCs*, recebem este nome porque eles amostram o sinal a uma taxa muito maior que a largura de banda do sinal, tipicamente de 10 a 512 vezes maior que a Taxa de Nyquist, o que gera uma saída baseada em uma média das amostras de entrada, como observa-se nas Figuras 5 e 7.

O ADC do tipo Nyquist aparenta ter mais blocos do que nos ADC sobreamostrados, isto porque os requisitos colocados nos circuitos analógicos em detrimento dos circuitos digitais são mais complicados (KHOINI-POORFARD; LIM; JOHNS, 1997). No entanto, ambos os conversores têm seus sinais de entrada amostrados, quantizados e codificados, e podem precisar de um filtro anti-aliasing, sem exigir um bloco *Sample-and-Hold (S/H)*.

Figura 7 – Arquitetura básica dos ADCs Sobreamostrados



Fonte: Autor

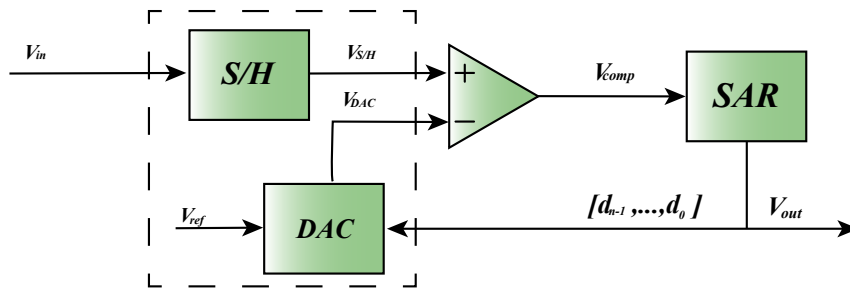
2.3 ADC do tipo Registrador de Aproximações Sucessivas (SAR)

Conversores analógico-digitais do tipo registrador de aproximações sucessivas (SAR) possibilitam atingir um consumo de energia muito baixo devido a sua arquitetura simples baseada em circuito digital dominante (KARDONIK, 2013). Os ADCs SAR não requerem um amplificador operacional. A sua principal limitação consiste em uma baixa frequência de amostragem, o que está vinculado à sua natureza serial de tomada de decisão. Porém, o torna muito vantajoso para aplicações biomédicas, já que estes sinais requerem uma frequência de amostragem relativamente baixa. ADCs SAR são também excelentes candidatos para aplicação em dispositivos móveis alimentados por bateria, que usualmente requerem média resolução (8-12 bits) e média velocidade (unidades de kHz a dezenas de MHz), mas requerem baixo consumo de energia e necessitam ser pequenos.

Embora a arquitetura SAR tenha sido inventada há mais de 40 anos, não chamou a atenção significativa dos pesquisadores da época devido à sua limitação de velocidade e seu uso relativamente elevado de portas lógicas em função do consumo de energia. Atualmente, a arquitetura SAR é amplamente empregada em rádios de baixa energia, Bluetooth para redes de área corporal, em sistemas autônomos, sistemas de sensores portáteis e em muitas aplicações biomédicas, vale ressaltar, que em aplicações biomédicas sua velocidade diminui em relação às aplicações de uso geral.

O ADC é um dos circuitos mais importantes em sistemas de instrumentação e aquisição de dados, portanto, uma solução para reduzir o consumo de energia destes sistemas é fabricar o ADC com topologia SAR, pois é adequado para operação em baixa tensão e baixa potência. Atualmente existem numerosas técnicas e métodos de projeto para melhorar o desempenho dos ADCs SAR, e essas melhorias incluem operação assíncrona ou síncrona, técnicas de transferência ou compartilhamento de carga, o tipo de capacitor utilizado, técnica de divisão de capacitor, etc. Este trabalho é principalmente focado em uma investigação da operação assíncrona ou temporizada da lógica SAR. E

Figura 8 – Arquitetura básica do ADC SAR



Fonte: Autor

também o aprimoramento dos circuitos analógicos presentes no ADC.

Embora a evolução dos processos de fabricação tenha auxiliado na melhoria da eficiência energética dos ADCs SAR, este não é o único fator (LIU et al., 2010). O ADC SAR opera usando um algoritmo de pesquisa binária para converter o sinal de entrada. A maioria dos blocos de um ADC SAR são circuitos digitais, que se beneficiam muito da evolução da tecnologia CMOS. Este conversor é tipicamente constituído por três blocos, conforme ilustrado na Figura 8. O DAC pode ser feito por uma matriz de resistores, capacitores ou fontes de corrente, porém através de um esquema de capacitores ponderados binários não há consumo de energia estática e, desta forma, é possível combiná-lo com o bloco *Sample-and-Hold* (S/H). Primeiramente, o bloco S/H é acionado para armazenar o sinal de entrada nos capacitores e então, o DAC é acionado quando os capacitores de pesos binários são comutados para as tensões de referência. Em cada ciclo de clock, o bloco comparador compara o sinal de entrada com a tensão gerada pelo DAC e, então, o bit testado é setado em "1" se a tensão do DAC estiver abaixo do sinal de entrada, ou o bit é setado em "0" se a tensão de saída do DAC for maior que a tensão de entrada do ADC.

A operação síncrona do ADC SAR tradicional requer um sinal de clock de alta frequência (f_{clk}), sendo assim, a frequência de amostragem (f_s) que é inversamente proporcional a resolução do conversor (N), é limitada conforme (PELGROM, 2013) e é expressa em 11.

$$f_s = \frac{f_{clk}}{N + 1} \quad (11)$$

A frequência máxima do clock deve garantir que todos bits sejam convertidos, então deve-se considerar o tempo da conversão do bit mais lento para cada bit. Ao usar uma tensão de alimentação extremamente baixa, os transistores do comparador e do DAC operam em inversão fraca, a resistência das chaves é alta, originando um pior tempo de

comparação.

O ADC SAR é tipicamente composto pelos blocos apresentados na Figura 8, mas considerando sua entrada, saída e desempenho alguns arranjos ou otimização podem ser feitos. Em relação à entrada do circuito, muitas vezes é escolhida uma arquitetura de entrada totalmente diferencial devido à sua vantagem na rejeição dos distúrbios de modo comum e melhor relação sinal ruído. Em relação a operação do *clock*, o conversor pode ser síncrono ou assíncrono.

Para um conversor ser assíncrono, este requer dois sinais de clock, um externo com frequência de taxa de amostragem e outro interno com frequência variável. O clock externo, além de estipular os intervalos de amostragem, inicia o processo de conversão. Já o clock interno, baseado na decisão do comparador, dita o início e o final da conversão de cada bit. Este tipo de conversor permite um mecanismo de economia de energia, desligando os blocos desnecessários quando a aproximação sucessiva é concluída (HERNANDEZ; SEVERO; NOIJE, 2018).

Para dar início ao projeto, primeiramente, foi feito o estudo do estado da arte, que nada mais é do que investigar quais projetos semelhantes foram feitos na área, a fim de estudá-los e usá-los como referência para comparação com o ADC SAR desenvolvido neste trabalho de conclusão de curso. A Tabela 1 expõe o tipo de topologia, técnica ou método explorado, bem como os valores encontrados em cada artigo.

Tabela 1 – Comparação do Estado da Arte dos ADCs SAR - 2008-2020

Princípio/Método		Processo (nm)	VDD (V)	f_s	N (bit)	C_s (pF)	INL (LSBs)	DNL (LSBs)	ENOB (bit)	Pd (W)	FoM (fJ/conv)	Área
(LIU et al., 2010)	SAR - Assíncrono	130	1.2	50(MS/s)	10	2.5	-	-	9.18	826u	29	0.025mm ²
(CHUNG; CHIANG, 2019)	SAR - Síncrono	180	0,7	100(kS/s)	12	2.5	-0.4/+1,1	-1,2/+1,4	-	730n	5.6	0.083mm ²
(FANG et al., 2008)	SAR	65	1,2	20(MS/s)	12	-	-	-	11.2	2.1m	43.9	-
(HERNANDEZ; SEVERO; NOIJE, 2018)	SAR - Assíncrono	180	0,5	10(MS/s)	9	-	-	-	8.55	48u	13	-
(SADOLLAHI et al., 2018)	SAR - Single Ended	180	0.75	10(kS/s)	11	-	0.94/-0.89	0.6/-0.37	9.76	250n	28.8	270X475($\mu\text{m} \times \mu\text{m}$)
(HWANG et al., 2018)	SAR - Assíncrono	180	0.6/0.35	20(kS/s)	10	-	0.26/-0.25	0.18/-0.2	9.5	112u	7.79	0.0468mm ²
(HONG; LIN; CHIU, 2018)	SAR	180	0.25/0.2	450(S/s)	10	-	0.97/-1.04	1.04/-0.66	-	0.85n	8	0.024mm ²
(WANG; HUNG, 2020)	SAR	90	0.3	3(MS/s)	10	44	0.84/-0.89	0.83/-0.54	09.08	6.6u	4.065	0.08mm ²
(ZHU; LIANG, 2015)	SAR	180	0.6	20(kS/s)	10	18	0.46	0.44	9.4	38n	2.8	380X430($\mu\text{m} \times \mu\text{m}$)

Em (CHUNG; CHIANG, 2019), é apresentado um ADC SAR síncrono de 12-Bits para aplicações biomédicas e de Internet das Coisas. Neste caso foi aplicada a operação síncrona para atender a escala da frequência de amostragem para prolongar a vida útil da bateria. Sua taxa de amostragem pode ser facilmente dimensionada de 100-kS/s para 1-kS/s com uma escala de potência linear, logo, ao aumentar a taxa de amostragem a potência dissipada irá aumentar linearmente. Para atender a escala de frequência, usou-se um circuito de atraso com consumo de energia para ADCs SAR auto-temporizados e para manter a operação *dual-mode*, um buffer de referência foi proposto para atender exigência de baixa potência.

Já em (HERNANDEZ; SEVERO; NOIJE, 2018), foi proposto um ADC SAR assíncrono de 9-Bits para aplicações de Bluetooth em receptores de RF de baixa energia. Porém, aplicações RF exigem uma frequência de amostragem muito alta em comparação a aplicações biomédicas e dispositivos Bluetooth de baixa energia, em inglês, *Bluetooth low-energy (BLE)*, prometem conectividade sem fio promissora para aplicativos de IoT inclusive em aplicações biomédicas.

Para (ZHU; LIANG, 2015), hoje em dia, os ADCs SAR tornaram-se a melhor escolha em muitos campos especiais, como redes de sensores sem fio e dispositivos biomédicos implantáveis se comparado com outras arquiteturas de ADC. Para atingir uma faixa de *nanowatts*, foi proposto um novo esquema de comutação, que pode realizar as três primeiras comparações sem consumir energia e melhorar a eficiência de qualquer energia significativamente. O ADC proposto foi em tecnologia CMOS 0,18 μ m 1P6M e opera com uma alimentação de 0,6 V e 20 taxa de kS/s.

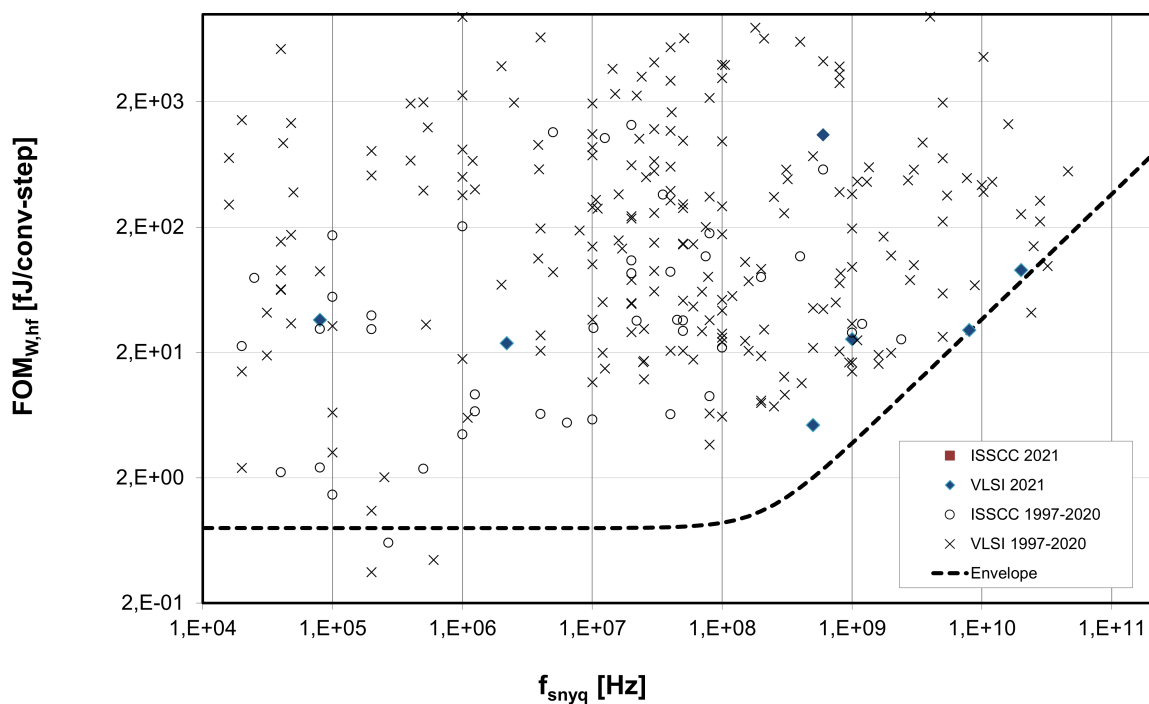
O projeto do ADC SAR a ser proposto terá como base o artigo (LIU et al., 2010), um ADC SAR assíncrono de 10-bits que emprega um procedimento de chaveamento monotônico. Comparado aos conversores que utilizam o procedimento convencional, a energia de comutação média e a capacitância total são reduzidas por cerca de 81% e 50%, respectivamente. Nos ADCs SAR, as fontes primárias de dissipação de energia são o circuito de controle digital, o comparador e a rede capacitiva do DAC. O consumo de energia digital torna-se menor com o avanço da tecnologia. O dimensionamento da tecnologia também melhora a velocidade dos circuitos digitais. Por outro lado, neste caso, o consumo do comparador e da rede de capacitores é limitado pelo descasamento e ruído.

A figura de mérito (FoM), segundo (Boris Murmann, 2022), é uma quantidade numérica baseada em uma ou mais características de um sistema ou dispositivo que re-

presenta uma medida de eficiência ou eficácia. Todavia, para analisar um ADC, temos inúmeras métricas e inúmeros processos de fabricação. Pensando nisso, criou-se uma maneira de medir a eficiência dos ADCs, procurando a maior largura de banda possível, com o menor consumo de potência possível, com a maior resolução possível. E esse valor é dado pela equação 12. Onde, BW é a largura de banda do sinal de entrada, $ENOB$ é o número efetivo de bits e P é o consumo de potência.

$$F_{OM} = \frac{P}{2^{ENOB} \times 2 \times BW} \quad (12)$$

Figura 9 – Figura de Mérito dos ADC SAR (2000 - 2021)



Fonte: Autor - Adaptado de (Boris Murmann, 2022)

A Figura 9 apresenta a relação entre figura de mérito e frequência de amostragem dos ADCs SAR apresentados nas conferências *International Solid-State Circuits Conference* e *IEEE Symposium on VLSI Circuits* desde o ano 2000 até 2021. Observam-se poucos ADCs com uma frequência de amostragem menor que $20kS/s$ e uma FoM baixa, nosso objetivo neste projeto.

A natureza altamente digital de um ADC SAR o torna muito receptivo a ser escalado, o que combinado com baixo consumo de energia pode explorar os benefícios de encolher cada vez mais os transistores. Os ADCs SAR de média resolução estão cada vez mais sendo usados em taxas de amostragem altas (50 - 200 MS/s) como nas aplicações em

(CHEONG et al., 2011) e (GINSBURG; CHANDRAKASAN, 2007). Por outro lado, os ADCs SAR de ultrabaixa potência de baixa frequência estão sendo usados em aplicações biomédicas.

O monitoramento ambulatorial de sinais biopotenciais é crucial para melhorar o serviço de saúde. Permite um melhor diagnóstico e tratamento de uma doença, oferecendo serviço de saúde remoto e reduzindo seu custo geral (YAZICIOGLU; HOOFF; PUERS, 2008). As demandas para SoCs (*Systems on Chip*) biomédicos em processo CMOS tem aumentado rapidamente. A taxa de amostragem no nível de unidades a poucas dezenas de kHz para sinais biomédicos, como eletroencefalografia (EEG) e eletrocardiografia (ECG), já é suficiente.

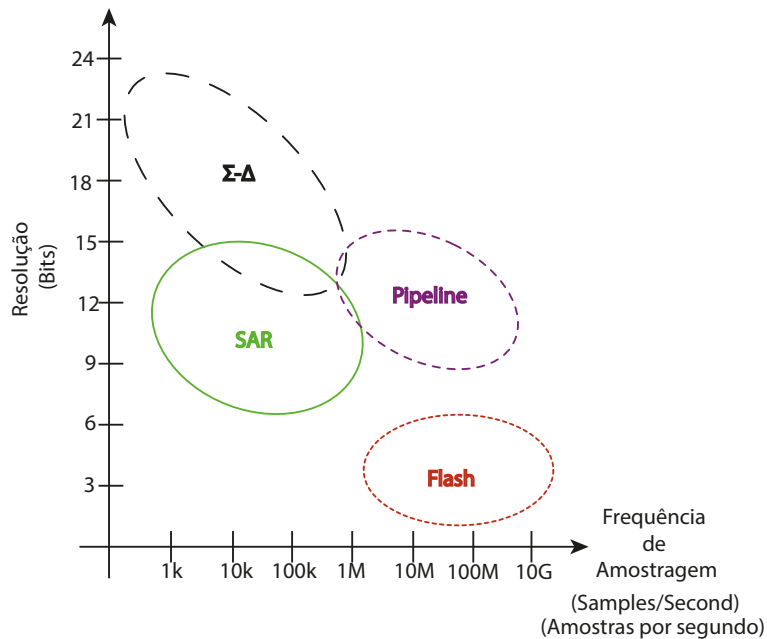
Os aparelhos de ECGs médicos não invasivos típicos criam representações visuais básicas do estado de saúde do coração para análise clínica e intervenção médica. No entanto, existem alguns detalhes do funcionamento do coração, como o “potencial tardio”, que exigem eletrônica de ECG de média a alta resolução. Os potenciais tardios são os sinais de alta frequência e baixa amplitude, da ordem de microvolts (μV) e estão relacionados a atividade elétrica fragmentada e retardada dos ventrículos, o que possibilita a taquicardia por reentrada. As taquiarritmias ocorrem quando a frequência cardíaca está acima de 100 BPMs, ou seja, quando em um minuto, acontecem mais de 100 ciclos cardíacos.

Teoricamente, a taxa de amostragem para equipamentos de ECG é de pelo menos 50 Hz. As implementações reais de ECG geralmente têm frequência de amostragem de mais de 500 Hz, com a velocidade de conversão típica do conversor interno menor que 1 kHz. O sinal de EEG ocupa o espectro de frequência de 0,1 a 100 Hz (GRELL et al., 2006). Assim, a frequência de amostragem ADC deve exceder 200 Hz para satisfazer os requisitos de Nyquist. Escolher uma frequência de amostragem com margem permite otimizar o consumo de energia e o design de todo o chip. Com essas taxas de amostragem, a resolução necessária dos conversores típicos do sistema de detecção de ECG é de, no mínimo, 10 bits para termos um sinal em que as anormalidades possam ser devidamente detectadas.

A Figura 10 mostra como as principais arquiteturas de ADC normalmente se relacionam com a resolução e taxa de amostragem. Os ADCs flash não podem ser utilizados para as aplicações biomédicas, pois atendem aos requisitos apenas quando necessitamos de baixa resolução e velocidade de conversão. Conversores pipeline são eficientes em termos de energia em resolução média a alta, mas com taxa de amostragem na ordem de

mega amostras por segundo.

Figura 10 – Frequência de Amostragem dos ADCs, Aplicações e Resolução



Fonte: Autor - Adaptado de (LEE; REICHARDT, 2005)

Os conversores sobreamostrados, como o Sigma-Delta são comumente usados em aplicações de baixa velocidade, mas para requisitos de altíssima resolução (12 bits ou mais).

Os ADCs SAR são frequentemente a arquitetura de escolha para aplicações de resolução média com requisitos de velocidade relativamente baixos. Ele também permite uma FoM na ordem de fento-joules por etapa de conversão, otimizando o consumo de energia. Assim, no próximo capítulo é apresentado o projeto do ADC SAR assíncrono de 10-Bits com chaveamento monotônico para aplicações biomédicas com uma frequência de amostragem de 5 kSPS.

3 PROJETO DO ADC SAR ASSÍNCRONO DE 10 BITS

Os ADCs SAR tornaram-se a melhor escolha em muitos campos específicos, como redes de sensores sem fio e dispositivos biomédicos implantáveis. Os ADCs SAR têm como vantagens a sua estrutura simples, uso mínimo de circuito analógico e eficiência energética. Com o avanço das tecnologias CMOS, a dissipação de energia e o tempo de conversão se tornaram menores. Os ADCs SAR são compatíveis com a tecnologia cada vez mais reduzida e podem operar com ultra baixa tensão.

Este capítulo está organizado da seguinte maneira: A sessão 3.1 descreve os conceitos de *design* e a arquitetura do ADC SAR proposta, a sessão 3.2 apresenta a implementação dos blocos necessários para o funcionamento do ADC SAR e a sessão 3.3 explica o funcionamento do controle lógico, os registradores SAR. O projeto foi implementado no ambiente de simulação da Cadence (*Virtuoso*) e os resultados de simulação foram obtidos através do simulador *Spectre X*, com a opção CX, com *corner* típico e temperatura ambiente.

3.1 Conceitos Básicos de Projeto

Ao iniciar projeto de conversores, a primeira coisa que se deve fazer para termos noções básicas de projeto, é a amostragem coerente (MALOBERTI, 2007). Primeiro observa-se as especificações de projeto na Tabela 2. Ela nos permite não só saber o número de pontos a serem usados na FFT, mas também o tempo necessário para a simulação transiente. A amostragem coerente consiste na relação entre a frequência do sinal de entrada, a frequência de amostragem e o número de ciclos do sinal de entrada. Para que a amostragem coerente seja feita de maneira adequada, é utilizado a seguinte relação 13.

$$f_x = \frac{C \times f_{sampling}}{N} \quad (13)$$

Tendo em vista as especificações da Tabela 2, para um número de bits igual a 10, teoricamente teremos N ciclos de *clock* para que se complete uma conversão, ou seja, 10 ciclos de *clock*. A frequência de amostragem será $f_{sampling} = 5$ kSPS, logo, seguindo o critério de Nyquist, a frequência de entrada máxima desde ADC será $f_{inmax} = \frac{f_{sampling}}{2} = 2,5$ kHz. Também, no início deste projeto foi definido um número efetivo de bits de, no mínimo, 9,5 bits. O que permite, através da equação 8, calcular um SNDR igual a 55,43

Tabela 2 – Especificações de Projeto do ADC SAR

Especificações	Símbolo	Valor
Tecnologia	-	180 nm
Tensão de Alimentação	V_{DD}	0,5 V
Taxa de Amostragem	$f_{sampling}$	5 <i>ksps</i>
Resolução	N	10
Tensão do Bit Menos Significativo	V_{LSB}	976,5625 μV
Período de Amostragem	$t_{sampling}$	200 μs
Período de Clock	t_{clk}	20 μs
Frequência Máxima de Entrada	f_{inmax}	2,5 <i>kHz</i>

dB.

3.2 Princípio de Funcionamento

Os blocos fundamentais que fazem parte da implementação elétrica do ADC SAR estarão descritos nas subseções abaixo. A rede de capacitores, o comparador dinâmico, o circuito *Sample and Hold* e o controle lógico de aproximação sucessiva.

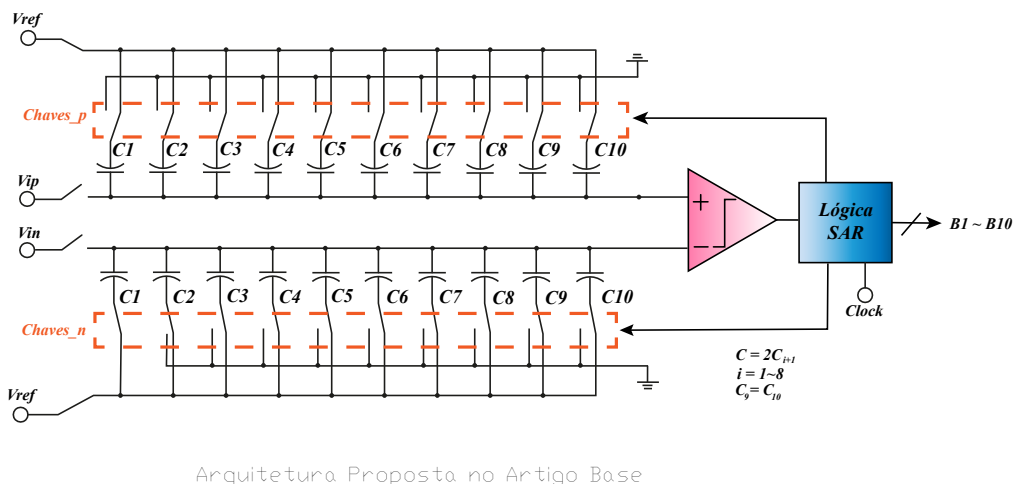
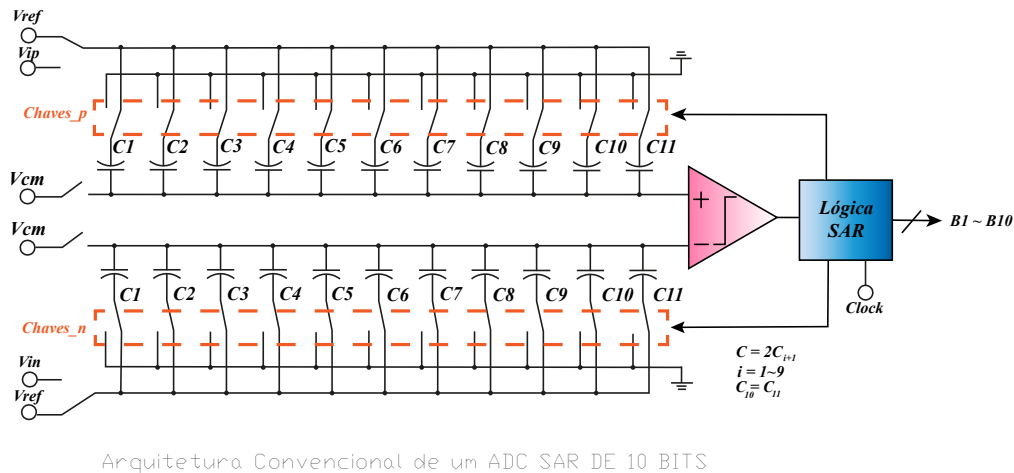
3.2.1 ADC SAR com redistribuição de carga

Os ADCs SAR com redistribuição de carga foram inventados em 1975. Esta topologia conseguiu unificar todos os blocos de um ADCs SAR em um único circuito (SUAREZ; GRAY; HODGES, 1975). Na Figura 11, temos a comparação entre a arquitetura convencional de um ADC SAR de 10 Bits e a arquitetura de um ADC SAR de 10 Bits proposta por (LIU et al., 2010).

Na arquitetura convencional, os blocos fundamentais são comparador, o circuito *Sample-and-Hold*, a rede capacitiva e também os registradores de aproximação sucessiva, como apresentado na seção passada na Figura 8. Nesta arquitetura proposta por (LIU et al., 2010), a rede capacitiva serve tanto como circuito *Sample-and-Hold*, como também rede capacitiva do DAC. Considerando que a operação deste circuito seja totalmente diferencial, os dois lados das redes capacitivas serão complementares.

Para o lado positivo, na fase de amostragem, a parte de baixo dos capacitores (*bottom plate*) é polarizada para V_{ip} e a parte de cima dos capacitores (*top plate*) é polarizada para a tensão de modo comum V_{cm} . O próximo passo acontece quando o maior capacitor,

Figura 11 – Arquitetura básica de um ADC SAR de 10 bits



Fonte: Adaptado de (LIU et al., 2010)

neste caso C_1 , muda para V_{ref} e o restante muda para o terra (gnd), assim, o comparador performa a sua primeira comparação.

- Se V_{ip} é **maior** que $V_{in} \rightarrow B_1 = 1$. Caso contrário $B_1 = 0 \rightarrow$ o maior capacitor é conectado no gnd .

Onde B_1 representa o bit mais significativo. Isto feito, a tensão aplicada no segundo maior capacitor, C_2 , é alterada para V_{ref} . A mesma comparação se repete. O ADC irá repetir este processo até que o bit menos significativo (*Least Significant Bit, LSB*) seja determinado. Para o lado negativo, acontece o mesmo procedimento, apenas mudando a tensão V_{ip} para V_{in} . O processo de conversão continua com os capacitores restantes para que a tensão na placa superior do capacitor V_{TOP} , convirja para o valor da tensão de *offset*,

dentro da resolução do conversor, ou, como apresentado em 14.

$$V_{TOP} = -V_{ip/n} + V_{OS} + (D_{N-1} \frac{V_{ref}}{2}) + (D_{N-2} \frac{V_{ref}}{4}) + \dots + (D_1 \frac{V_{ref}}{2^{N-1}}) + (D_0 \frac{V_{ref}}{2^N}) \approx V_{OS} \quad (14)$$

Na arquitetura proposta por (LIU et al., 2010), o ADC irá amostrar o sinal de entrada, V_{in} , na parte superior dos capacitores através de *Bootstrapped Switches*, aumentando assim a velocidade de assentamento e a largura de banda do sinal de entrada. Ao mesmo tempo, a parte inferior dos capacitores estará setada em V_{ref} . Ao desligar as *Boostrapped Switches*, o comparador performará a primeira comparação sem mudar a referência de tensão de nenhum capacitor. De acordo com a saída do comparador, o maior capacitor, no lado do potencial de tensão mais alta, trocará para o terra e o capacitor no lado do potencial de tensão mais baixo permanecerá inalterado.

O ADC repetirá o processo acima até que o LSB seja estipulado. Para cada ciclo de bits, terá apenas uma troca nas chaves dos capacitores, o que proporciona redução da transferência de carga na rede capacitiva e redução nas transições no circuito de controle e *buffer* de comutação, resultando em menor dissipação de energia. Na Figura 12, é apresentado o fluxograma do algoritmo de aproximação sucessiva do ADC SAR a ser modificado.

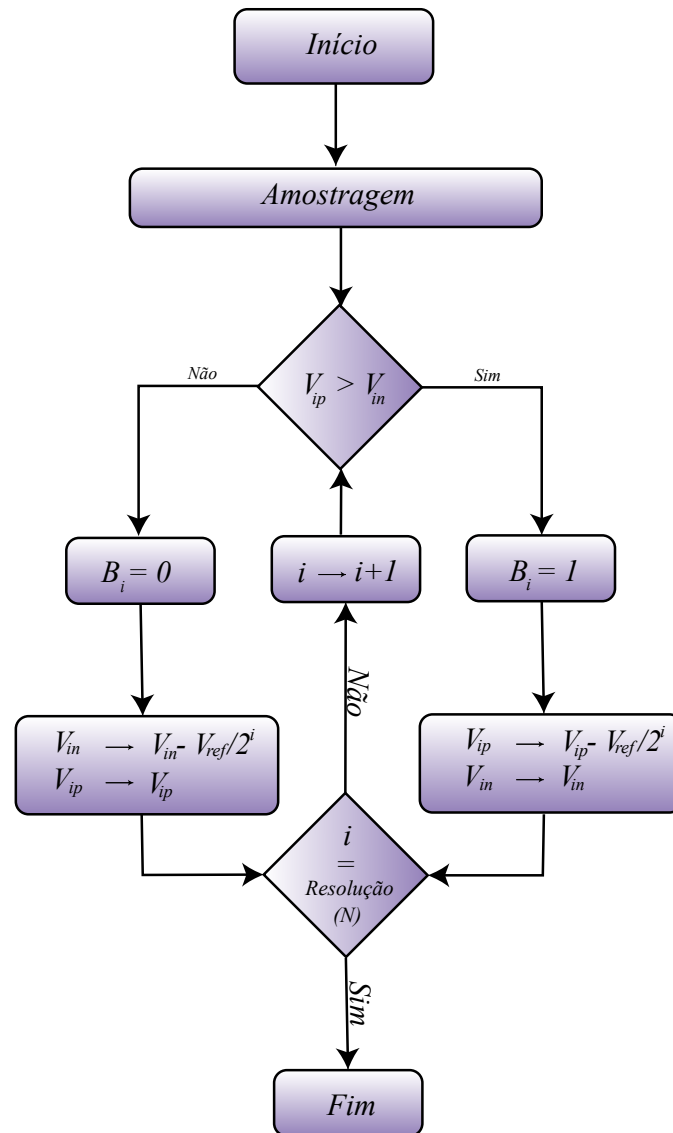
Uma das maiores diferenças entre o método empregado e o método convencional é que a tensão V_{cm} de referência do DAC diminui gradualmente de V_{ref} para gnd (LIU et al., 2010). O processo de comparação proposto não requer transição ascendente. Uma vez que a amostragem é feita na parte superior do capacitor, o comparador pode fazer a primeira comparação sem qualquer comutação de capacitor. Para um ADC de n bits, o número de capacitores unitários da rede capacitiva é de 2^{n-1} , metade do convencional.

Seguindo o procedimento proposto, a média de energia de comutação é dada pela equação 15.

$$E_{media} = \sum_{i=1}^{n-1} (2^{n-2-i}) CV_{ref}^2 \quad (15)$$

Portanto, em um ADC SAR de 10 bits a média de energia de comutação $E_{media} = 255,5 CV_{ref}^2$ no método proposto, já para o método convencional, a média de energia de comutação, $E_{media} = 1.365,3 CV_{ref}^2$. A arquitetura adotada não só tem o menor consumo de energia de comutação ($\approx 80\%$), mas também tem o menor número de chaves e capacitores, o que simplifica a lógica de controle digital.

Figura 12 – Algoritmo ADC Proposto

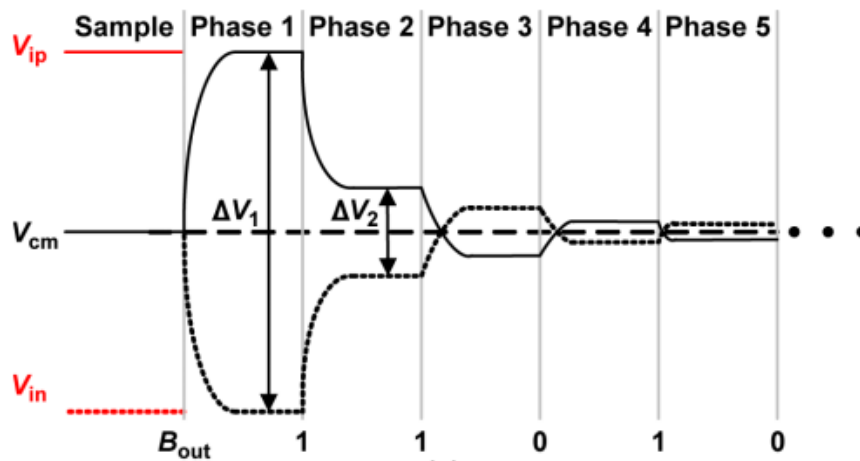


Fonte: Adaptado de (LIU et al., 2010)

A maior diferença da topologia de (LIU et al., 2010) para a topologia convencional é que a tensão de modo comum V_{CM} da tensão de referência do DAC decresce gradualmente de V_{ref} para o terra, como mostram as Figuras 13 e 14. O procedimento foi escolhido para este projeto pois, além dele gastar menos energia, ele não requer transições ascendentes. Na topologia a ser utilizada, depois de todas as chaves serem desligadas, o comparador diretamente irá fazer a primeira comparação sem comutar nenhum capacitor, sendo assim, ele não consome nenhuma energia antes da primeira comparação, requerendo apenas 81% menos energia que a topologia convencional. A rede de capacitores utilizada não só tem o menor consumo de energia de comutação, mas também o menor número de chaves e capacitores, o que simplifica o controle lógico.

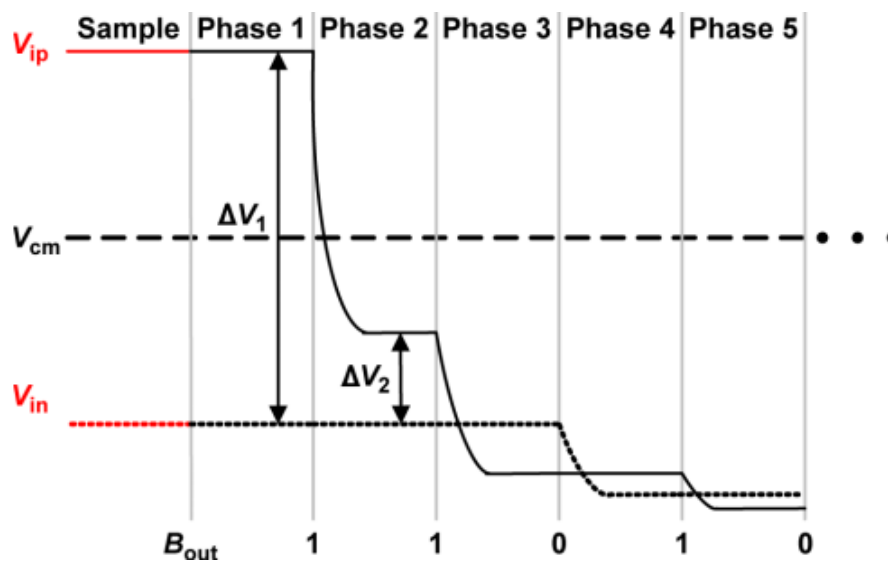
A Figura 15 mostra todas as possibilidades de comutação no método a ser apli-

Figura 13 – Forma de Onda do Processo de Comutação Convencional



Fonte: (LIU et al., 2010)

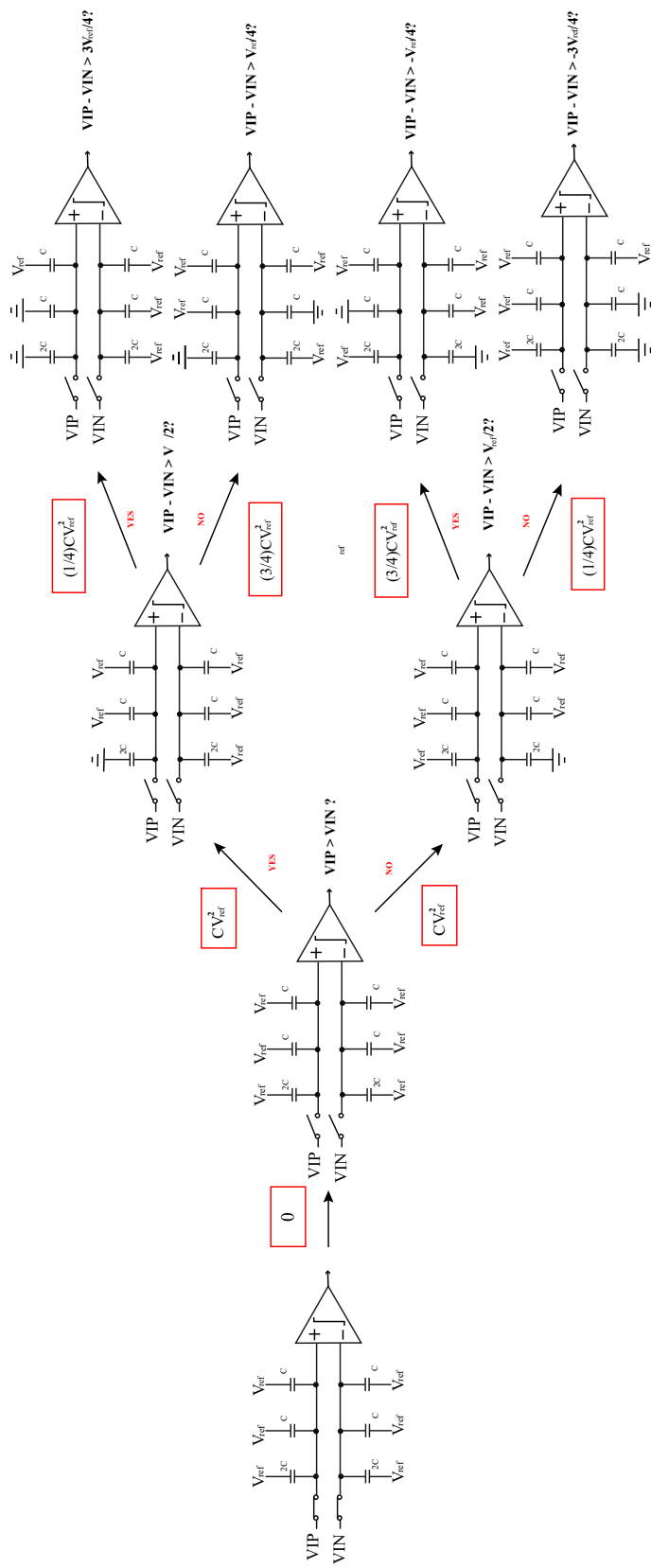
Figura 14 – Forma de Onda do Processo de Comutação Monotônico



Fonte: (LIU et al., 2010)

cado no projeto. Também, é importante ressaltar que na tecnologia CMOS a ser utilizada, 180 nm, os capacitores MiM disponíveis requerem um valor mínimo de $35,6 \text{ fF}$, com uma densidade capacitiva de $2,2 \text{ fF}$. Para otimizar o consumo de energia do ADC seria importante efetuar o projeto de capacitores customizados. Porém, devido ao tempo hábil para a realização do projeto, escolheu-se utilizar os capacitores MiM disponíveis na tecnologia.

Figura 15 – Procedimento de Comutação a ser utilizado



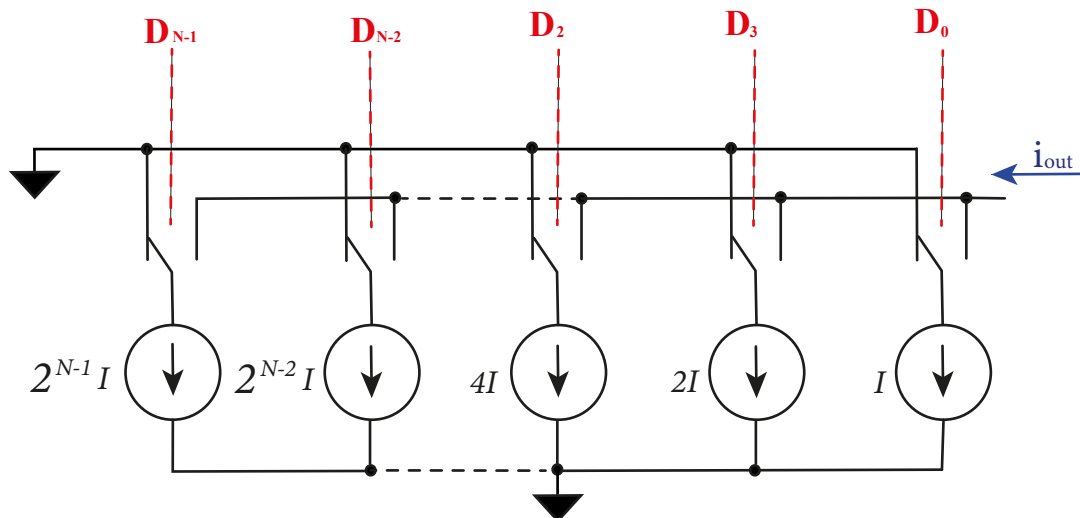
Fonte: Adaptado de (LIU et al., 2010)

3.2.1.1 Erro de Mismatch relacionado aos DACs Current-Steering

DACs de pesos binários são amplamente empregados dentro de ADCs SAR, em especial no projeto do DAC capacitivo presente em ADCs SAR por redistribuição de carga. Para fins de melhor compreensão, esta seção aborda os principais erros observados em DACs de pesos binários usando como exemplo um DAC *current-steering*, cuja análise detalhada é apresentada em (BAKER, 2019).

Um DAC *current-steering* genérico é apresentada na Figura 16. O DAC *current-steering*, além da sua simplicidade, reduz consideravelmente a área do chip. Esta configuração tem N fontes de corrente, ou seja, o número de fontes de corrente dependerá do número de bits do conversor. A utilização da configuração com pesos binários também possibilita que a entrada do sistema seja um simples código binário, sem a necessidade de um decodificador de código termômetro para binário.

Figura 16 – DAC *Current-steering* genérico usando pesos binários



Fonte: Adaptado de (BAKER, 2019)

Baseando-se em (BAKER, 2019), primeiramente podemos associar cada corrente como sendo $I_k = I + \Delta I_k$, onde $k = 1, 2, 3, \dots, 2^N - 1$. Neste caso, I é o valor ideal de corrente e ΔI_k é o erro relacionado ao *mismatch*. A pior condição irá ocorrer quando a corrente I_{out} será como na equação 16

$$I_{out} = I_{out_{ideal}} + 2^{N-1} \times |\Delta I|_{max} \quad (16)$$

O INL pode ser definido simplesmente pela diferença entre a saída atual menos a

saída ideal. Portanto, o pior caso para o INL é apresentado na equação 17

$$|INL|_{max} = 2^{N-1} \times |\Delta I|_{max_{INL}} \quad (17)$$

O termo $|\Delta I|_{max_{INL}}$ representa o maior erro de *mismatch* possível para que o INL seja menor que $\frac{1}{2}LSB$. Cada fonte de corrente representará o valor de $1LSB$, logo, $0.5LSB = 0.5I$, sendo assim, a partir de 17, temos 18.

$$|\Delta I|_{max_{INL}} = \frac{I}{2^N} \quad (18)$$

O DNL é levemente diferente, já que estamos usando pesos binários. Não se pode adicionar uma única fonte de corrente a cada aumento do incremento no código de entrada digital. No entanto, a condição de pior caso para matrizes binárias ponderadas tende a ocorrer em escala média quando o código transita de 01111...111 para 10000...000. (BAKER, 2019).

$$|DNL|_{max} = [2^{N-1} \times (I + |\Delta I|_{max_{INL}}) - \sum_{k=1}^{N-1} 2^{k-1} \times (I + |\Delta I|_{max_{INL}})] - I \quad (19)$$

onde,

$$|\Delta I|_{max_{DNL}} = \frac{I}{2^{N+1} - 2} \quad (20)$$

Sendo assim, conclui-se que esse requisito é muito mais fácil de alcançar do que o requisito para o INL. Neste caso, os requisitos de DNL para a fonte de corrente ponderada binária são mais rigorosos do que os requisitos do INL. Vale ressaltar que quando se trata de ADCs, o INL introduz muita distorção ao sistema, portanto, quando mais simples seus requisitos, mais simples ficará a análise dos dados.

Uma das topologias mais populares de arquiteturas para ADCs SAR usa uma rede de capacitores baseada em pesos binários como DAC. Nesta topologia, o conversor amostra o sinal de entrada e, em seguida, realiza a busca binária com base na quantidade de carga em cada um dos capacitores da rede capacitiva do DAC.

3.2.1.2 Definição do Capacitor Unitário e Problemas de Precisão Relacionados à redistribuição de carga no ADC SAR

A maior parte da área de um ADC SAR é ocupada pela rede de capacitores (YUE, 2013), usado como DAC e *sample-and-hold*. Como temos N capacitores empregados com a técnica de pesos binários, selecionar um capacitor unitário com uma pequena capacitância é a chave para reduzir o leiaute do circuito, algo crucial para aplicações implantáveis ou vestíveis. A limitação desta arquitetura é o erro de descasamento da rede de capacitores (BAKER, 2019).

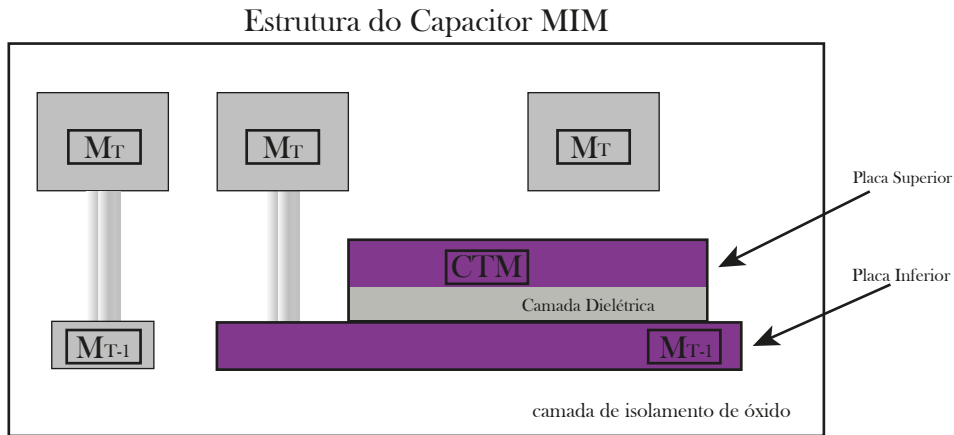
Os capacitores dentro do chip geralmente usam metal como substratos superior e inferior. No entanto, a desvantagem do capacitor de metal é que ele consome muita área. Em alguns circuitos que não exigem capacitância muito alta é possível usar MOSFETs como peças alternativas. Sendo assim, estes capacitores CMOS integrados podem ser implementados por meio de condutivos, como metal e polissilício ou outras camadas difusas.

Existem três tipos de capacitores integrados na tecnologia CMOS: capacitores MIM, capacitores MOM e capacitores MOS. Ambas as extremidades dos capacitores MIM e MOM são metálicas, com alta linearidade. Os capacitores MOS geralmente requerem aterramento ou alimentação em uma extremidade e possuem uma linearidade mais baixa. Geralmente, este capacitor é usado para filtragem em capacitores maiores.

A Figura 17, representa a estrutura de um capacitor MIM. O metal de duas camadas na parte superior tem um grande espaçamento e o capacitor formado tem um pequeno valor de capacitância. Os capacitores MIM são geralmente compostos pelas duas camadas superiores de metal e uma camada de metal especial no meio. A camada dielétrica entre CTM e M_{T-1} é relativamente fina e o capacitor formado tem uma densidade mais alta. Dada a ausência de capacitores MOM na tecnologia utilizada na implementação deste trabalho, optou-se pela utilização de capacitores MIM.

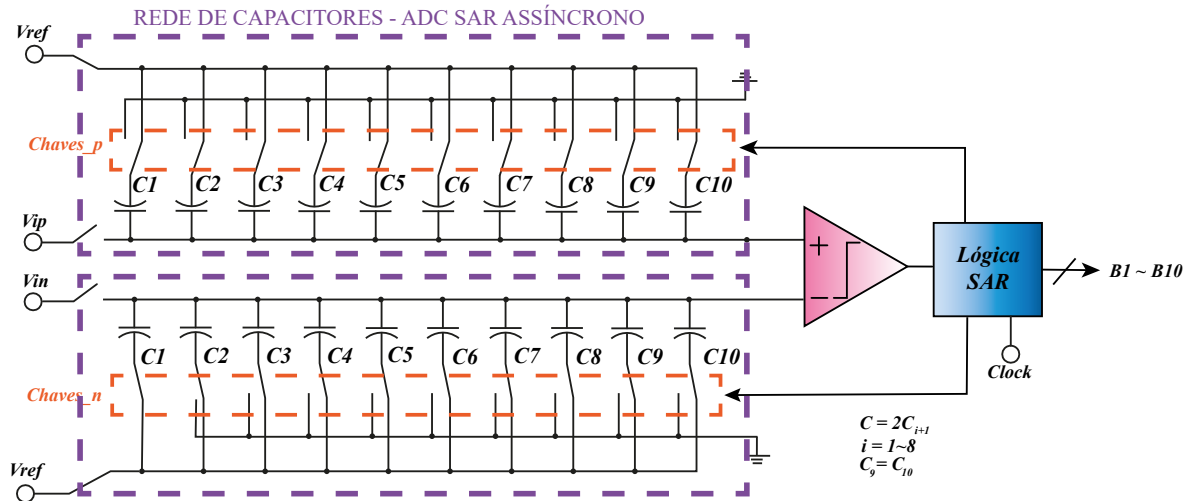
Na Figura 18, está a rede de capacitores implementada a partir da matriz de capacitores DAC de pesos-binários. Para um ADC SAR por redistribuição de cargas convencional de N-bits, o capacitância total é de $2^N C$. Na topologia adotada, a capacitância total é de $2^{N-1} C$. Os capacitores de pesos binários são projetados através da associação paralelo de capacitores de pesos unitários. Deste modo, é imprescindível avaliar a precisão dos capacitores unitários, de modo a atingir a linearidade desejada (PELGROM, 2013). O valor do capacitor unitário, desvia seu valor nominal devido a imperfeições no processo de fabricação e pode ser modelado a partir da distribuição gaussiana.

Figura 17 – Estrutura do Capacitor MIM



Fonte: Autor

Figura 18 – Rede de capacitores do ADC SAR assíncrono projetado



Fonte: Autor

Dado que a margem do processo de variação é $\frac{\Delta C}{C}$ em um processo de fabricação CMOS é aproximadamente $\frac{\Delta C}{C} \approx N(0, \sigma^2)$, importante ressaltar que essas informações foram retiradas do PDK da tecnologia de 180nm empregada.

Para avaliar qual o menor valor de capacitor unitário a ser empregada no ADC SAR optou-se por utilizar a metodologia de cálculo introduzida em (YUE, 2013).

O erro de descasamento (*mismatching*, em inglês) dos capacitores pode ser expresso como em 21, com $C_M = 2^M C$.

$$C_M = (C + \Delta C_1) + (C + \Delta C_2) + \dots + (C + \Delta C_{2^M}) = 2^M C + \sum_{i=1}^{2^M} \Delta C_i \quad (21)$$

Onde $\frac{\Delta C_i}{C}$ denota o desvio do valor nominal do capacitor na posição i . Logo, para

$2^M C$, ao usar a equação 22 temos a sua taxa de variação.

$$\frac{\Delta C_M}{2^M C} = \frac{1}{2^M} \left(\frac{\Delta C_1}{C} + \frac{\Delta C_2}{C} + \dots + \frac{\Delta C_{2^M}}{C} \right) \quad (22)$$

Para calcular o erro de descasamento da rede de capacitores, a saída ideal do ramo com o valor mais significativo quando carregado para V_{ref} é dividido entre dois capacitores, um com valor de 2^M e outro que é a combinação em paralelo do resto dos ramos. Então $V_{out_M} = \frac{2^M C}{2^N C} V_{ref}$. Considerando o pior caso de erro de descasamento dos capacitores e levando em conta as variações dos capacitores $2^N C$ e $2^M C$, $Err_d = \frac{\Delta C_M}{2^N C - \Delta C_N} V_{ref}$. Para proporcionar alta confiabilidade foi escolhido um nível de confiança de 97,98%, ou seja, $3 \times \sigma$ como taxa de variação. Pode-se calcular Err_{desc} como

$$Err_{desc} = \frac{3\sigma\sqrt{2^M}}{2^N - 3\sigma\sqrt{2^N}} V_{ref} \quad (23)$$

De acordo com (YUE, 2013), o pior caso de erro de descasamento Err_{desc} para uma rede capacitiva DAC de N bits é

$$Err_{desc} = \frac{3\sigma\sqrt{2^N - 1}}{(\sqrt{2} - 1)(2^N - 3\sigma\sqrt{2^N})} V_{ref} \quad (24)$$

Ao considerar que o máximo de erro tolerável para a rede capacitiva DAC é $\pm \frac{1}{2} LSB = \frac{V_{ref}}{2^{N-1}}$ o valor de σ necessário para restringir o erro de correspondência entre $\pm \frac{1}{2} LSB$ pode ser obtido ao igualar a equação 24 a $\pm \frac{1}{2} LSB$ e isolar σ .

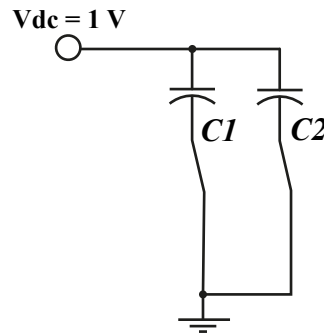
$$\pm \frac{1}{2} LSB = \frac{3\sigma\sqrt{2^N - 1}}{(\sqrt{2} - 1)(2^N - 3\sigma\sqrt{2^N})} V_{ref} \quad (25)$$

$$\sigma \leq \frac{(\sqrt{2} - 1)2^N}{3[2^{N+1}(\sqrt{2^N} - 1)] + (\sqrt{2} - 1)\sqrt{2^N}} \quad (26)$$

Para um determinado processo CMOS, o desvio padrão é um conhecido como a função da área do capacitor que corresponderá a um valor de capacitância. De acordo com (BAKER, 2019), podemos calcular o valor de INL e DNL da rede capacitiva com pesos binários da mesma forma que o *DAC Current-steering* na sessão passada, apenas substituindo o valor da corrente I pela capacitância unitária C nas equações 17 e 19.

$$|INL|_{max} = \frac{2^{N-1} V_{ref} (C + |\Delta C|_{max_{INL}})}{2^N C} - \frac{2^{N-1} V_{ref} C}{2^N C} = \frac{V_{ref}}{2} \times \frac{|\Delta C|_{max_{INL}}}{C} \quad (27)$$

Figura 19 – Esquemático para a simulação de Monte Carlo



Fonte: Autor

$$DNL_{max} = \frac{(2^N - 1)V_{ref}|\Delta C|_{max_{DNL}}}{2^N C} \quad (28)$$

Considerando a mesma situação, quando o pior caso para INL e DNL é $\frac{1}{2}LSB$, temos

$$|\Delta C|_{max_{INL}} = \frac{C}{2^N} \quad (29)$$

$$|\Delta C|_{max_{DNL}} = \frac{C}{2^{N+1} - 2} \quad (30)$$

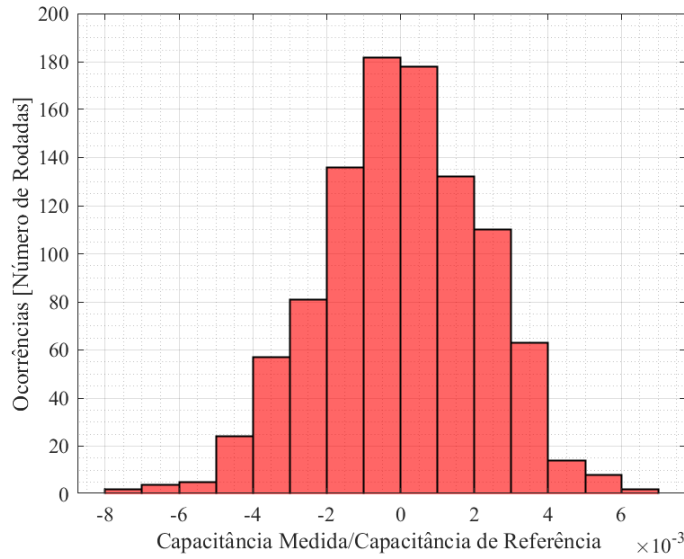
3.2.1.3 Simulação da Constante de Variação e Análise Estatística

Para chegar ao valor da constante de variação dos capacitores da tecnologia CMOS de 180 nm, foi feita uma simulação de Monte Carlo com 1.000 pontos do esquemático da Figura 19. O valor do capacitor será o valor da capacitância mínima do processo de fabricação escolhido, no caso da tecnologia CMOS de 180 nm, $C1 = C2 = 35,6 fF$, com área de $4,0 \times 4,0 \mu m^2$. O descasamento dos capacitores será dado pela diferença entre o valor de $C1$ e $C2$ dividido pelo valor absoluto (C_{abs}).

$$\frac{\Delta C}{C} = \frac{C1 - C2}{C_{asb}} \quad (31)$$

Na Figura 20 o capacitor usado é um capacitor MIM com densidade capacitiva típica de aproximadamente $2,2 fF/\mu m^2$. O desvio padrão (σ) é uma medida estatística da variação em um processo e será inversamente proporcional a área do capacitor. A análise estatística mostra que o erro de correspondência entre a matriz de capacitores dependerá não apenas do parâmetro de correspondência do processo dado, no caso deste projeto, de

Figura 20 – Simulação de Monte Carlo do Capacitor Mínimo



Fonte: Autor

acordo com o PDK da tecnologia de 180nm, este valor é $\approx 2,5\%$ mas também do nível de confiança do projeto, enquanto a análise de ruído térmico mostra que o ruído térmico dessa matriz de capacitores não é igual ao de ou o capacitor unitário ou a capacitância total da matriz de capacitores.

$$\sigma \left(\frac{\Delta C_{nom}}{C_{nom}} \right) = \frac{Var}{A} \quad (32)$$

Logo, quanto maior a área do capacitor, menor é a taxa de variação, σ , onde $Var = 2,5\%$ é a variação da tecnologia e A é a área do capacitor como mostrado em 32. Primeiro calcula-se o valor de σ para o número de bits do ADC de acordo com a equação 24 com $N = 10$ -bits.

$$\sigma \leq \frac{(\sqrt{2} - 1)2^{10}}{3[2^{10+1}(\sqrt{2^{10}} - 1)] + (\sqrt{2} - 1)\sqrt{2^{10}}} \quad (33)$$

$$\sigma \leq 0,2226\% \quad (34)$$

Foi escolhido um nível de confiança de 3σ , ou seja um intervalo de confiança de, aproximadamente, $99,7\%$. Isolando a área do capacitor em 32, temos que

$$A = \left(\frac{Var}{\sigma} \right)^2 = \left(\frac{2,51}{0,2226} \right)^2 = 127,1444 \times 10^{-12} m^2 \quad (35)$$

Sabendo que o capacitor é um componente retangular, o lado deste componente

Tabela 3 – Valor dos Capacitores para um INL = 0,5 LSB

Capacitores	Capacitância
C_1	68,608 pF
C_2	34,304 pF
C_3	17,152 pF
C_4	8,576 pF
C_5	4,288 pF
C_6	1,608 pF
C_7	2,144 pF
C_8	536 fF
C_9	268 fF
C_{10}	268 fF

pode ser calculado extraindo a raiz quadrada de A, logo

$$W = L = \sqrt{127,1444 \times 10^{-12}} = 11,2758 \mu m \quad (36)$$

Ao considerarmos os valores de largura e comprimento encontrados em 36, ao coloca-los no *software* Virtuoso, foi encontrado uma capacitância unitária de, aproximadamente 268 fF. Já que a rede de capacitores é formada por um DAC capacitivo com pesos binários, na Tabela 3 estão dispostos os valores capacitâncias se usado a capacitância unitária calculada, auxiliando assim para alcançar um INL de 0,5 LSBs. O problema está no valor da capacitância do bit mais significativo, C_1 , que neste caso, seria igual a 68,608 pF o que é consideravelmente alto para CIs integrados de baixa tensão.

Foi considerada a possibilidade de se projetar um capacitor customizado para este projeto, assim seria possível obter o mesmo valor nível de variação em uma área menor (menor capacitância), tendo uma densidade capacitiva maior que $2,2 \text{ fF}/\mu m^2$ porém, em função do tempo disposto para a realização do projeto, não foi possível concluir a implementação deste capacitor, ficando esta tarefa como sugestão de trabalho futuro.

Logo, optou-se pela utilização do valor da capacitância mínima do capacitor $C_{min} = 35,6 \text{ fF}$, mesmo sabendo-se que o INL de 0,5 LSB não será atingido. Sendo assim, os valores expressos na Tabela 4 são os valores utilizados no projeto.

A área do capacitor mínimo é $16 \times 10^{-12} \text{ m}^2$. Tendo uma área menor que a área do capacitor analiticamente calculada, teremos uma taxa de variação $\frac{\Delta C_{nom}}{C_{nom}}$ maior. Para encontrar esse valor de variação, foi feita uma simulação de Monte Carlo com 1.000 rodadas como mostra a Figura 20.

Tabela 4 – Valor dos Capacitores utilizados

Capacitores	Capacitância
C_1	9,11 pF
C_2	4,55 pF
C_3	2,27 pF
C_4	1,14 pF
C_5	569,9 fF
C_6	284,8 fF
C_7	142,4 fF
C_8	71,2 fF
C_9	35,6 fF
C_{10}	35,6 fF

3.2.2 Comparador Dinâmico

Para reduzir o consumo de energia do ADC SAR optou-se pelo emprego de um comparador dinâmico. Neste trabalho utilizou-se uma versão simplificada do comparador proposto em (LIU et al., 2010). O esquemático elétrico do comparador utilizado é exibido na Figura 21.

Um comparador é um dispositivo que compara dois sinais analógicos e produz uma saída digital com base na comparação. Comparadores também são chamados de conversores de 1-bit, eles são regularmente utilizados em grande quantidade nos conversores AD, sendo um dos principais blocos de construção na maioria dos conversores analógico-digitais.

Os comparadores com *clocks* regenerativos, ou, em inglês, *clock regeneratives comparators*, fazem parte de ADCs de alta velocidade, considerando que eles podem tomar decisões rápidas como resultado do forte *feedback* dentro da *latch*. O comparador é construído com uma *latch* CMOS dinâmica. Recentemente, muitas análises abrangentes foram apresentadas, que investigam o desempenho desses comparadores de diferentes aspectos, como ruído (NUZZO et al., 2008), deslocamento, erros de decisão aleatórios, e ruído de retrocesso (FIGUEIREDO; VITAL, 2006).

Muitos ADCs de alta velocidade, como ADCs Flash, requerem comparadores de alta velocidade e baixa potência com pequena área de chip. Por esta razão, para obter alta velocidade em uma determinada tecnologia são necessários transistores extras e área extra gerando dissipação de potência extra.

Este trabalho visa operação com tensão de alimentação de 0,5 V. Deste modo, o comparador deve possuir poucos transistores empilhados. Ainda, o método de chaveamento monotônico empregado reduz a tensão dos capacitores durante a verificação de cada bit. Assim, as tensões de entrada do comparador são reduzidas, tendendo a zero volts. Por este motivo, é necessário que o comparador seja projetado com um par diferencial na entrada do tipo PMOS.

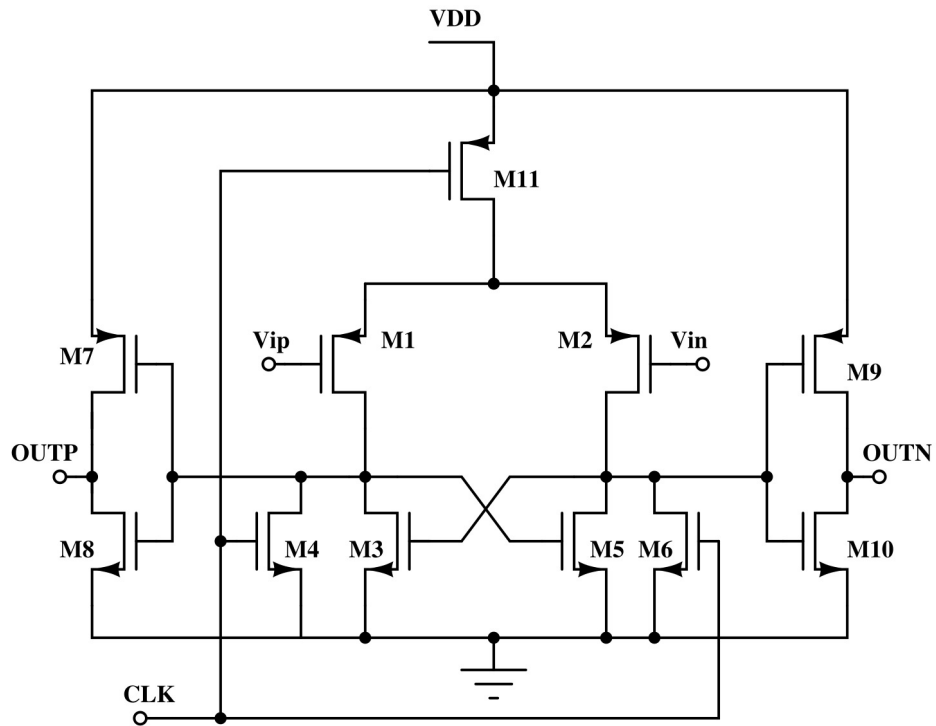
O comparador projetado funciona em duas fases: reset e regeneração. Quando clock está em nível lógico alto, as saídas *Outp* e *Outn* serão redefinidas para o nível lógico alto. Quando o clock está em nível lógico baixo, o par diferencial, irá comparar entre as duas entradas, *Vin* e *Vip*. A *latch* forçará uma saída para nível lógico alto e a outra para nível lógico baixo de acordo com o resultado da comparação. As saídas *Outp* e *Outn* serão diretamente conectadas a uma porta NAND, formando assim o sinal **Valid**. Portanto, quando o clock está em nível lógico baixo, consequentemente, o sinal **Valid** é colocado em nível lógico alto e habilita o controle assíncrono.

A tensão de *offset* deste comparador é dada pela equação 37, onde $V_{TH1,2}$ é a tensão de *Threshold* dos transistores do par diferencial, $(V_{GS-})_{1,2}$ é a tensão efetiva dos transistores de entrada, ou seja, é uma das maneiras usadas para expressar um sinal de tensão alternada. ΔR é a resistência introduzida por $M_3 - M_6$.

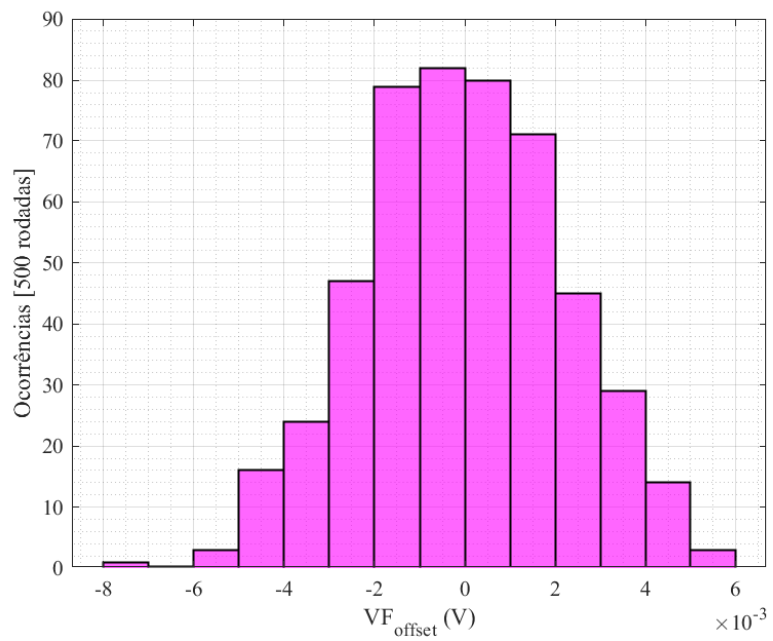
$$V_{os} = \Delta V_{TH1,2} + \frac{(V_{GS-})_{1,2}}{2} \times \left(\frac{\Delta S_{1,2}}{S_{1,2}} + \frac{\Delta R}{R} \right) \quad (37)$$

As Figuras 22 e 23 apresentam a tensão de *offset* deste comparador. A extração dos valores de tensão do *offset* para ambas as direções ascendente ($V_{R_{offset}}$) e descendente ($V_{F_{offset}}$), foi feita a partir de uma simulação de Monte Carlo com 500 rodadas e utilizando o método *Smart-Resettable SAR*, implementado em VerilogA, de acordo com o trabalho demonstrado por (OMRAN, 2019). Ao final dessas rodadas, foram observados os histogramas das Figuras 22 e 23, e seus valores de desvio padrão, com $V_{R_{offset}} = 2,34 \text{ mV}$ e $V_{F_{offset}} = 2,12 \text{ mV}$. Considerando que o desvio padrão é inferior a 5 mV, os resultados extraídos são satisfatórios. Todos os transistores são do tipo médio VT. A Tabela 5 mostra o tamanho dos transistores utilizados no dimensionamento do comparador.

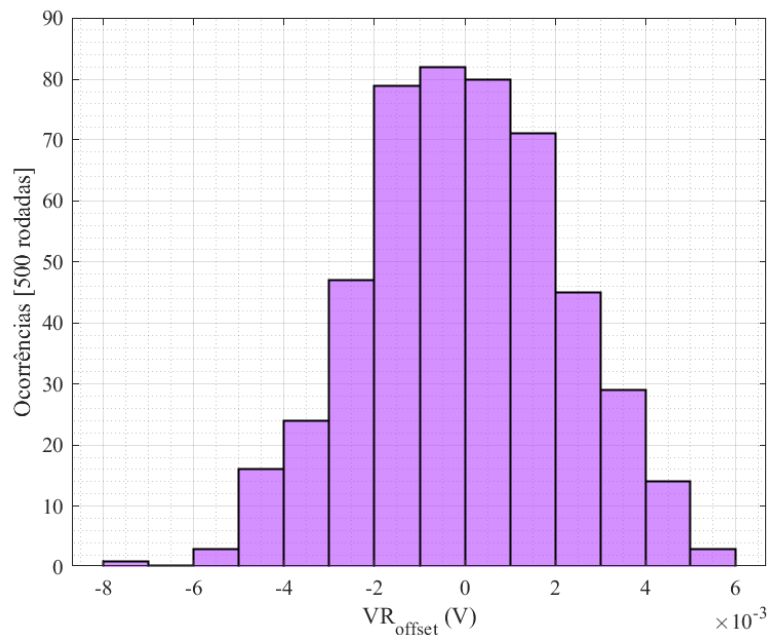
Figura 21 – Comparador dinâmico empregado



Fonte: Autor

Figura 22 – Tensão de *Offset* na descida

Fonte: Autor

Figura 23 – Tensão de *Offset* na subida

Fonte: Autor

Tabela 5 – Dimensionamento dos transistores do comparador

Transistor	W/L (μm)	Múltiplos
M_1	4,0/0,3	3
M_2	4,0/0,3	3
M_3	4,8/0,3	3
M_4	2,0/0,3	3
M_5	4,8/0,3	3
M_6	2,0/0,3	3
M_7	4,0/0,3	3
M_8	4,8/0,3	3
M_9	4,0/0,3	3
M_{10}	4,8/0,3	3
M_{11}	8,0/0,3	3

3.2.3 Interruptor de Bootstrap - *Bootstrapped Switch*

No princípio da amostragem analógica, descobriu-se que os dispositivos MOS, exibem uma resistência de entrada dependente quando são ligados, introduzindo assim distorção. Esse problema pode ser resolvido por *bootstrapping*, uma técnica de circuito que visa manter constante a resistência da chave mesmo sob oscilações de tensão de entrada e saída. Para manter uma resistência de entrada (R_{on}) relativamente constante em uma chave, desejamos fixar sua tensão *gate-source* (V_{GS}) à medida que a entrada varia.

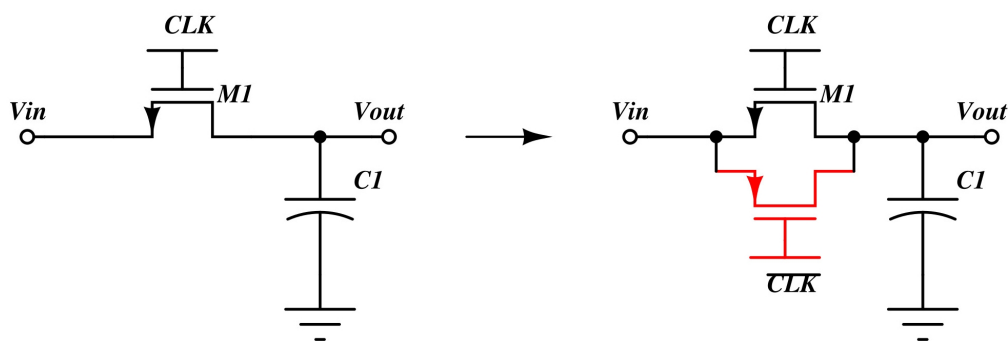
As chaves projetadas com transistores MOS em tecnologias nanométricas sofrem

de várias imperfeições, porém, duas podem ser mitigadas por meio de *bootstrapping*. Na Figura 24, o sinal de controle CLK estará em V_{DD} quando o transistor M_1 está ligado, o que nos leva a uma resistência de entrada, $R_{on} = [\mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{in} - V_{th})]^{-1}$.

Como R_{on} idealmente tende ao infinito, quando V_{DD} se aproxima de $V_{DD} - V_{TH}$ o intervalo de entrada se torna bastante limitado (RAZAVI, 2015). Para contornar essa situação, pode-se adicionar um transistor M_2 em paralelo com o transistor M_1 , onde M_2 acomodará níveis de entrada mais altos. Desta maneira, garante-se que o V_{GS} da chave será praticamente constante e consequentemente a resistência da chave será constante.

Segundo (YUAN, 2021), *Bootstrapping* é uma técnica que replica a tensão de entrada no terminal de *gate* da chave de amostragem com um offset DC de V_{DD} tal que $V_{GS} = V_{DD}$, independentemente da amplitude do sinal de entrada.

Figura 24 – Circuito simples de amostragem



Fonte: Adaptado de (RAZAVI, 2015)

A faixa dinâmica dos ADCs SAR é criticamente afetada pela linearidade do bloco *sample-and-hold* (S/H), que é formado por uma chave e a rede capacitiva (C-DAC) dos ADCs SAR. Tentando minimizar a dependência da chave da variação de V_{in} e $V_{DS} = V_{in} - V_o$, a tensão dos terminais de *gate-source* da chave precisa estar fixada no maior valor constante de tensão, mais especificamente, V_{DD} (YUAN, 2021).

Existem diferentes topologias de chaves com bootstrapping, sendo algumas delas revisadas em (YUAN, 2021).

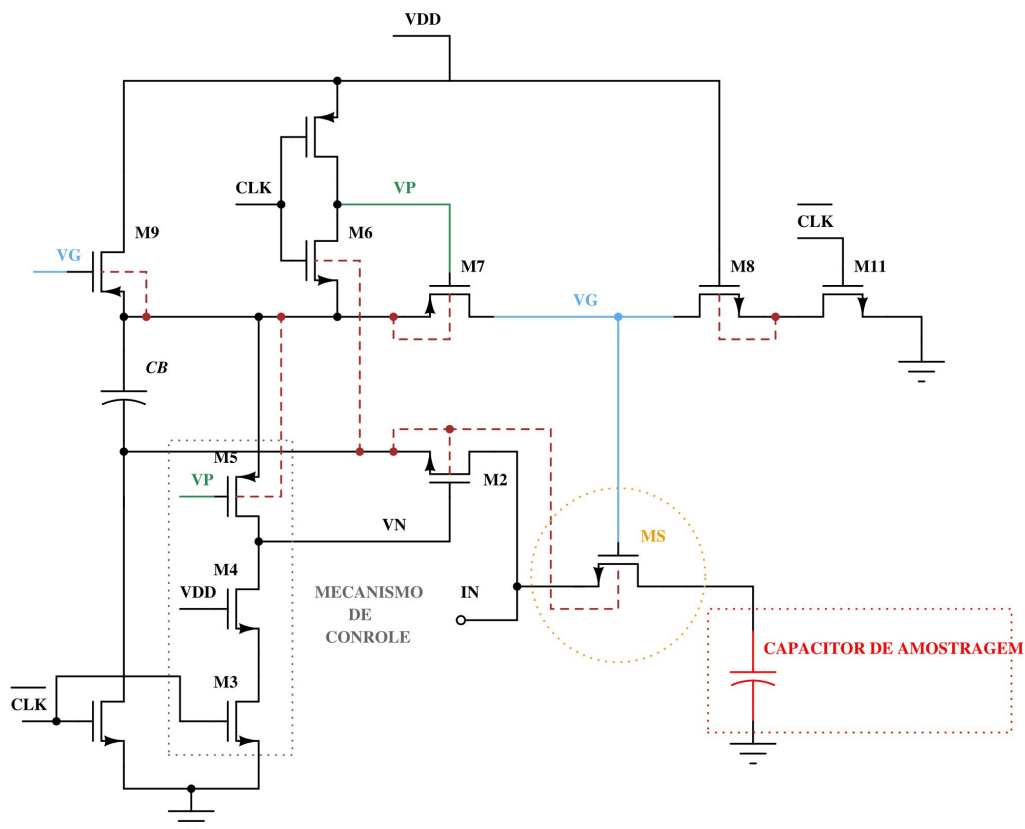
Entretanto, neste trabalho optou-se por utilizar a topologia introduzida em (RAMKAJ et al., 2018). Neste trabalho é apresentado o modelo de uma *Bootstrapped Switch* utilizada em um ADC SAR com uma $f_{sampling} = 1,25 \text{ GS/s}$ em tecnologia CMOS de 28 nm, com uma tensão de alimentação igual a 1 V. O circuito da chave usada é mostrado na Figura 25. A linearidade da chave de entrada afeta diretamente o desempenho total do ADC. Isso é atribuído principalmente à resistência do transistor da chave (R_{on}) ser

dependente do sinal não linear do interruptor e à capacitância parasita, que geram distorção harmônicas quando os sinais de alta frequência são amostrados (RAMKAJ et al., 2018). Neste trabalho, como a frequência de amostragem é de apenas 5 kSPS, não será necessário esse cuidado.

Na Figura 25, o transistor M_2 está desconectado do loop crítico como apresentado em (ABO; GRAY, 1999), reduzindo assim a carga no nó V_G . Ao invés disso, foi acrescentado um mecanismo de controle no transistor M_2 , composto por M_3 até M_5 , operando em paralelo com o loop da chave *bootstrap*. Tanto M_2 quanto M_7 rastreiam a entrada em conjunto com tensão máxima de *gate-source* e, portanto, a resistência da chave é reduzida e mantida constante.

Para aumentar ainda mais a largura de banda da chave, o terminal de *bulk* da maior parte dos transistores de velocidade para as fases de espera e amostragem do sinal foi vinculada à sua fonte para uma resistência (R_{on}) mínima.

Figura 25 – Topologia da Chave *Bootstrap* empregada



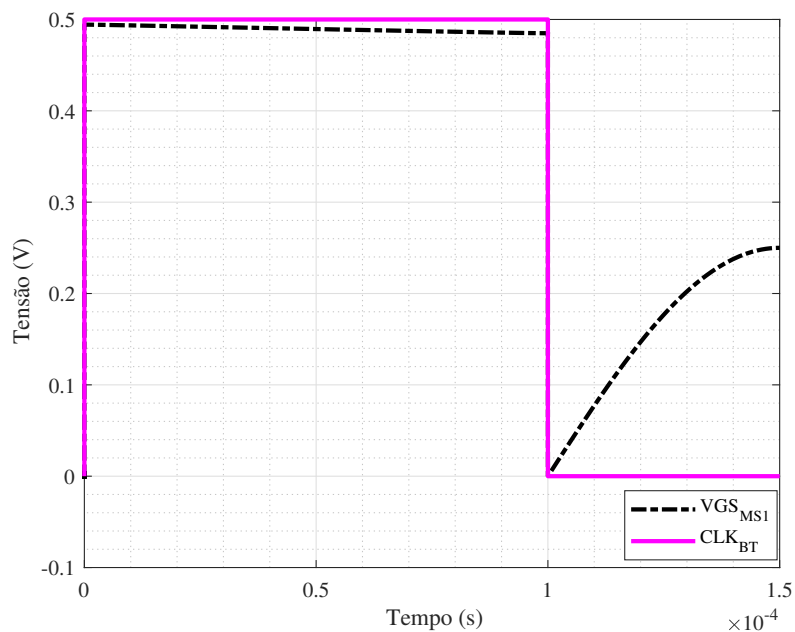
Fonte: Adaptado de (RAMKAJ et al., 2018)

No caso de (RAMKAJ et al., 2018), o terminal de *bulk* do transistor está conectado no nó da parte de baixo do capacitor C_B , diferente de como mostrado em (ABO; GRAY,

1999) e isso contribui com alguns benefícios. Na fase de amostragem (*Sample*) M_7 liga da mesma maneira que em (ABO; GRAY, 1999) e M_2 liga totalmente através de M_5 , completamente dissociado do nó V_G . Durante a fase de espera (*hold*), o terminal de *bulk* de M_5 é conectado no terra ao invés de ser conectado na entrada, sendo assim, a chave está "desligada".

Precisamos então de uma resistência praticamente constante para suportar as diferenças de variação de tensão de entrada, V_{in} , na chave e não termos problemas de erros de linearidade ou não monotonicidade no ADC. Para que isso seja contemplado, precisamos de uma tensão de *gate-source*, $V_{GS_{MS}}$, praticamente constante durante toda a fase de amostragem. Como observado na Figura 26, o $V_{GS_{MS}}$ varia, no máximo $10mV$ durante o sinal *clock* em estado lógico alto.

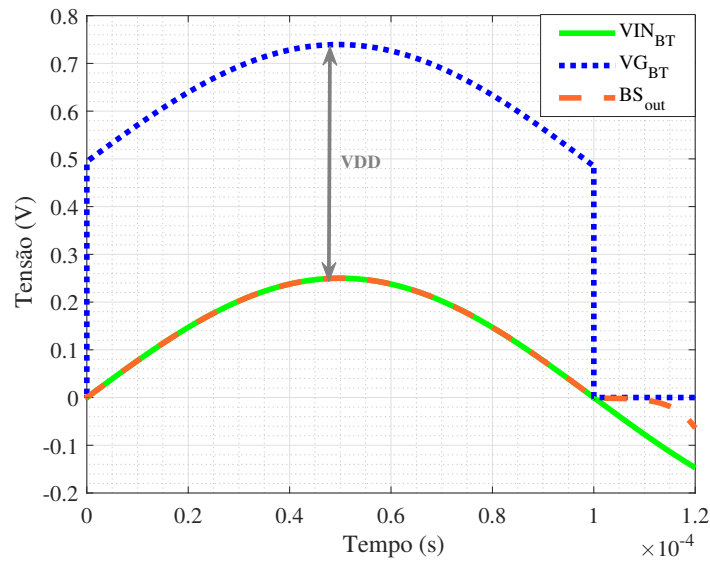
Figura 26 – $V_{GS_{MS}}$ e sinal de *clock* da chave



Fonte: Autor

Além disso, o sinal $V_G = V_{IN} + V_{DD}$, logo, neste caso, $V_G = (500m + 250m) = 750mV$, como mostrado na Figura 27. É observado que a saída do sinal que estará no capacitor de amostragem (BS_{out}) e também do sinal V_{IN} permanecem com o mesmo valor. Para que o sinal V_G atinga o valor necessário, ao usar transistores com um V_{TH} médio, como o valor da tensão de alimentação é próximo ao valor de V_{TH} , o capacitor C_B está com um valor elevado. O que implica em uma maior área do circuito, o circuito da chave em si será muito menor que o capacitor necessário para gerar a tensão V_G .

A Tabela 6 apresenta os valores dos transistores dimensionados. É importante

Figura 27 – V_G , V_{in} e BS_{out} da chave

Fonte: Autor

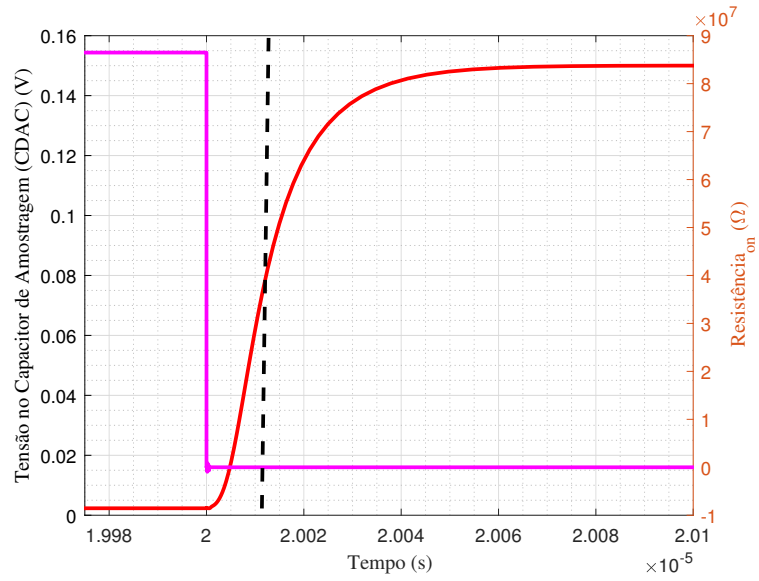
ressaltar que os transistores M_6 e M_{10} são transistores *standard*, com tensão de *thershold* padrão e os demais são transistores com tensão de *thershold* média (médio VT).

Tabela 6 – Dimensionamento dos Transistores da *Bootstrapped Switch*

Transistor	W/L (μm)	Múltiplos
M_S	20/2	2
M_2	2/0,3	5
M_3	2/0,3	1
M_4	2/0,3	1
M_5	2/0,25	1
M_6	2/0,3	1
M_7	2/0,25	1
M_8	2/0,3	1
M_9	2/0,25	1
M_{10}	2/0,3	1
M_{11}	2/0,3	1
C_B	30/30	9

A resistência da chave é dada por $R_{on_{MS1}} = V_{DS_{MS1}} / I_{D_{MS1}}$ e foi medida adicionando uma tensão DC na entrada do circuito e variando-a de 0,05 V até 0,5 V. Então, calculou-se o valor da resistência da chave quando o valor da carga no capacitor é 50% da tensão V_{IN} aplicada, como mostrado na Figura 28.

Sendo assim, fez-se uma média dos valores encontrados para aproximar o valor de R_{on} . Pode-se então calcular a constante τ da chave, o tempo assentamento do circuito,

Figura 28 – Curvas C_{DAC} e Resistência em função do tempo

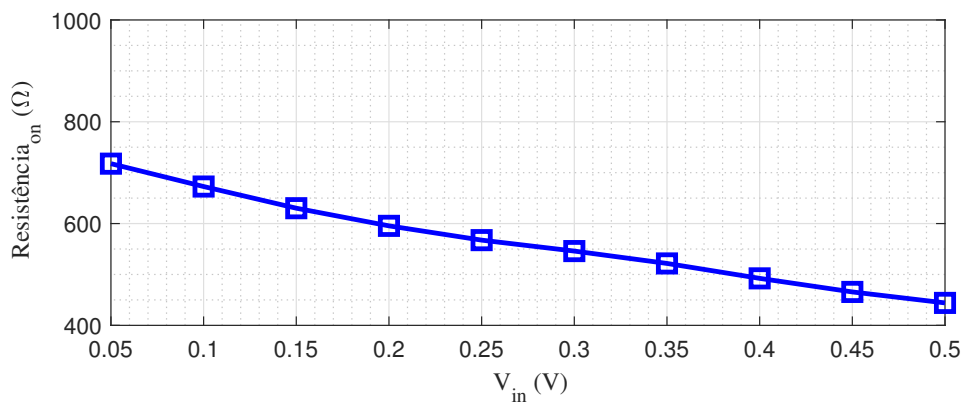
Fonte: Autor

dados pela equação 38.

$$\tau = R_{on}C_B = (565,33 \Omega) \times (16,25 pF) = 9,117133443 \times 10^{-9} s \approx 9,18 ns \quad (38)$$

Por fim, o gráfico na Figura 29 mostra a variação da resistência R_{on} do transistor M_S com a variação da tensão de entrada de 50 até 500 mV .

Figura 29 – Variação da Resistência da Chave



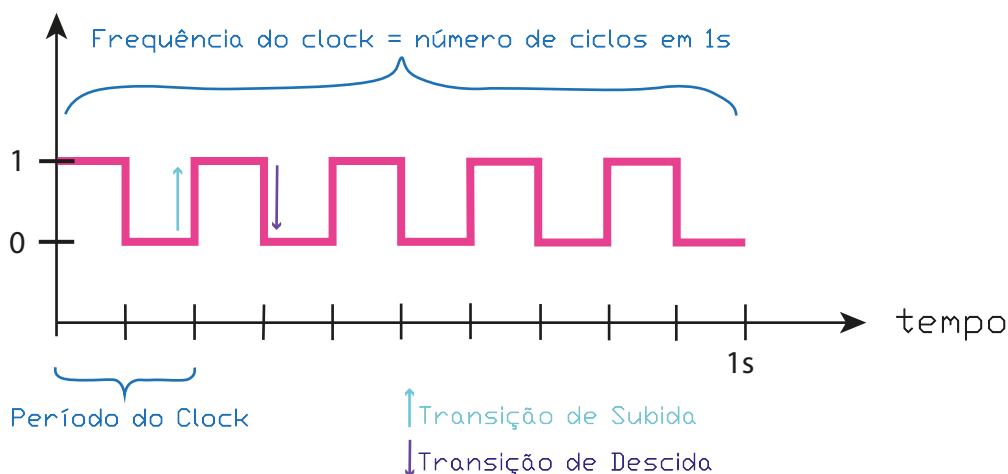
Fonte: Autor

3.2.4 Circuitos de controle e lógica SAR

Os circuitos digitais são separados em circuitos combinacionais e circuitos sequenciais. O circuito combinacional não é capaz de armazenar um valor e o valor dos sinais de saída depende apenas do valor dos sinais de entrada. Já o circuito sequencial é capaz de armazenar valores e os valores dos sinais de saída dependem do valor dos sinais de entrada e dos valores armazenados no circuito. Entre os circuitos sequenciais, temos como exemplo os registradores, a memória, a *latch set e reset*, a *latch tipo-D*, o *flip-flop tipo D* e o *flip-flop tipo T*.

O sinal de *clock* é um sinal digital que forma uma onda periódica e determina quando os eventos devem acontecer. O ciclo de clock vai ser dividido em duas partes, clock em nível lógico baixo ($CLK = 0$) e clock em nível lógico alto ($CLK = 1$). O sinal de *clock* normalmente é caracterizado por uma onda quadrada, logo, teremos as transições de subida e transições de descida, como mostrado na Figura 30. Todo sinal de *clock* também possui duas métricas importantes, seu período e sua frequência. O período é caracterizado pelo tempo de duração de um ciclo de *clock* e a frequência é a taxa, ou seja, o número de ciclos em 1 segundo. O circuito sequencial possuirá sinal de clock como sinal de entrada habilitando a escrita (armazenamento) de um valor no circuito. O funcionamento do sistema é sincronizado pelo sinal de *clock*.

Figura 30 – Sinal de *clock*



Fonte: Autor

Podemos ter duas metodologias de temporização, *level-triggered* ou *edge-triggered*. A metodologia *level-triggered* está atrelada as mudanças que ocorrem no circuito quando o clock tem um determinado valor (0 ou 1) e a metodologia *edge-triggered* é caracterizada pelas mudanças no circuito que acontecem no tempo de transição do *clock*. A *latch*

é o elemento de memória mais simples, capaz de armazenar o valor de 1-bit. Temos dois tipos de *latches*, as *latches S-R*, que não possuem sinal de clock como entrada e as *latches* do tipo D que não só possuem sinal de clock como entrada mas também tem o sinal de clock como habilitador de escrita no circuito. O *flip-flop* também é capaz de armazenar o valor de 1-bit já que é construído usando *latches*. A principal diferença de uma *latch* com *clock* e um *flip-flop* com *clock* é como ocorre a atualização do valor armazenado no circuito. Na *latch* o valor armazenado muda se o sinal de entrada muda e o *clock* está em nível lógico alto. No *flip-flop* com *clock* o sinal só muda se o sinal de entrada muda e o *clock* está em transição.

3.2.4.1 Flip-flop do tipo D com SET e RESET

O *flip-flop* do tipo D possui um sinal de dado de entrada e também um sinal de *clock* como entrada e suas saídas são um sinal Q e o complemento do sinal Q . O *flip-flop* do tipo D com *SET* e *RESET* tem o seguinte princípio de funcionamento:

- **RESET**: sinal de controle que comanda a escrita de 0 no *flip-flop*;
- **SET**: sinal de controle que comanda a escrita de 1 no *flip-flop*;

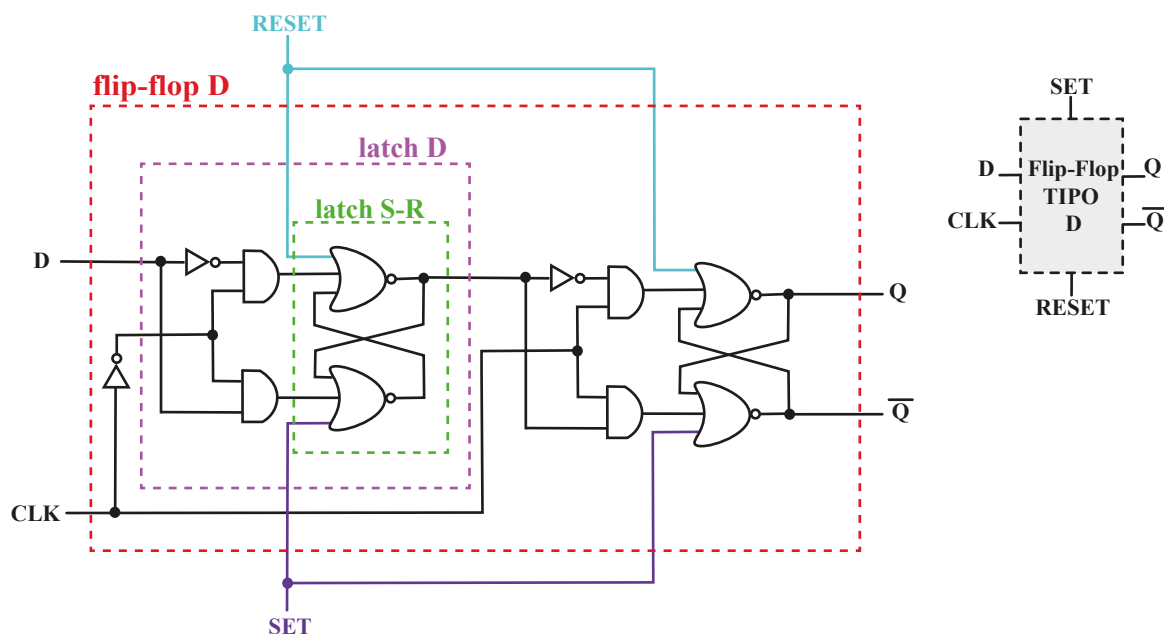
Os sinais de *SET* e *RESET* podem ser síncronos ou assíncronos, sendo eles síncronos quando são ativados somente se estão ativos na transição de *clock* e assíncronos pois são ativados independente da transição de *clock*. A Figura 31 apresenta um *flip-flop* do tipo D clássico baseado em portas lógicas. Já a Figura 32 apresenta o *flip-flop* do tipo D baseado em *transmission gates* que foi utilizado neste trabalho.

3.2.5 Registradores SAR - Controle Lógico

O esquemático elétrico simplificado completo do ADC SAR projetado é apresentado na Figura 33. O $Clock_ADC$ representa o sinal de clock do ADC, $Clock_comp$ é o clock do comparador, acionado pelo sinal *Valid*. O sinal *Valid* também aciona os clocks assíncronos internos ($Clock_{(1-10)}$), que controlam os bits gerados pela lógica SAR. É importante ressaltar que se deve gerar um atraso na saída do sinal *Valid* para dar tempo do comparador devidamente deliberar a comparação.

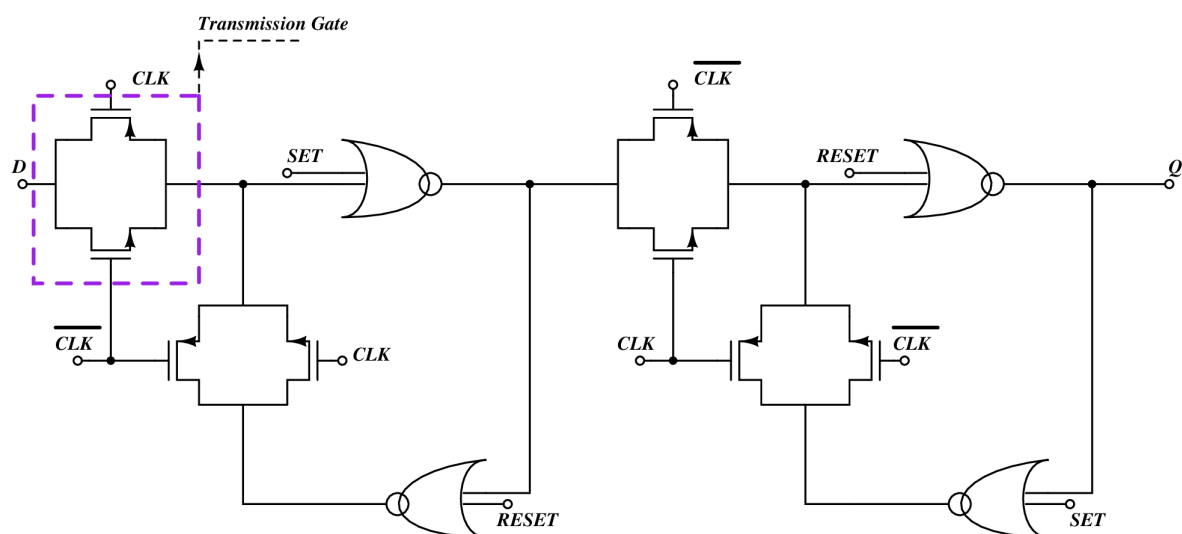
Diferentes circuitos lógicos de controle se fazem necessários. O circuito lógico de controle é necessário para executar o algoritmo de busca para encontrar o nível de

Figura 31 – *Flip-Flop* do tipo D com Set e Reset



Fonte: Autor

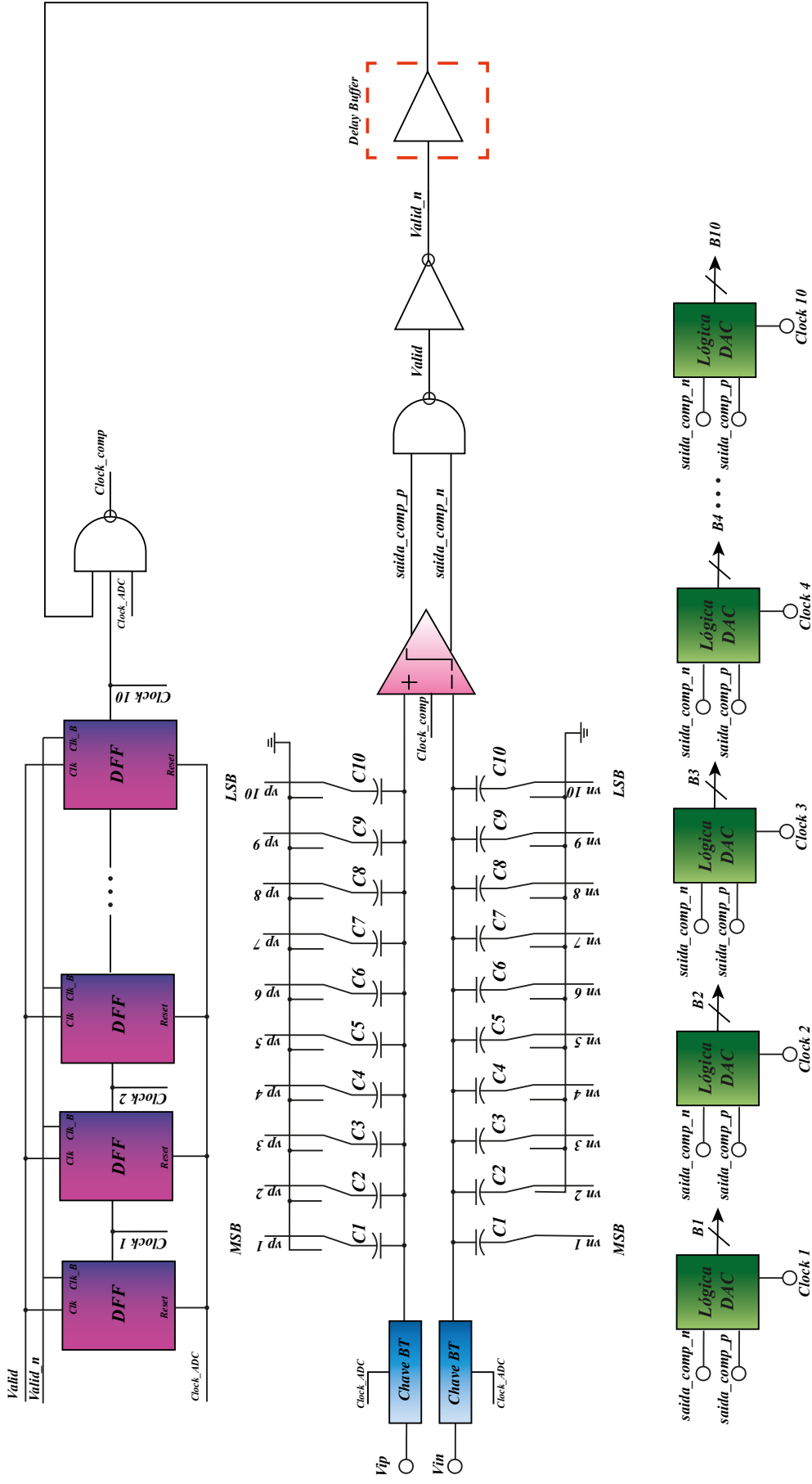
Figura 32 – *Flip-Flop* do tipo D com Set e Reset e Transmission Gates



Fonte: Autor

quantização que corresponde a entrada analógica. O desenho clássico na literatura é proposto por (ANDERSON, 1972), mesmo sendo apresentado em 1972, este circuito ainda é bastante utilizado.

Figura 33 – Esquemático elétrico simplificado completo do ADC SAR projetado

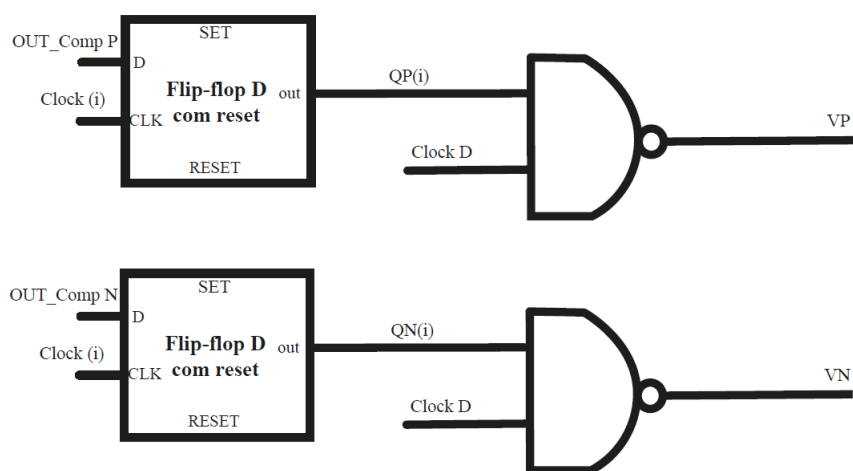


Fonte: Autor

Neste projeto pretende-se usar o controle mostrado na Figura 34, onde, i = número de bits e representa a quantidade de blocos de controle que teremos no projeto, logo, para 10-bits teremos 10 blocos do controle lógico do DAC, cada saída do *flip-flop* neste bloco representa a saída a ser conectada na rede de capacitores.

O circuito contará com vinte *flip-flops* do tipo D com *SET* e *RESET* e será responsável por enviar o sinal de *clock* correspondente a cada um dos bits aos registradores SAR.

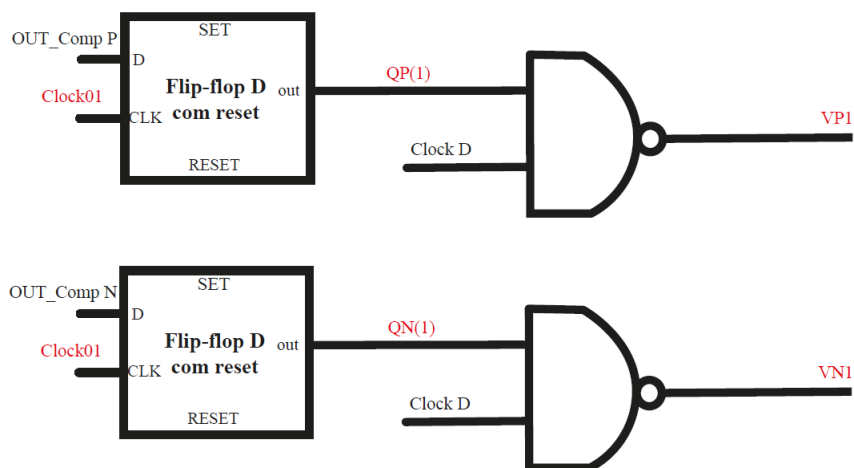
Figura 34 – Controle Lógico do DAC



Fonte: Autor

Por exemplo, o controle lógico exibido na Figura 35 representa o bloco de controle do DAC para o bit 01. Na sua entrada terá Clock 1, proveniente do circuito *sample-and-hold* na Figura 33. E as saídas V_{P1} e V_{N1} serão conectadas na rede capacitores em C1, no lado P e no lado N, respectivamente.

Figura 35 – Controle Lógico de Controle do DAC para o bit-01



Fonte: Autor

4 RESULTADOS DE SIMULAÇÃO

A partir do estudo apresentado no capítulo 3 e dos artigos estudados, foi possível desenvolver o circuito do ADC SAR assíncrono com chaveamento monotônico operando em baixa tensão. Foram feitas diversas análises para avaliar o desempenho deste ADC. Na sessão passada foi apresentado o cálculo da capacitância unitária e como seu valor afeta diretamente o valor do erro de INL gerando assim distorção no sinal. Por questões de tamanho de área do circuito escolheu-se aumentar esse erro e diminuir a área do circuito, pois foi escolhido um capacitor unitário igual a $35,6 fF$. As simulações foram feitas no ambiente de simulação da Cadence, o *Virtuoso* e os resultados foram obtidos através do simulador *Spectre X* com a opção CX, com corner típico e temperatura ambiente.

4.1 Resultados de Simulação com Chaves Ideais

Para avaliar o desempenho do ADC efetuou-se uma simulação transiente com o tempo necessário para efetuar uma FFT com 1024 pontos.

No caso deste ADC, foi utilizado uma $f_{sampling} = 5$ kSPS e $f_{in_{max}} = 590,8203125$ Hz. Estes valores foram escolhidos a partir do cálculo da amostragem coerente apresentada no capítulo passado. Primeiro, o circuito foi feito utilizando chaves ideais em uma simulação transiente desconsiderando o ruído. Nesta simulação obteve-se um $SNR = 61,86$ dB, $SNDR = 61,81$ dB e $SFDR = 74,76$ dB, sendo assim, calculou-se um número efetivo de bits (ENOB) igual a 9,97, consumindo uma potência $P_{consumida} = 0,95 \mu W$.

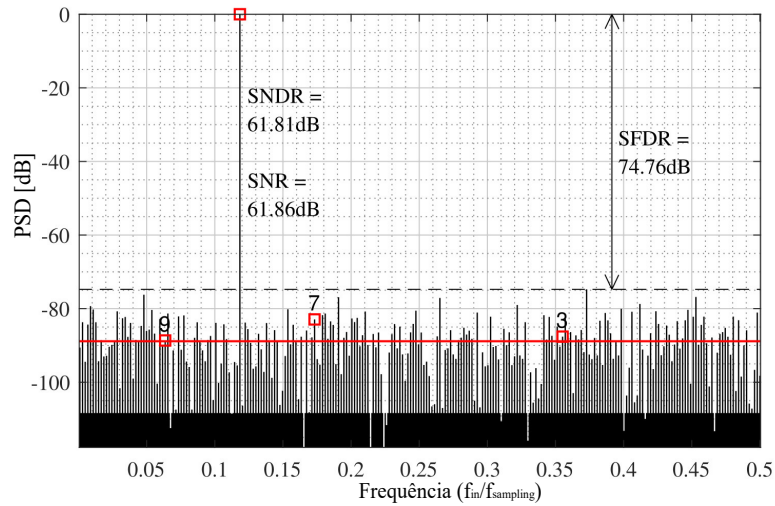
Para medir o consumo de potência, foi aplicado um sinal senoidal de $0,5 V_{p-p}$, com $V_{CM} = 250$ mV em uma simulação transiente e fez-se a média do sinal da corrente da fonte de alimentação. Logo após, o valor encontrado foi multiplicado pela tensão de alimentação.

É importante ressaltar que para coletar os dados corretamente no ambiente do *software* Virtuoso é utilizado um bloco em VerilogA que identifica o valor dos bits do sinal e os escreve em um arquivo de texto e esses dados são direcionados ao *software* Matlab onde são adequadamente processados para extrair a representação digital do sinal de entrada em valores de tensão.

A densidade espectral de potência da saída do ADC foi calculada no *software* Matlab usando uma FFT de 1024 pontos, esta pode ser observada na Figura 36. Esta FFT foi plotada de acordo com (Skyler Weaver, 2010). Esta função plota a FFT da tensão de

saída do ADC e calcula os principais parâmetros do ADC.

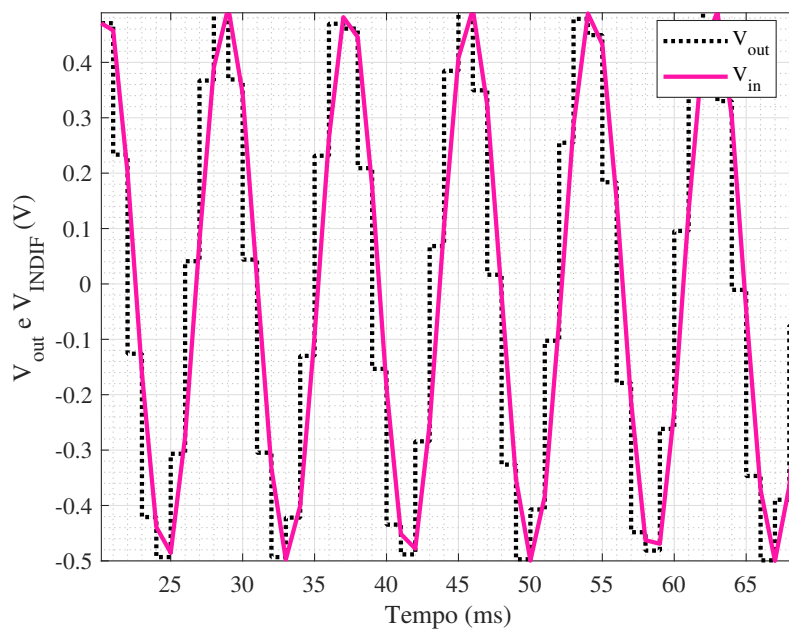
Figura 36 – FFT do sinal de Saída (V_{out}) com chaves ideais



Fonte: Autor

Na Figura 37 são apresentadas as tensões de entrada e a representação da saída do ADC SAR após a conversão digital-analógico ideal.

Figura 37 – Tensão de entrada ($V_{in} = V_{INDIF}$) e Tensão de Saída do ADC (V_{out})

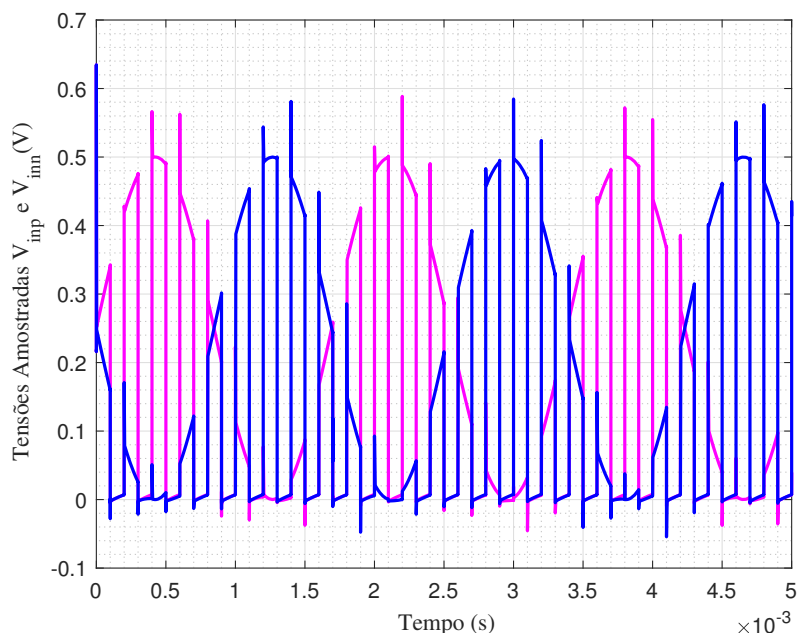


Fonte: Autor

4.2 Resultados de Simulação com Chaves Reais

Após observar os resultados utilizando chaves ideais, no seu lugar foram adicionadas as chaves *Bootstrapped*, uma para cada sinal complementar, responsáveis de fazer a amostragem do sinal diferencial na entrada. Fez-se então uma simulação transiente com ruído ($f_{noise,max} = 10 \times f_{clk}$), também com tempo de simulação suficiente para que fossem vistos o mesmo número de pontos. Na Figura 38 é apresentado as formas de onda dos sinais de entrada já amostrados.

Figura 38 – Sinais de Entrada Amostrados

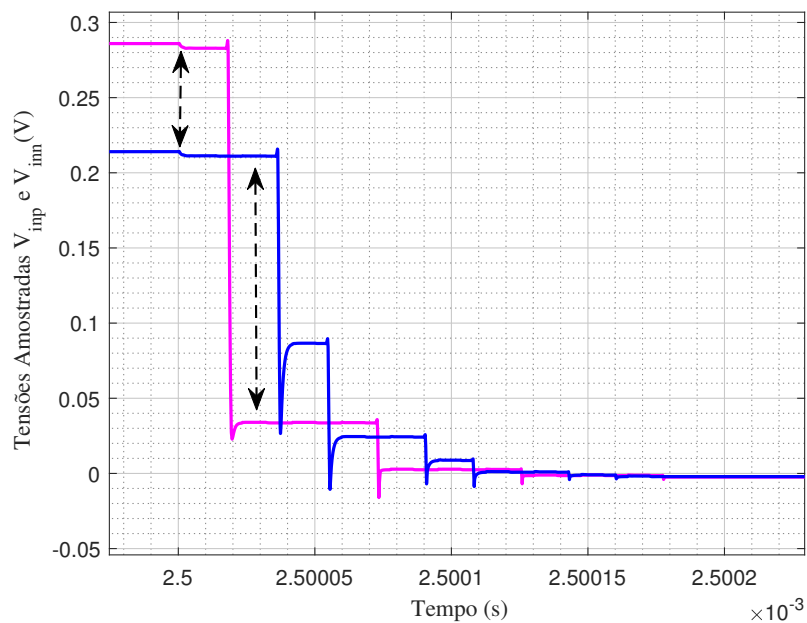


Fonte: Autor

A Figura 39 apresenta um zoom na tensão dos capacitores de amostragem logo após o início da conversão AD, ou seja, posterior à amostragem do sinal de entrada. É importante ressaltar que as tensões V_{inp} e V_{inn} são as tensões do *top plate* dos capacitores de amostragem, onde $V_{INDIF} = V_{inp} - V_{inn}$. Esta figura apresenta as 10 diferenças amostradas durante um ciclo de clock, é perceptível que a partir da sétima conversão, os valores de V_{inp} e V_{inn} se tornam muito próximos fazendo com que V_{INDIF} apresente amplitude na faixa de unidades a dezenas de mV. Ainda, o valor absoluto de V_{inp} e V_{inn} são reduzidos a cada comutação do comparador. Por este motivo, justifica-se novamente a utilização de um comparador com um par diferencial de entrada do tipo P.

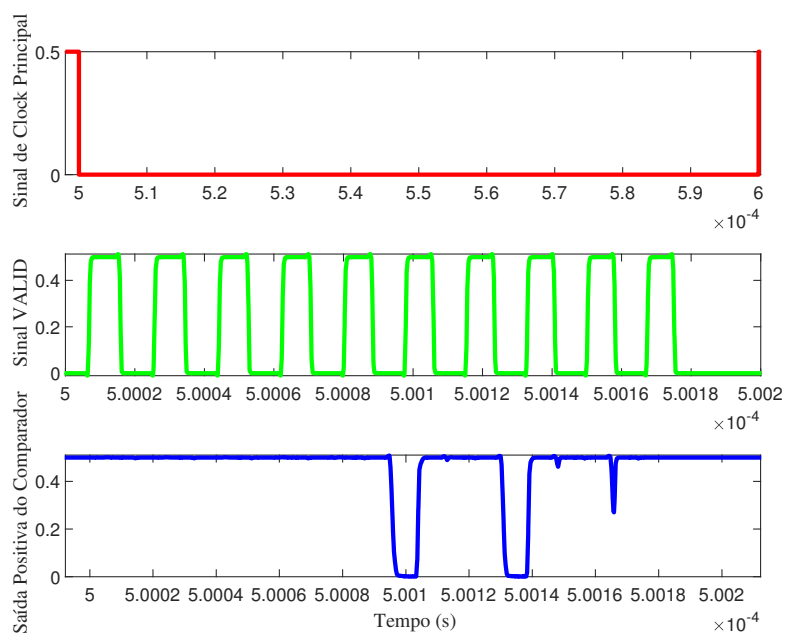
As Figuras 40 e 41 apresentam o diagrama de temporização da lógica de controle assíncrona obtida diretamente de uma simulação transiente. O comparador dinâmico gera

Figura 39 – Valores de Entrada Diferenciais



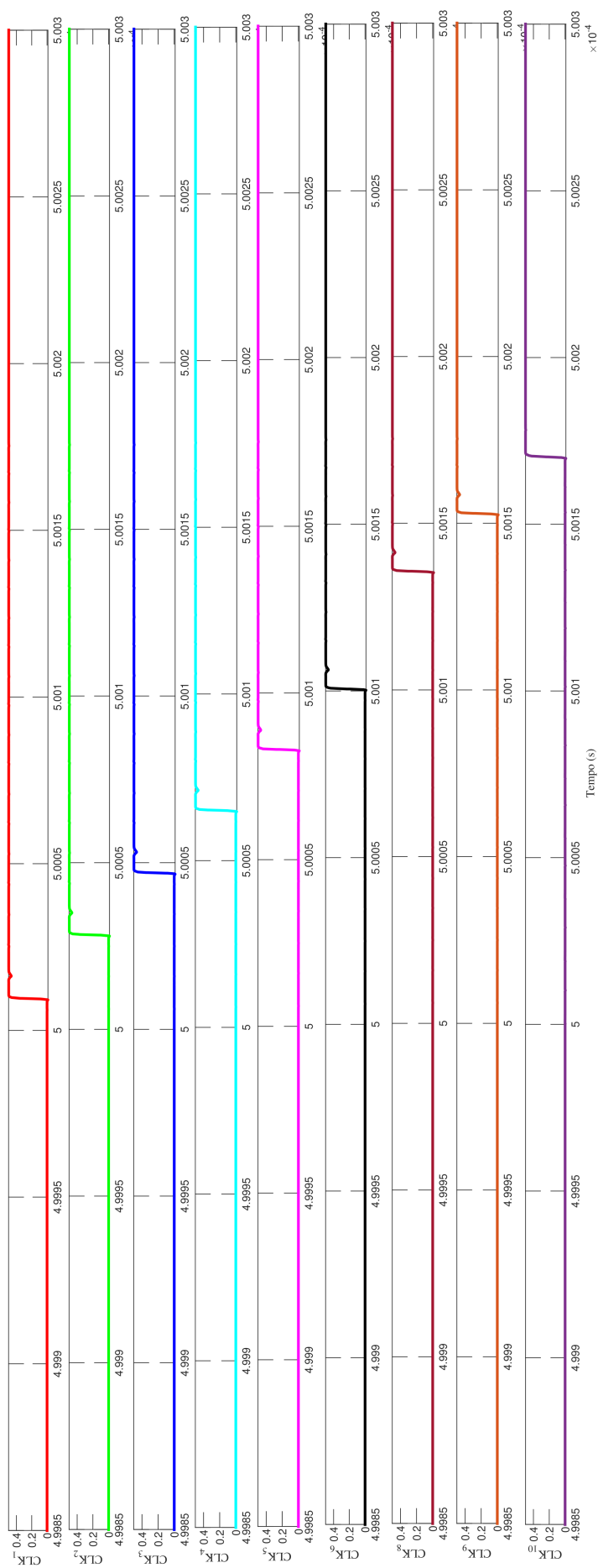
Fonte: Autor

o sinal para que se inicie a conversão (Sinal *VALID*). Os $CLKs_{1-10}$ são os sinais de controle dos interruptores de amostragem, ele liga os interruptores em alto potencial e desliga os interruptores em baixo potencial. A etapa de conversão é efetuada em um tempo de aproximadamente 5% de todo o período de conversão.

Figura 40 – Sinal de Clock, saída do comparador e sinal *VALID* de controle

Fonte: Autor

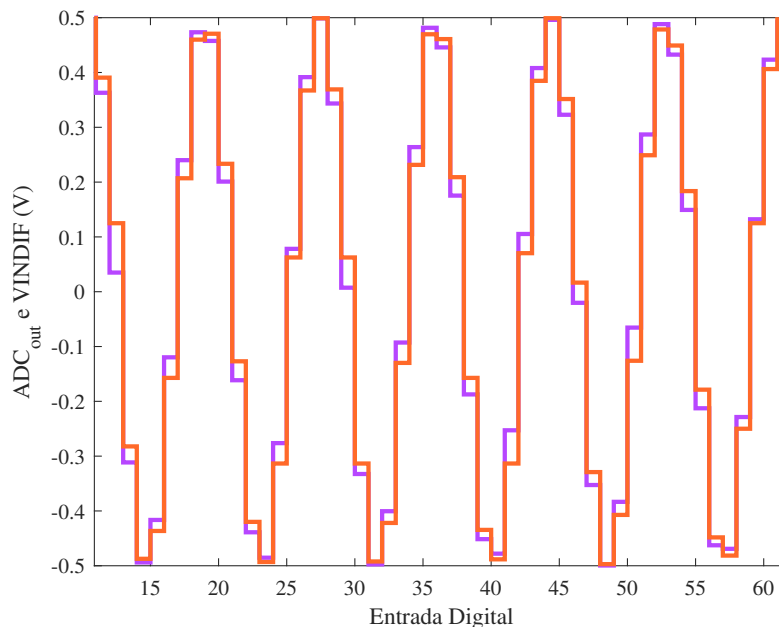
Figura 41 – Sinais de Controle do DAC



Fonte: Autor

A Figura 42 apresenta o sinal de saída do ADC reconstruído, em roxo, e o respectivo sinal de entrada diferencial, em laranja.

Figura 42 – Representação da Saída Digital Real e Saída Digital Ideal



Fonte: Autor

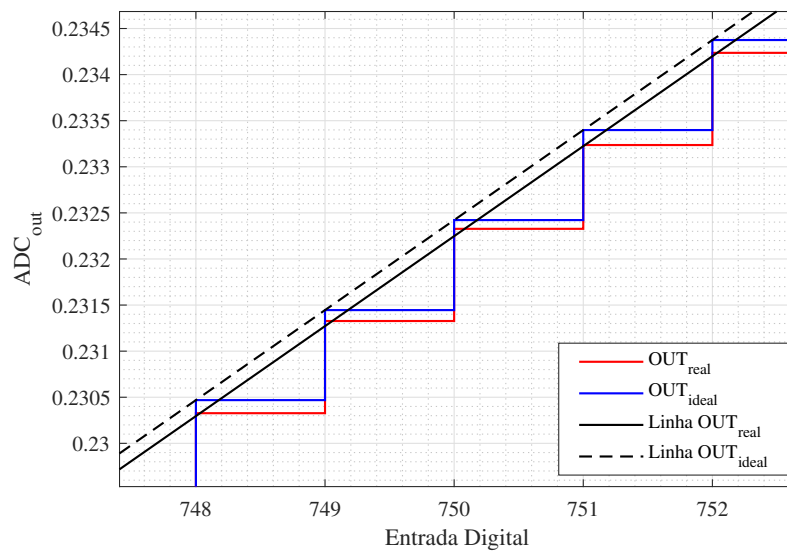
Para a simulação dos erros de não-linearidade integral e diferencial (INL e DNL), foi utilizado uma entrada em rampa, variando a sua amplitude de tal que todos os 2^N pontos de conversão que o ADC consegue distinguir sejam simulados com tempo de $t_{sim} = 10 \times 2^N \times t_{clock}$. É possível então gerar a Figura 43, seguindo a revisão bibliográfica apresentada no capítulo 2, nas Figuras 2 e 1.

Para analisar os erros de não-linearidade integral e diferencial deve-se fazer uma simulação de Monte Carlo, e após plotar os valores RMS de INL e DNL. Entretanto, devido ao elevado tempo de simulação, e limitado tempo para execução deste trabalho de conclusão de curso não foi possível efetuar esta simulação.

Entretanto, as Figuras 44 e 45 apresentam os valores de INL e DNL correspondentes a uma simulação transiente com uma entrada em rampa cobrindo toda faixa de entrada do sinal. Para fazer a simulação, é importante colocar um tempo de simulação que inclua todos os 2^N níveis de tensão que o ADC consegue diferenciar.

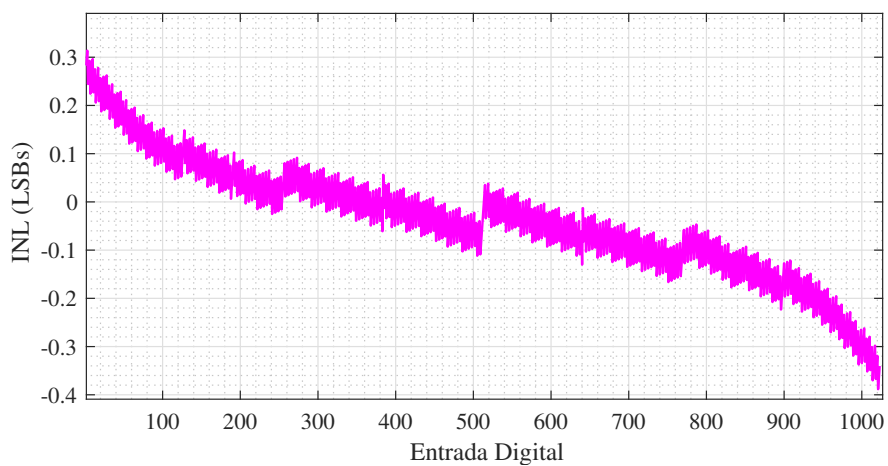
Usou-se das mesmas ferramentas de simulação com as chaves ideais para obter os gráficos da FFT do circuito projetado com as chaves do tipo *Bootstrapped*. Como mostrado na Figura 46, o circuito apresenta um $SNR = 61,44$ dB, $SNDR = 61,31$ dB e $SFDR = 73,19$ dB, calculou-se então um $ENOB = 9,90$ bits, consumindo $1,43 \mu\text{W}$

Figura 43 – Representação da Saída Digital Real e da Saída Digital Ideal



Fonte: Autor

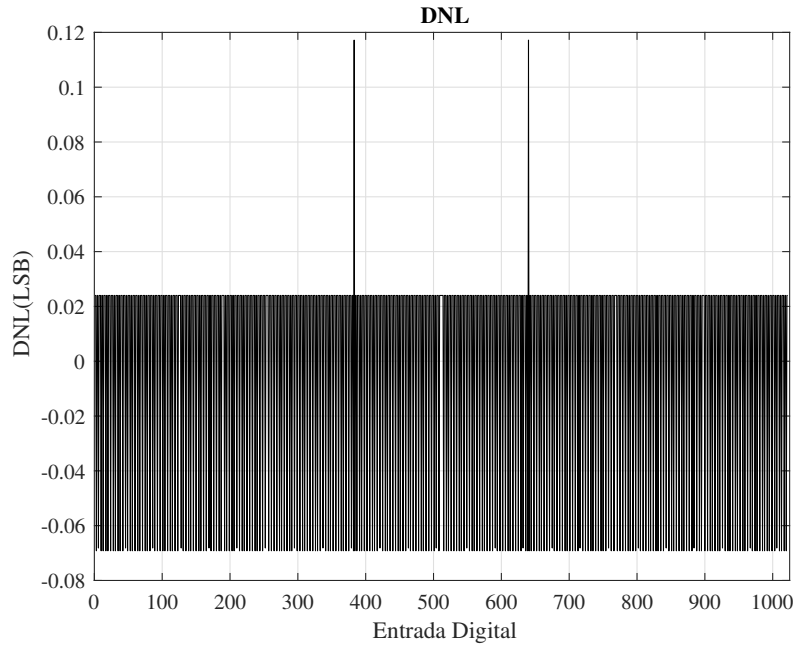
Figura 44 – INL do ADC SAR



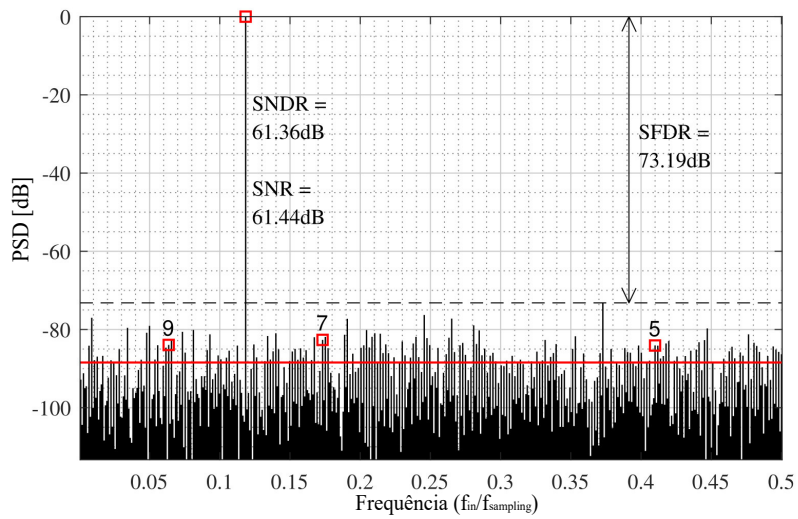
Fonte: Autor

de potência. Portanto, os resultados com as chaves *Bootstrapped* foram próximos dos valores encontrados com as chaves ideais, demonstrando um bom funcionamento das chaves *Bootstrapped* e do comparador em baixa tensão.

Figura 45 – DNL do ADC SAR



Fonte: Autor

Figura 46 – Transformada Rápida de Fourier (FFT) do sinal de Saída (V_{out}) com chaves *Bootstrapped*

Fonte: Autor

4.3 Discussão e Comparação com Outros Trabalhos

Os resultados sumarizados deste ADC são encontrados na Tabela 7. Ao analisar os dados e comparar com a Figura 9 nota-se que o ADC apresentou resultados satisfatórios. O circuito foi projetado em tecnologia CMOS de 180nm, operando em 0,5 V. Foi utilizado uma capacitância unitária de 35,6 fF com intuito de minimizar área no circuito. A tensão de entrada de modo comum é 250 mV e a tensão de entrada diferencial máxima do ADC é $1 V_{p-p}$. O ADC foi projetado para uma frequência de amostragem igual a 5 kSPS com um $SNR = 61,44$ dB, $SNDR = 61,31$ dB e $SFDR = 73,19$ dB e calculou-se um $ENOB = 9,90$ bits, consumindo $1,43 \mu W$ de potência. Por fim, calculou-se uma $FoM = 143,08$ fJ/conv.. Porém, em relação a consumo de potência, ela pode ser otimizada ao diminuir os atrasos utilizados para que o conversor redefina e faça as novas conversões. Consequentemente, a figura de mérito será diminuída, algo muito almejado quando efetua-se o projeto ADCs SAR para aplicações biomédicas, pois necessita-se de uma resolução relativamente alta e baixo consumo de energia. Na Tabela 8 é apresentada a comparação deste trabalho com trabalhos semelhantes. Nota-se que existem poucos trabalhos, em relação às conferências analisadas, com frequências de amostragem baixas. Além disso, a Figura 47 mostra que o resultado deste trabalho encontra-se longe da curva do estado da arte, deixando para trabalhos futuros a otimização deste trabalho.

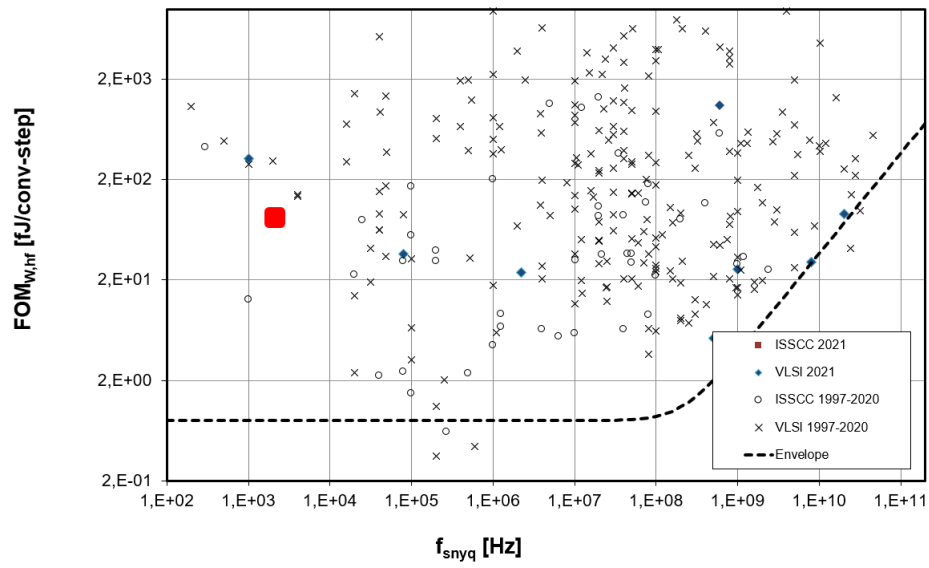
Tabela 7 – Sumário das Especificações do ADC obtidas a partir de simulações em nível de esquemático elétrico

Parâmetros do Circuito	Resultados
Capacitância Unitária (fF)	35,6
Tensão de Alimentação (V)	0,5
Tensão de Entrada de Modo Comum - VCM (V)	0,25
Tensão Diferencial de Entrada (V_{p-p})	1
Taxa de Amostragem (ksps)	5
SNR (dB)	61,44
SNDR (dB)	61,31
ENOB (bits)	9,90
Potência (μW)	1,43
FOM (fJ/Conv.-steps)	143,08

Tabela 8 – Comparação de desempenho com trabalhos semelhantes

Arquitetura	(LIU et al., 2010)	(CHUNG; CHIANG, 2019)	(HERNANDEZ; SEVERO; NOIJE, 2018)	(SADOLLAHI et al., 2018)	(HWANG et al., 2018)	(HONG; LIN; CHIU, 2018)	Este trabalho
	SAR - Assíncrono 130	SAR - Síncrono 180	SAR - Assíncrono 180	SAR - Single Ended 180	SAR - Assíncrono 180	SAR - Assíncrono 180	
Processo (nm)	1,02	0,7	0,5	0,75	0,6/0,35	0,25/0,2	0,5
Tensão de Alimentação (V)							
Taxa de Amostragem	50(Msps)	100(kcps)	10(Msps)	10(kcps)	20(kcps)	450(Sps)	5(kcps)
Resolução (bits)	10	12	9	11	10	10	10
Capacitância de Amostragem (pF)	2,5	2,5	-	-	-	-	16,12
INL (LSBs)	-	-0,4/+1,1	-	0,94/-0,89	0,26/-0,25	0,97/-1,04	-
DNL (LSBs)	-	-1,2/+1,4	-	0,6/-0,37	0,18/-0,2	1,04/-0,66	-
ENOB (bits)	9,18	-	8,55	9,76	9,5	-	9,9
Potência (W)	826μ	730n	48μ	250μ	112μ	0,85μ	1,43μ
FoM (H/conv. step)	29	5,6	13	28,8	7,79	8	143,08
Área (mm ²)	0,052mm ²	0,083mm ²	-	270*475(um*um)	0,0468mm ²	0,024mm ²	-

Figura 47 – Resultado Encontrado comparado a FoM de Boris Murmann



Fonte: Adaptado de (Boris Murmann, 2022)

5 CONCLUSÕES

Seja por uma necessidade de saúde, segurança ou conforto há uma demanda por melhores conversores analógico-digitais, pois estes desempenham um papel importante, como o módulo que traduz o domínio analógico para o digital, garantindo a qualidade do sinal capturado com o menor consumo de energia possível.

Depois de um panorama entre os ADCs, mostrando seus conceitos mais importantes e medidas para caracterizá-los, primeiro é feita uma distinção entre os conversores sobreamostrados e os conversores do tipo Nyquist. Em seguida, é dada uma explicação mais detalhada sobre o ADC SAR, seguida por uma breve apresentação do estado da arte referente ao tema.

Como não existe uma linha tênue que distinga a melhor topologia para conversores, alguns projetistas apostam em versões híbridas. No entanto, os trabalhos de pesquisa da última década mostram que a topologia SAR é adequada para ADCs de baixa potência por funcionar de forma recursiva e garantir a operação dos transistores na região de inversão fraca (onde o consumo mínimo é alcançado).

O desafio deste projeto dava-se em criar um ADC SAR assíncrono com chaveamento monotônico funcional com transistores em tecnologia CMOS de $0,18 \mu\text{m}$ com uma tensão de alimentação de $0,5 \text{ V}$. O ADC foi dimensionado com a intenção de considerar as principais diretrizes, o tempo e as restrições de ruído.

O ADC destina-se a operações de baixa tensão a uma taxa de amostragem máxima de 5 kSPS e obteve resultados compatíveis com a aplicação escolhida. Resumidamente, torna-se difícil obter chaves de baixa resistência, e com resistência constante, para diferentes tensões de entrada do ADC, e por este motivo, foi utilizada chaves *Bootstrapped*. Embora o ADC tenha um comportamento assíncrono, ele é apenas resultante do tempo diferente de cada conversão de bit, de fato após cada decisão de bit o comparador é desabilitado por um tempo fixo que permite que a tensão dos capacitores se estabilize. O comparador define respectivamente a fase de comparação e regeneração. Por outro lado, o comparador pode inserir uma tensão de *offset*, o que pode causar decisões erradas de bits. Embora isso seja recuperado por redundância, pode-se utilizar a calibração digital em trabalhos futuros.

O ADC SAR apresentado neste trabalho de conclusão de curso foi projetado em nível de esquemático elétrico. As simulações indicam que o ADC atingiu um SNDR de $61,36 \text{ dB}$, levando a um ENOB de $9,90 \text{ bits}$. O SFDR atingido é de $73,19 \text{ dB}$, e o consumo

total de potência do ADC é $1,43\mu W$. O ADC atingiu uma FOM de 143,08 fJ/conv., e esta pode ser otimizada em nível de circuito através da otimização do projeto da lógica de controle.

5.1 Trabalhos Futuros

Revisando o objetivo principal deste projeto, o mesmo ainda não foi totalmente alcançado, uma vez que não foram adquiridas todas as simulações de topo que permitam a caracterização do ADC. Ao final do calendário do projeto, no entanto, podemos apontar as dificuldades enfrentadas e decisões tomadas para dimensionar cada bloco do ADC, com as topologias propostas para lidar com os obstáculos encontrados. Deixando assim, para trabalhos futuros:

- Diminuir os atrasos na saída do comparador.
- Diminuir os atrasos dentro do bloco de controle lógico.
- Produzir o leiaute do circuito.
- Fazer as simulações com os dados pós-leiaute
- Comparar os resultados pós-leiaute com o esquemático em nível elétrico

REFERÊNCIAS

ABO, A. M.; GRAY, P. R. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter. **IEEE Journal of Solid-State Circuits**, IEEE, v. 34, n. 5, p. 599–606, 1999.

ANDERSON, T. O. Optimum control logic for successive approximation analog-to-digital converters. **Deep Space Network Progress Report**, v. 13, p. 168–176, 1972.

BAKER, R. J. **CMOS: circuit design, layout, and simulation**. [S.l.]: John Wiley & Sons, 2019.

Boris Murmann. **ADC Performance Survey 1997-2021**. 2022.
<http://web.stanford.edu/~murmman/adcsurvey.html>. Acesso em 01/08/2022.

CHEONG, J. H. et al. A 400-nW 19.5-fJ/Conversion-Step 8-ENOB 80-kS/s SAR ADC in 0.18- CMOS. **IEEE Transactions on Circuits and Systems II: Express Briefs**, IEEE, v. 58, n. 7, p. 407–411, 2011.

CHUNG, Y.-H.; CHIANG, M.-S. A 12-bit synchronous-SAR ADC for IoT applications. In: IEEE. **2019 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.], 2019. p. 1–5.

FANG, X. et al. CMOS charge-metering microstimulator for implantable prosthetic device. In: IEEE. **2008 51st Midwest Symposium on Circuits and Systems**. [S.l.], 2008. p. 826–829.

FIGUEIREDO, P.; VITAL, J. Kickback noise reduction techniques for CMOS latched comparators. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 53, n. 7, p. 541–545, 2006.

Gartner. **Internet of Things: Unlocking True Digital Business Potential**. 2022.
<https://www.gartner.com/en/information-technology/insights/internet-of-things>. Acesso em 01/08/2022.

GINSBURG, B. P.; CHANDRAKASAN, A. P. 500-MS/s 5-bit ADC in 65-nm CMOS with split capacitor array DAC. **IEEE Journal of Solid-State Circuits**, IEEE, v. 42, n. 4, p. 739–747, 2007.

GRELL, E. d. S. et al. Potenciais tardios ao eletrocardiograma de alta resolução no domínio do tempo em portadores de insuficiência cardíaca de diferentes etiologias. **Arquivos Brasileiros de Cardiologia**, SciELO Brasil, v. 87, p. 241–247, 2006.

HERNANDEZ, H.; SEVERO, L.; NOIJE, W. V. 0.5V 10MS/S 9-Bits Asynchronous SAR ADC for BLE Receivers in L80NM CMOS Technology. In: **2018 31st IEEE International System-on-Chip Conference (SOCC)**. [S.l.: s.n.], 2018. p. 1–4.

HONG, H.-C.; LIN, L.-Y.; CHIU, Y. Design of a 0.20-0.25-V, sub-nW, rail-to-rail, 10-bit SAR ADC for self-sustainable IoT applications. **IEEE Transactions on Circuits and Systems I: Regular Papers**, IEEE, v. 66, n. 5, p. 1840–1852, 2018.

HWANG, Y.-H. et al. A 20 k-to-100kS/s Sub- μ W 9.5b-ENOB Asynchronous SAR ADC for Energy-Harvesting Body Sensor Node SoCs in 0.18- μ m CMOS. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 65, n. 12, p. 1814–1818, 2018.

KARDONIK, O. A study of SAR ADC and implementation of 10-bit asynchronous design. 2013.

KHOINI-POORFARD, R.; LIM, L. B.; JOHNS, D. A. Time-interleaved oversampling A/D converters: Theory and practice. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, IEEE, v. 44, n. 8, p. 634–645, 1997.

LEE, K. B.; REICHARDT, M. E. Open standards for homeland security sensor networks. **IEEE Instrumentation & Measurement Magazine**, IEEE, v. 8, n. 5, p. 14–21, 2005.

LIU, C.-C. et al. A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure. **IEEE Journal of Solid-State Circuits**, IEEE, v. 45, n. 4, p. 731–740, 2010.

MALOBERTI, F. **Data converters**. [S.l.]: Springer Science & Business Media, 2007.

NUZZO, P. et al. Noise Analysis of Regenerative Comparators for Reconfigurable ADC Architectures. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 55, n. 6, p. 1441–1454, 2008.

NYQUIST, H. Certain topics in telegraph transmission theory. **Transactions of the American Institute of Electrical Engineers**, IEEE, v. 47, n. 2, p. 617–644, 1928.

OMRAN, H. Fast and accurate technique for comparator offset voltage simulation. **Microelectronics Journal**, Elsevier, v. 89, p. 91–97, 2019.

PELGROM, M. J. Analog-to-digital conversion. In: **Analog-to-Digital Conversion**. [S.l.]: Springer, 2013. p. 325–418.

RAMKAJ, A. T. et al. A 1.25-GS/s 7-b SAR ADC with 36.4-dB SNDR at 5 GHz using switch-bootstrapping, USPC DAC and triple-tail comparator in 28-nm CMOS. **IEEE Journal of Solid-State Circuits**, IEEE, v. 53, n. 7, p. 1889–1901, 2018.

RAZAVI, B. **Principles of data conversion system design**. [S.l.]: IEEE press New York, 1995. v. 126.

RAZAVI, B. The Bootstrapped Switch [A Circuit for All Seasons]. **IEEE Solid-State Circuits Magazine**, v. 7, n. 3, p. 12–15, 2015.

SADOLLAHI, M. et al. An 11-Bit 250-nW 10-kS/s SAR ADC With Doubled Input Range for Biomedical Applications. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 65, n. 1, p. 61–73, 2018.

SHANNON, C. E. Communication in the Presence of Noise. **Proceedings of the IRE**, v. 37, p. 10–21, 1949. ISSN 00968390.

Skyler Weaver. **prettyFFT (Matlab Code)**. 2010.

SUAREZ, R.; GRAY, P.; HODGES, D. All-MOS charge-redistribution analog-to-digital conversion techniques. II. **IEEE Journal of Solid-State Circuits**, v. 10, n. 6, p. 379–385, 1975.

WANG, S.-H.; HUNG, C.-C. A 0.3 V 10-bits 3Ms/s SAR ADC with comparator calibration and kickback noise reduction for biomedical applications. **IEEE transactions on biomedical circuits and systems**, IEEE, v. 14, n. 3, p. 558–569, 2020.

YAZICIOGLU, R. F.; HOOFF, C. V.; PUERS, R. **Biopotential readout circuits for portable acquisition systems**. [S.l.]: Springer Science & Business Media, 2008.

YUAN, F. Bootstrapping Techniques for Energy-Efficient SAR ADCs: A State-of-the-Art Review. In: IEEE. **2021 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)**. [S.l.], 2021. p. 575–578.

YUE, X. Determining the reliable minimum unit capacitance for the DAC capacitor array of SAR ADCs. **Microelectronics Journal**, v. 44, n. 6, p. 473–478, 2013. ISSN 0026-2692. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0026269213000815>>.

ZHU, Z.; LIANG, Y. A 0.6-V 38-nW 9.4-ENOB 20-kS/s SAR ADC in 0.18- μ CMOS for Medical Implant Devices. **IEEE Transactions on Circuits and Systems I: Regular Papers**, IEEE, v. 62, n. 9, p. 2167–2176, 2015.