

**UNIVERSIDADE FEDERAL DO PAMPA**

**GIOVANA PEGORARO CEOLIN**

**PROJETO DE UM LNA DE  
ULTRA-BAIXA TENSÃO COM BAIXA  
SENSIBILIDADE A VARIAÇÕES DE  
PROCESSO PARA RECEPTORES RF DE  
BAIXA POTÊNCIA**

**Alegrete  
2022**

**GIOVANA PEGORARO CEOLIN**

**PROJETO DE UM LNA DE  
ULTRA-BAIXA TENSÃO COM BAIXA  
SENSIBILIDADE A VARIAÇÕES DE  
PROCESSO PARA RECEPTORES RF DE  
BAIXA POTÊNCIA**

Trabalho de Conclusão de Curso apresentado ao curso de Bacharelado em Engenharia de Telecomunicações como requisito parcial para a obtenção do grau de Bacharel em Engenharia de Telecomunicações.

Orientador: Prof. Dr. Lucas Compassi Severo

**Alegrete  
2022**

Ficha catalográfica elaborada automaticamente com os dados fornecidos  
pelo(a) autor(a) através do Módulo de Biblioteca do  
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

C398p Ceolin, Giovana Pegoraro  
Projeto de um LNA de ultra-baixa tensão com baixa  
sensibilidade a variações de processo para receptores RF de  
baixa potência / Giovana Pegoraro Ceolin.  
84 p.

Trabalho de Conclusão de Curso(Graduação)-- Universidade  
Federal do Pampa, ENGENHARIA DE TELECOMUNICAÇÕES, 2022.  
"Orientação: Lucas Compassi Severo".

1. Internet das coisas. 2. Receptor RF. 3. Amplificador de  
baixo ruído (LNA). 4. Baixa tensão. 5. Baixa potência. I.  
Título.

**GIOVANA PEGORARO CEOLIN**

**PROJETO DE UM LNA DE ULTRA-BAIXA TENSÃO COM BAIXA SENSIBILIDADE A  
VARIAÇÕES DE PROCESSO PARA RECEPTORES RF DE BAIXA POTÊNCIA**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia de Telecomunicações da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Bacharel em Engenharia de Telecomunicações.

Trabalho de Conclusão de Curso defendido e aprovado em: 16 de Março de 2022.

Banca examinadora:

---

Prof. Dr. Lucas Compassi Severo

Orientador

UNIPAMPA

---

Prof. Dr. Paulo César Comassetto de Aguirre

UNIPAMPA

---

Prof. Dr. Alessandro Gonçalves Girardi

UNIPAMPA



Assinado eletronicamente por **LUCAS COMPASSI SEVERO, PROFESSOR DO MAGISTERIO SUPERIOR**, em 16/03/2022, às 15:09, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 16/03/2022, às 15:09, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 16/03/2022, às 15:09, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site [https://sei.unipampa.edu.br/sei/controlador\\_externo.php?acao=documento\\_conferir&id\\_orgao\\_acesso\\_externo=0](https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0), informando o código verificador **0752323** e o código CRC **546E7CCE**.

Universidade Federal do Pampa, Campus Alegrete  
Av. Tiarajú, 810 – Bairro: Ibirapuitã – Alegrete – RS CEP: 97.546-550

Telefone: (55) 3422-8400

## AGRADECIMENTO

Parece que esse momento nunca ia chegar, mas ele chegou e chegou graças as pessoas maravilhosas que eu tenho ao meu lado. Família, se não fosse o apoio de vocês eu não teria me arriscado a ir tão longe, vocês me motivam a sempre buscar o melhor para mim, eu sou muito grata à vocês meus pais Odi e Elenita, e meus irmãos Vinícius e Camilo.

Agradeço meus primos, que são quase irmãos Luiza e Victor, por sempre estarem ao meu lado. Agradeço as minhas amigas "de sempre" por me botarem pra cima para nunca desistir, vocês são demais Aléxia, Amanda, Carolina e Gabriela.

Aos meus colegas que dividiram essa etapa comigo, juntos compartilhamos todos os tipos de momento, desde os de festa até os de estudos e preocupações. Com o tempo vocês se tornaram grandes amigos para mim, vocês tem um espacinho no meu coração. Obrigada Alexandre, Ana, G. Macedo, G. Pardiniho, Guilherme, Hanna, Jean, Leonardo, Lu Saydelles, Lu Scalão, Magno, Martina, Tayllana, Victor e meu colega desde a URI, Yuri.

Também sou muito grata a UNIPAMPA e a todos os professores que através do conhecimento me trouxeram até aqui. Em especial ao professor Lucas Severo que me deu a oportunidade da pesquisa e me orientou até essa etapa, obrigada por toda a parceria e toda a paciência.

## RESUMO

Os requisitos de baixo consumo de energia das aplicações de internet das coisas (IoT), aumentaram a demanda por receptores de RF de baixa potência. Dentre os blocos de um receptor RF típico, o amplificador de baixo ruído (LNA) é o bloco que mais dissipa potência, chegando a dissipar cerca de 40% da potência gasta em um receptor. Este trabalho busca sua otimização para baixa potência explorando a operação em baixa tensão. A operação em baixa tensão dificulta o projeto do circuito e aumenta a sensibilidade para variações de processo e temperatura. Assim, um LNA baseado em inversores com melhoria do circuito de polarização e baixa sensibilidade a variações de processo foi projetado. Além disso, foram explorados métodos de calibração de tensão e de corrente para reduzir as variações do circuito e o emprego uma nova métrica de polarização. Foi utilizado o processo CMOS de 180 nm com 40 kÅ UTM para operar na frequência de 2,4 GHz. São apresentadas duas versões de LNA, sendo a primeira usando a calibração da tensão de saída e uma segunda versão utilizando ambas as calibrações de tensão e corrente e a métrica de polarização. Os LNAs possuem uma baixa alimentação, com  $V_{DD}$  igual a 0,4 V e consomem 170 e 144  $\mu W$  de potência para primeira e segunda versão, respectivamente. As demais especificações estão dentro dos valores médios presentes na literatura.

**Palavras-chave:** Amplificador de Baixo Ruído. Internet das Coisas. Circuito de Calibração Automática.

## ABSTRACT

The low power consumption requirements of Internet of Things (IoT) applications have increased the demand for low power RF receivers. Among the blocks of a typical RF receiver, the Low Noise Amplifier (LNA) is the block that most dissipates power from RF receivers, dissipating around 40% of the RF receiver power. This work seeks its optimization for low power, exploring the operation at low voltage. Low voltage operation makes circuit design difficult and increases sensitivity to process and temperature variations. Thus, an inverter-based LNA with improved bias circuit and low sensitivity to process variations was designed. In addition, voltage and current calibration methods were explored to reduce circuit variations and the use of a new biasing metric. A 40k Å UTM CMOS 180 nm process is used to operate at the frequency of 2.4 GHz. Two versions of LNA are presented, the first using the output voltage calibration and a second version using both voltage and current calibrations and the biasing metric. LNAs have a low power supply, with  $V_{DD}$  equal to 0.4 V and consume 170 and 144  $\mu$ W of power for the first and second versions, respectively. The other specifications are within the average values found in the literature.

**Keywords:** Low Noise Amplifier, Internet Of Things, Automatic Calibration Circuit.



## LISTA DE FIGURAS

1	Diagrama de blocos de um típico receptor RF.....	15
2	Representação do ruído térmico de um resistor $R_1$ modelado por uma (a) fonte de tensão e (b) fonte de corrente.....	18
3	Representação do ruído térmico de um transistor $M_1$ modelado por uma (a) fonte de tensão e (b) fonte de corrente. ....	19
4	PSD em função da frequência para um dispositivo MOS, considerando as fontes de ruído térmico e ruído <i>flicker</i> . ....	20
5	Estágios em cascata de um receptor RF simplificado.....	21
6	Modulação cruzada.....	23
7	Efeito da intermodulação.....	24
8	Ponto de interceptação de terceira ordem (IIP3). ....	25
9	Compressão de 1 dB de ganho.....	26
10	Transistor MOSFET NMOS.....	27
11	Regiões de Polarização. ....	27
12	Topologia LNA por Parvizi. ....	30
13	Topologia LNA por Parvizi. ....	31
14	Topologia LNA por Kargaran.....	33
15	Topologia LNA por Tavis.....	34
16	Topologia LNA por Hsieh. ....	35
17	Topologia do LNA proposta neste trabalho.....	41
18	LNA em pequenos sinais.....	41
19	(a) Contribuição de ruído pelo transistor NMOS. (b) Contribuição de ruído pelo transistor PMOS. ....	43
20	Tensão de saída obtida com a variação da tensão do <i>bulk</i> do transistor PMOS. ....	45
21	Réplica do circuito LNA.....	46
22	Amplificador de erro utilizado.....	47
23	Ganho do amplificador de erro utilizado. ....	48
24	Rede de casamento de impedância na entrada do circuito. ....	49
25	Circuito completo do LNA proposto. ....	49
26	<i>Layout</i> do LNA proposto. ....	50
27	Carta de Smith com carga do circuito representada em 2,4 GHz. ....	51
28	Casamento utilizando a carta de Smith online, em 2,4 GHz.....	52
29	Parâmetro S11 do LNA proposto em 2,4 GHz.....	53
30	Ganho de tensão ( $A_V$ ) do LNA proposto em 2,4 GHz. ....	54
31	Figura de ruído (NF) do LNA proposto em 2,4 GHz.....	54
32	Ponto de interceptação de terceira ordem de entrada (IIP <sub>3</sub> ). ....	55
33	Histograma de variação da tensão de saída $V_{out}$ , sem a calibração automática de tensão.....	56
34	Histograma de variação da tensão de saída $V_{out}$ , com a calibração automática de tensão.....	57
35	Histograma de variação do ganho de tensão $A_V$ , sem a calibração automática de tensão.....	57
36	Histograma de variação do ganho de tensão $A_V$ , com a calibração automática de tensão.....	58

37	Representação de como a variação de $f_T$ afeta na variação do ganho de tensão. ....	61
38	Circuito de controle de corrente. ....	62
39	Circuito de controle de corrente. ....	62
40	<i>Biasing Metric</i> em um transistor NMOS. ....	63
41	<i>Biasing Metric</i> em um transistor PMOS. ....	64
42	Circuito completo do LNA proposto, versão 2. ....	65
43	Ganho de tensão ( $A_V$ ) do LNA proposto em 2,4 GHz. ....	66
44	Figura de ruído (NF) do LNA proposto em 2,4 GHz. ....	67
45	Ponto de interceptação de terceira ordem de entrada ( $IIP_3$ ). ....	67
46	Histograma de variação da corrente $I_D$ , sem a calibração automática de corrente. ....	69
47	Histograma de variação da corrente $I_D$ , com a calibração automática de corrente. ....	70
48	Histograma de variação do ganho de tensão $A_V$ , sem a calibração automática de corrente. ....	70
49	Histograma de variação do ganho de tensão $A_V$ , com a calibração automática de corrente. ....	71
50	Histograma de variação da tensão de saída $V_{out}$ , sem a calibração automática de corrente. ....	72
51	Histograma de variação da tensão de saída $V_{out}$ , com a calibração automática de corrente. ....	72
52	Testbench utilizado para simulação da não-linearidade do LNA. ....	79
53	Configuração PORT de entrada. ....	80
54	Configuração PORT de saída. ....	81
55	Simulação PSS. ....	82
56	Simulação PAC. ....	83
57	Configurações para plotar. ....	84

## LISTA DE TABELAS

1	Especificações do Estado da Arte de LNAs de Baixa Tensão .....	36
2	Especificações de dimensão e tensão de polarização dos transistores.....	44
3	Dimensões transistores Amplificador de erro.....	48
4	Especificações do Estado da Arte de LNAs de Baixa Tensão .....	55
5	Comparação da média e desvio padrão para as características do circuito com e sem a calibração. ....	58
6	Especificações de dimensão e tensão de polarização dos transistores.....	64
7	Especificações Atualizadas de LNAs de Baixa Tensão .....	68
8	Comparativo das Figuras de Mérito.....	68
9	Comparação da média e desvio padrão para as características do circuito com e sem a calibração de corrente. ....	73

## LISTA DE ABREVIATURAS E SIGLAS

BLE	Bluetooth de Baixa Energia, do inglês <i>Bluetooth Low Energy</i>
C	Capacitor
CMOS	Semicondutor de Óxido Metálico Complementar, do inglês <i>Complementar Metal Oxide Semiconductor</i>
FI	Frequência Intermediária
FoM	Figura de Mérito, do inglês <i>Figure of Merit</i>
GAMA	Grupo de Arquitetura de Computadores e Microeletrônica
gds	Condutância de saída
gm	Transcondutância
GND	Plano de terra, do inglês <i>Ground</i>
IP3	Ponto de Interceptação de Terceira Ordem, do inglês <i>Third-Order Intercept Point</i>
IM	Intermodulação
IoT	Internet das Coisas, do inglês <i>Internet Of Things</i>
ISM	Industrial Científico e Médico, do inglês <i>Industrial Scientific and Medical</i>
L	Indutor
LNA	Amplificador de baixo ruído, do inglês <i>Low noise amplifier</i>
LO	Oscilador Local, do inglês <i>Local Oscillator</i>
MI	Inversão Moderada, do inglês <i>Moderated inversion</i>
MOSFET	Transistor Metal Óxido Semicondutor de Efeito de Campo, do inglês <i>Metal Oxide Semiconductor Field Effect Transistor</i>
NF	Figura de Ruído, do inglês <i>Noise Figure</i>
PSD	Densidade Espectral de Potência, do inglês <i>Power Spectral Density</i>
RF	Radiofrequência
SNR	Relação Sinal Ruído, do inglês <i>Signal-to-Noise Ratio</i>

ULP	Ultra Baixa Potência, do inglês <i>Ultra Low Power</i>
ULV	Ultra Baixa Tensão, do inglês <i>Ultra Low Voltage</i>
WI	Inversão Fraca, do inglês <i>Weak Inversion</i>

## SUMÁRIO

<b>1 Introdução</b>	<b>15</b>
1.1 Objetivos .....	16
1.1.1 Objetivo Geral .....	16
1.1.2 Objetivos Específicos .....	16
1.1.3 Organização .....	16
<b>2 Revisão Teórica</b>	<b>17</b>
2.1 Ruído.....	17
2.1.1 Ruído Térmico .....	17
2.1.2 Ruído <i>Flicker</i> .....	19
2.1.3 Figura de Ruído.....	20
2.1.4 Figura de Ruído em Circuitos em Cascata.....	21
2.2 Linearidade .....	22
2.2.1 Distorção Harmônica .....	22
2.2.2 Modulação Cruzada .....	23
2.2.3 Intermodulação .....	24
2.2.4 Ponto de Interceptação de Terceira Ordem.....	24
2.2.5 Compressão de Ganho .....	25
2.3 Regiões de polarização .....	26
2.4 Síntese do capítulo.....	29
<b>3 Revisão do estado-da-arte</b>	<b>30</b>
3.1 Topologias de LNAs .....	30
3.2 Especificações LNAs .....	35
3.3 Métrica de polarização.....	37
3.4 Figuras de Mérito.....	37
3.5 Síntese do capítulo.....	39
<b>4 LNA - Versão 1</b>	<b>40</b>
4.1 Projeto do LNA Proposto .....	40
4.1.1 Topologia do LNA .....	40
4.1.1.1 Equações.....	41
4.1.2 Polarização dos Transistores.....	43
4.1.2.1 Região de polarização.....	43
4.1.2.2 Dimensionamento dos transistores .....	44
4.1.3 Calibração Automática de Tensão .....	45
4.1.3.1 Réplica.....	46
4.1.3.2 Amplificador de Erro.....	47
4.1.4 Rede de Casamento da Impedância de Entrada .....	48
4.2 Resultados.....	49
4.2.1 Esquemático LNA.....	49
4.2.2 <i>Layout</i> .....	50
4.2.3 Rede de Casamento de Impedância de Entrada.....	50
4.2.4 Especificações do LNA.....	53
4.2.5 Análise da Calibração Automática de Tensão .....	56
4.3 Síntese do capítulo.....	59

<b>5 LNA Proposto - Versão 2</b>	<b>60</b>
5.1 Projeto do LNA Proposto - Versão 2 .....	60
5.1.1 Calibração automática de corrente.....	60
5.1.2 Nova Polarização dos Transistores .....	62
5.2 Resultados Simulados .....	65
5.2.1 Topologia do LNA Atualizada .....	65
5.2.2 Especificações do LNA atualizadas .....	66
5.2.3 Análise da Calibração Automática de Corrente.....	69
5.3 Síntese do capítulo .....	73
<b>6 Considerações finais</b>	<b>74</b>
<b>Referências</b>	<b>76</b>
<b>Appendices</b>	<b>78</b>

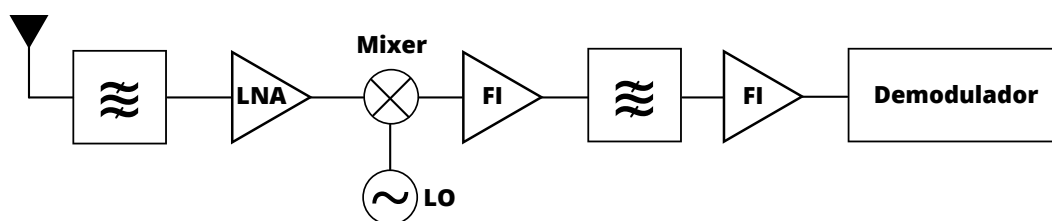
## 1 INTRODUÇÃO

O mercado de Internet das Coisas (IoT) cresceu muito e vem se destacando por proporcionar um grande número de possibilidades de uso. Este conceito de tecnologia promove a possibilidade da conexão de objetos físicos com a rede, tornando objetos capazes de se comunicar, ou seja, receber e transmitir dados.

Os dispositivos de IoT alimentados por bateria e coleta de energia possuem uma vida útil diretamente dependente da energia consumida pelos circuitos. Assim, a redução da dissipação de energia é uma boa estratégia para aumentar o tempo da vida útil do dispositivo.

O transceptor RF costuma ser um dos blocos que mais consome energia dos dispositivos IoT. A otimização desse bloco é muito atraente para reduzir o consumo geral de energia (RAZAVI; BEHZAD, 2012). Na Fig. 1 é apresentado o diagrama de blocos típico de um receptor RF, onde é possível observar que o amplificador de baixo ruído (LNA) é um dos primeiros blocos, o que o torna a maior fonte de ruído do receptor. Além disso, o LNA é um dos blocos que mais dissipa potência, chegando a dissipar cerca de 40% de toda a potência gasta em um receptor, de acordo com trabalhos vistos em (SILVA-PEREIRA et al., 2018) e (LIU et al., 2019). Pensando nisso, a construção de um bom LNA com baixa potência é o primeiro passo para obter um receptor que possua baixo consumo de energia.

Figura 1 – Diagrama de blocos de um típico receptor RF.



Fonte: Autoral.

Existem diversas aplicações em que um LNA de baixa tensão e baixa potência pode ser utilizado, como em dispositivos portáteis e vestíveis utilizados em dispositivos de IoT. Além disso, este tema de pesquisa abre portas para a implementação de novas tecnologias que dependam de um baixo consumo de energia para operar, como os circuitos sem baterias (*batteryless*) que utilizam da colheita de energia (*energy harvesting*) para se manterem em operação .



## 1.1 Objetivos

### 1.1.1 Objetivo Geral

Projetar um LNA de baixa potência para aplicações de IoT com baixa sensibilidade a variações de processo. Para atingir o baixo nível de potência, tem-se o alvo de operar utilizando baixa tensão de alimentação. É desejado que o LNA tenha especificações que se enquadrem aos requisitos dos padrões modernos de comunicação de baixa potência e que opere na frequência de 2,4 GHz, pois está na faixa de frequências ISM (*Industrial Scientific and Medical*) e tem sido muito utilizada em dispositivos IoT de baixa potência, como no padrão *Bluetooth Low Energy* (BLE).

### 1.1.2 Objetivos Específicos

- Pesquisar topologias e técnicas utilizadas em amplificadores de baixo ruído com baixa tensão;
- Projetar um LNA de baixa tensão, que obtenha um bom ganho e baixas especificações de potência e figura de ruído;
- Buscar métodos de estabilizar os parâmetros do circuito para que tenha baixa sensibilidade à variações de processo;
- Analisar os resultados do LNA e comparar com outros trabalhos através de figuras de méritos (FoM) adequadas.

### 1.1.3 Organização

Este trabalho está organizado da seguinte forma, a seção 2 apresenta a revisão teórica de conceitos importantes, a seção 3 apresenta a análise do estado da arte dos LNAs de baixa tensão e baixa potência. A seção 4 apresenta a versão 1 projeto do LNA proposto, suas principais características e seus resultados simulados. A seção 5 apresenta a versão 2 do projeto e os seus resultados após estas atualizações. A seção 6 conclui este trabalho.

## 2 REVISÃO TEÓRICA

Neste capítulo é realizada uma revisão teórica de conceitos importantes para o embasamento deste trabalho. O conceito de ruído, assim como seus principais tipos que afetam circuitos RF serão mostrados e a métrica mais utilizada para medir o quão ruidoso é um circuito RF, a figura de ruído. Também será abordado o conceito de linearidade e os tipos de efeitos resultantes de um sistema RF não-linear.

### 2.1 Ruído

De maneira simples, podemos dizer que o ruído é uma componente aleatória e indesejada que é adicionada a um sinal quando o mesmo passa por um sistema de comunicação. O ruído em sistemas de comunicação pode ter origem em componentes eletrônicos do sistema ou também por conta do meio de propagação do sinal.

Pela natureza aleatória dos ruídos, não é possível prever seus valores instantâneos de tensão e corrente. Para este caso a visão do domínio do tempo não traz muitas informações, já o domínio da frequência consegue produzir uma maior percepção do que está acontecendo. Então para conseguir analisar o efeito do ruído, trabalha-se com valores médios quadráticos e densidade espectral de potência (PSD), e não com valores instantâneos.

A principal razão para definir a PSD é que ela permite que muitas das operações no domínio da frequência usadas com sinais determinísticos sejam aplicadas a sinais aleatórios também (RAZAVI; BEHZAD, 2012). Existem vários tipos de ruído, mas se tratando de transistores MOSFET, os tipos de ruído mais impactantes são os ruídos térmico e *flicker*. Para resistores o tipo de ruído mais significativo é o ruído térmico.

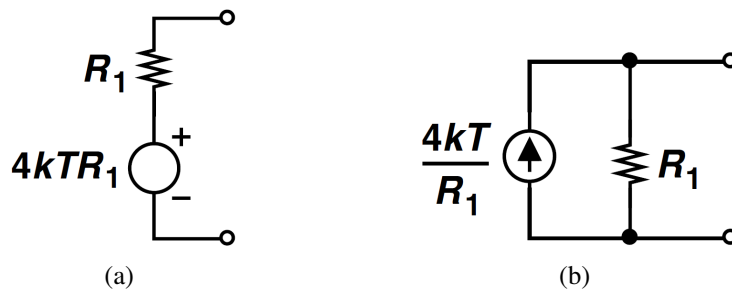
#### 2.1.1 Ruído Térmico

A energia térmica do ambiente leva à uma agitação aleatória dos elétrons e a maiores flutuações na corrente, ou seja, ruído. Para conseguir analisar esse efeito com componentes eletrônicos, o ruído é modelado como fontes de tensão ou corrente.

Para resistores, pode-se analisar o ruído com o circuito equivalente de Thévenin visto na Fig. 3(a), que consiste em uma fonte de tensão com a PSD dada pela Eq. 1 em

série ao resistor. Ou pode ser analisado com o modelo de Norton visto na Fig. 3(b), que consiste em uma fonte de corrente com PSD dada pela Eq. 2 em paralelo ao resistor. Ambas as formas estão corretas, procura-se utilizar o modelo que facilite a análise, não importando a polaridade das fontes de ruído, desde que após definidas sejam mantidas durante toda a análise. Nas equações 1 e 2,  $k$  é a constante de Boltzmann ( $k=1,38 \cdot 10^{-23} \frac{J}{K}$ ) e  $T$  é a temperatura absoluta.

Figura 2 – Representação do ruído térmico de um resistor  $R_1$  modelado por uma (a) fonte de tensão e (b) fonte de corrente.



Fonte: (RAZAVI; BEHZAD, 2012).

$$\overline{V_n^2} = 4kTR_1 \quad (1)$$

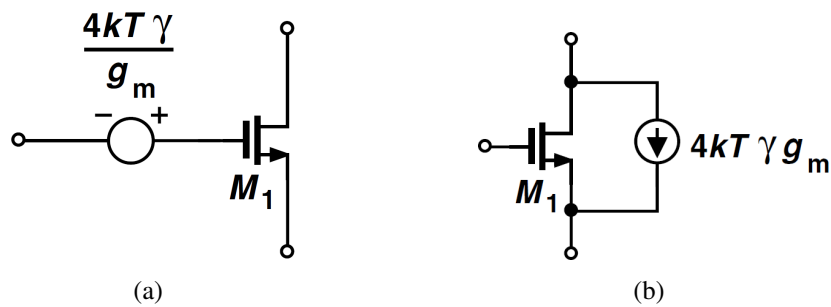
$$\overline{I_n^2} = \frac{\overline{V_n^2}}{(R_1)^2} = \frac{4kT}{R_1} \quad (2)$$

O ruído térmico de um transistor MOSFET pode ser analisado também utilizando fontes de tensão e corrente. Como pode ser visto na Fig. 3(a) é utilizada uma fonte de tensão no terminal *gate* (porta) do transistor com a PSD dada pela Eq. 3. Na Fig. 4(b) tem-se o ruído representado por uma fonte de corrente situada entre os terminais fonte e dreno, com a PSD dada pela Eq. 4. Onde, nas Eq. 3 e 4,  $g_m$  é a transcondutância de gate e  $\gamma$  é o coeficiente de ruído térmico do transistor, que aumenta conforme o comprimento do canal diminui, o que pode-se perceber com as equações é que o ruído térmico gerado será maior se o comprimento do canal for muito curto.

$$\overline{V_n^2} = \frac{4kT\gamma}{g_m} \quad (3)$$

$$\overline{I_n^2} = 4kT\gamma g_m \quad (4)$$

Figura 3 – Representação do ruído térmico de um transistor  $M_1$  modelado por uma (a) fonte de tensão e (b) fonte de corrente.



Fonte: (RAZAVI; BEHZAD, 2012).

### 2.1.2 Ruído *Flicker*

Os transistores MOS também sofrem pelo ruído *flicker*, também conhecido como ruído do inverso da frequência ( $1/f$ ). Este tipo de ruído tem maior influência em baixas frequências. Ele pode ser modelado por uma fonte de tensão em série com o terminal *gate*, ou por uma fonte de corrente entre os terminais fonte e dreno. As PSDs para a fonte de tensão e de corrente podem ser vistas nas Eq. 5 e 6, respectivamente, onde  $K$  é uma constante dependente do processo de tecnologia utilizada,  $W$  e  $L$  são as dimensões de largura e comprimento do canal do transistor e  $C_{ox}$  é a capacitância de óxido de silício por unidade de área.

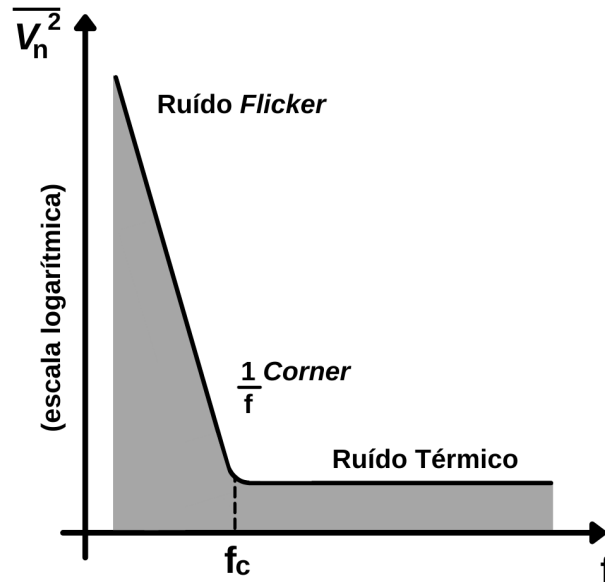
$$\overline{V_n^2} = \frac{K}{WLC_{ox}} \frac{1}{f} \quad (5)$$

$$\overline{I_n^2} = g_m^2 \frac{K}{WLC_{ox}} \frac{1}{f} \quad (6)$$

A Fig. 4 mostra a PSD de um dispositivo MOS em função da frequência, onde são considerados os ruídos *flicker* e o ruído térmico. A frequência  $f_c$  onde as PSDs das fontes de ruído analisadas se encontram é chamada de frequência de *corner*, que é expressa na Eq. 7, ela se dá pela igualdade das PSDs das fontes de corrente que expressam o ruído térmico e ruído *flicker*. Nos processos CMOS dos dias de hoje a frequência de *corner* está na faixa de dezenas de megahertz (RAZAVI; BEHZAD, 2012). Portanto, para altas frequências, tema deste trabalho, o ruído *flicker* pode ser desprezado.

$$f_c = \frac{K}{WLC_{ox}} \frac{g_m}{4kT\gamma} \quad (7)$$

Figura 4 – PSD em função da frequência para um dispositivo MOS, considerando as fontes de ruído térmico e ruído *flicker*.



Fonte: Autoral.

### 2.1.3 Figura de Ruído

Além de conhecer os tipos de ruído, é necessário medir e quantificar quão ruidoso um circuito é. Para isso existem algumas métricas para representação do ruído em circuitos. A mais utilizada em circuitos de RF é a figura de ruído (NF), também chamada de fator de ruído (F).

Em projetos de sistemas de comunicação estamos interessados na relação sinal-ruído (SNR), que é definida como a potência do sinal dividida pela potência do ruído. Mas como o circuito contém ruído, a SNR se degrada à medida que o sinal viaja por ele e para conseguir quantificar o quão ruidoso o circuito é, utilizamos sua figura de ruído (NF), que pode ser definida pela Eq. 8, ou pela Eq. 9 em decibéis.

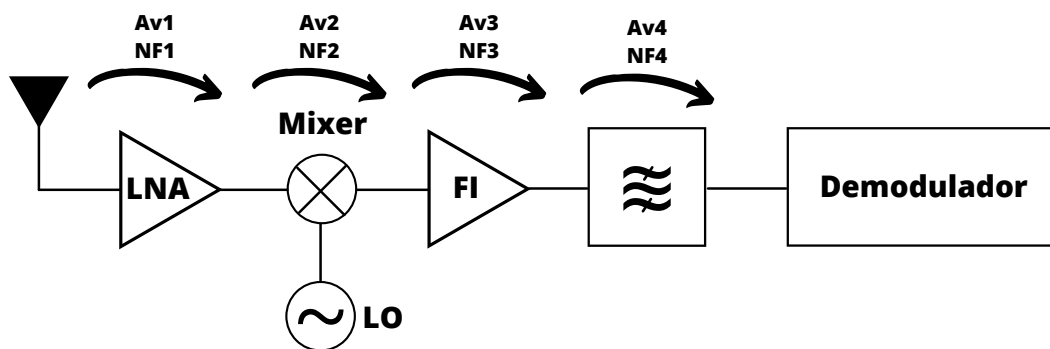
$$NF = \frac{SNR_{in}}{SNR_{out}} \quad (8)$$

$$NF_{dB} = 10 \log \left( \frac{SNR_{in}}{SNR_{out}} \right) = SNR_{in,dB} - SNR_{out,dB} \quad (9)$$

### 2.1.4 Figura de Ruído em Circuitos em Cascata

Quando se tem circuitos em cascata, como por exemplo vários estágios em uma cadeia de receptores RF, como na Fig. 5, é desejável conhecer a figura de ruído total do sistema, considerando as características de cada estágio. Para isso é utilizada a equação de Friis, vista na Eq. 10, ela considera o ganho e a figura de ruído de cada estágio para contabilizar na figura de ruído total. Onde  $A_{Vm}$  é o ganho de potência disponível e  $NF_m$  é a figura de ruído em cada  $m$  estágio.

Figura 5 – Estágios em cascata de um receptor RF simplificado.



Fonte: Autoral.

$$NF_{total} = NF_1 + \left( \frac{NF_2 - 1}{A_{V1}} \right) + \dots + \left( \frac{NF_m - 1}{A_{V1} \cdots A_{V(m-1)}} \right) \quad (10)$$

A equação 10 sugere que o ruído contribuído por cada estágio diminui à medida que o ganho total do estágio anterior a esse estágio aumenta. O que leva a compreender que os primeiros estágios em cascata tem maior influência sobre o valor total da equação. Com isso é possível verificar que o LNA, por ser o primeiro estágio de um receptor RF, é o que mais contribui para o aumento da figura de ruído total. Além disso, o ganho do LNA é o que tem maior influência para diminuir a contribuição do ruído de estágios posteriores.

Um ponto interessante é que se um estágio apresenta atenuação (perda), a figura de ruído deste estágio será igual ao valor da atenuação. Em outras palavras, a NF dos circuitos seguintes é "amplificada" devido aos estágios que apresentam atenuação.

A Eq. 10 é válida para blocos que apresentam o mesmo nível de impedância. Porém, diferentemente de implementações discretas onde o valor de  $50 \Omega$  é comumente utilizado como referência, a implementação com circuitos integrados não possui único

nível de impedância. Com isso, a Eq. 10 deve considerar a diferença de impedância como mostrado em (RAZAVI; BEHZAD, 2012).

## 2.2 Linearidade

A grande maioria das especificações de amplificadores são analisadas considerando o seu modelo de pequenos sinais. Nesta modelagem o circuito é representado apenas por elementos lineares. Porém, ao operar com níveis de sinais de maiores magnitudes, efeitos de segunda ordem surgem devido à não linearidade do circuito.

Para poder minimizar as distorções sofridas pelos sinais que passam pelo circuito, deseja-se que a operação em pequenos sinais de circuitos RF seja o mais linear possível. É necessário quantificar a não-linearidade de um circuito a fim de garantir um bom desempenho do circuito desenvolvido, essa é uma característica importante para comparação de diferentes circuitos. Nesta seção, esses fenômenos serão vistos para sistemas sem memória, cujas características de entrada e saída podem ser aproximadas pela Eq. 11, onde  $x(t)$  representa o sinal de entrada,  $y(t)$  o sinal de saída,  $\alpha_1$  é o coeficiente linear, representando o ganho e os demais coeficientes  $\alpha_2$  a  $\alpha_n$  modelam distorções.

$$y(t) \approx \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) + \dots + \alpha_n x^n(t) \quad (11)$$

### 2.2.1 Distorção Harmônica

Se uma senoide é aplicada a um sistema não-linear, na saída geralmente tem-se harmônicos, que são componentes de frequência que são múltiplos inteiros da frequência de entrada. Por exemplo, se um sinal  $x(t) = A \cos(\omega t)$  for aplicado na Eq. 11, temos sinal de saída dado pela Eq. 12.

$$\begin{aligned} y(t) &= \alpha_1 A \cos(\omega t) + \alpha_2 A^2 \cos^2(\omega t) + \alpha_3 A^3 \cos^3(\omega t) \\ y(t) &= \alpha_1 A \cos(\omega t) + \frac{\alpha_2 A^2}{2} (1 + \cos(2\omega t)) + \frac{\alpha_3 A^3}{4} (3 \cos(\omega t) + \cos(3\omega t)) \\ y(t) &= \frac{\alpha_2 A^2}{2} + \left( \alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos(\omega t) + \frac{\alpha_2 A^2}{2} \cos(2\omega t) + \frac{\alpha_3 A^3}{4} \cos(3\omega t) \end{aligned} \quad (12)$$

De acordo com Razavi e Behzad (2012), para a terceira equação da Eq. 12, o primeiro termo é considerado o terceiro harmônico. O segundo termo é o segundo harmô-

nico. O terceiro termo é chamado de fundamental e o quarto termo é uma grandeza decorrente da não linearidade de segunda ordem.

Pode-se visualizar na Eq. 12 que as amplitudes do segundo e terceiro harmônicos são proporcionais a  $A^2$  e  $A^3$ , respectivamente, ou seja, a partir da segunda harmônica, a distorção de ordem  $n$  é proporcional a  $A^n$ .

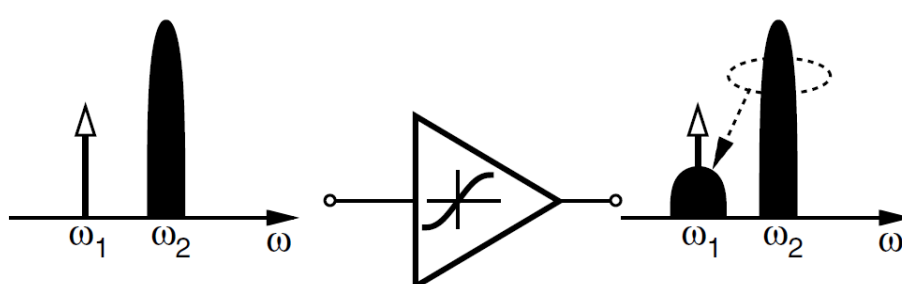
A distorção harmônica não é um indicador relevante do efeito da não-linearidade para circuitos com uma largura de banda estreita, como o LNA projetado neste trabalho, pois as harmônicas estarão longe da banda de interesse, sendo suprimidas. Sendo a distorção harmônica mais relevante em circuitos de banda larga.

### 2.2.2 Modulação Cruzada

Ocorre quando um sinal desejado (*desired signal*), normalmente de baixa amplitude, juntamente com uma grande fonte de interferência passa por um sistema não-linear. A interferência "transfere" a sua modulação para o sinal desejado, isso é chamado de modulação cruzada (*cross-modulation*). Geralmente surge em amplificadores que processam simultaneamente muitos canais de sinal independentes.

Por exemplo, caso o sinal de interferência seja um sinal modulado em amplitude,  $A_2(1 + m\cos(\omega_m t))$ , onde  $m$  é uma constante e  $\omega_m$  é a frequência de modulação deste sinal, o sinal desejado sofrerá modulação em amplitude em  $\omega_m$  e em  $2\omega_m$ . Esse efeito pode ser ilustrado pela Fig. 6, onde é observado o sinal fraco desejado em  $\omega_1$  entrando no sistema não linear acompanhado de um grande sinal interferente em  $\omega_2$ , após passar pelo sistema, percebe-se que o sinal de interferência transfere parte de seu sinal modulado em amplitude para o sinal desejado, o que acaba afetando a amplitude do sinal desejado.

Figura 6 – Modulação cruzada.



Fonte: (RAZAVI; BEHZAD, 2012).



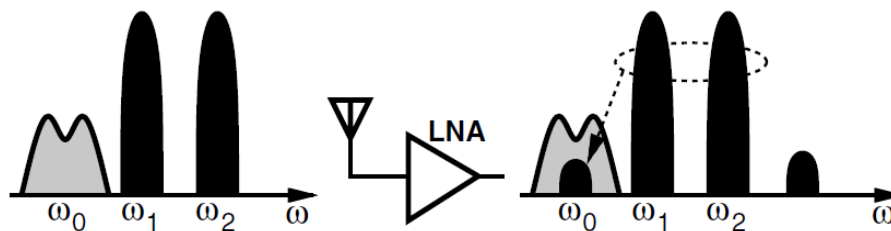
### 2.2.3 Intermodulação

Este cenário representa situações realistas e revela efeitos não-lineares que podem não se manifestar em uma distorção harmônica. Ocorre quando há dois sinais interferentes que acompanham o sinal desejado e entram em um sistema não-linear.

Se duas interferências em  $\omega_1$  e  $\omega_2$  são aplicadas a um sistema não-linear, a saída geralmente exibe componentes que não são harmônicos dessas frequências. Isso é chamado de intermodulação (IM), esse fenômeno surge da multiplicação dos dois componentes à medida que sua soma é elevada a uma potência maior que a unidade, gerando sinais transladados em frequência.

Suponha que uma antena receba um pequeno sinal desejado em  $\omega_0$  junto com dois grandes sinais de interferência em  $\omega_1$  e  $\omega_2$ , fornecendo esses sinais para um amplificador de baixo ruído como mostrado na Fig. 7. Vamos supor que as frequências interferentes satisfaçam  $2\omega_1 - \omega_2 = \omega_0$ . Conseqüentemente, o produto de intermodulação em  $2\omega_1 - \omega_2$  cairá na banda do canal desejado, corrompendo a informação.

Figura 7 – Efeito da intermodulação.



Fonte: (RAZAVI; BEHZAD, 2012).

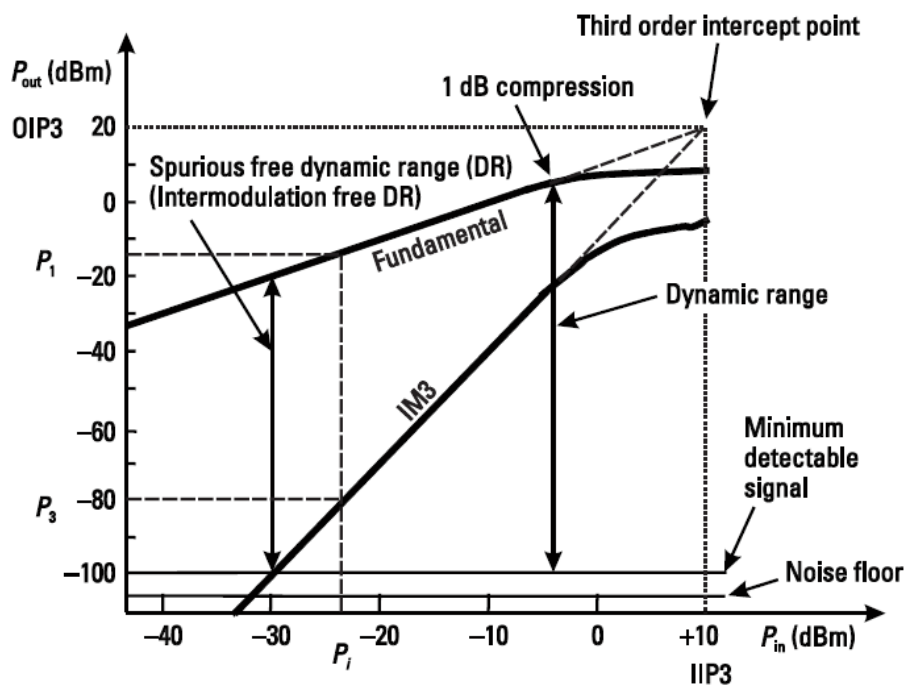
### 2.2.4 Ponto de Interceptação de Terceira Ordem

O Ponto de Interceptação de Terceira Ordem ( $IP_3$ ) é uma das maneiras práticas de caracterizar a intermodulação de um circuito. O  $IP_3$  origina-se da observação que quando a amplitude de cada tom aumenta, a amplitude dos produtos de saída IM aumentam mais acentuadamente. Assim, se continuarmos a aumentar a amplitude dos tons, teoricamente a amplitude dos produtos IM podem alcançar o nível dos tons fundamentais na saída.

Para efetuar esta análise são aplicados dois sinais na entrada, tendo igual amplitude e deslocamento por alguma frequência. Então, é representado graficamente a saída fundamental e a potência de saída de intermodulação como uma função da potência de

entrada (ROGERS; PLETT, 2010) em escala logarítmica, conforme mostrado na Fig. 8. A partir do gráfico, o  $IP_3$  (*Third-Order Intercept Point*) é determinado, ele é um ponto teórico onde as amplitudes dos tons de intermodulação são iguais às amplitudes dos tons fundamentais.

Figura 8 – Ponto de interceptação de terceira ordem (IIP3).



Fonte: (ROGERS; PLETT, 2010).

Essa grandeza se mostra útil como uma forma de verificação em simulações e medições. O valor de  $IP_3$  pode ser medido como referência à entrada ( $IIP_3$ ) ou à saída ( $OIP_3$ ) dependendo da grandeza de interesse, onde  $I$  e  $O$  indicam a entrada e a saída, respectivamente.

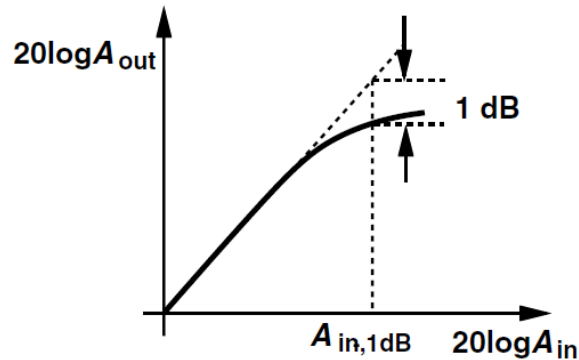
### 2.2.5 Compressão de Ganho

O ponto de compressão de 1 dB representa uma redução de 10% no ganho e é amplamente utilizado para caracterizar a linearidade de circuitos e sistemas de RF (RAZAVI; BEHZAD, 2012). Conforme a amplitude do sinal de entrada aumenta pode levar a um comportamento "compressivo", isto é, um ganho decrescente.

O ponto de compressão de 1 dB é a medida do nível de potência na entrada ou saída, onde a potência medida é 1 dB a menos do que seria se estivesse medindo um dispositivo linear ideal, como é possível visualizar na Fig. 9. A compressão de 1 dB traz

limitações na amplitude do sinal, portanto os esquemas de modulação que contêm informações na amplitude são distorcidos pela compressão. Já os sistemas com modulação em frequência não sofreriam com esse efeito.

Figura 9 – Compressão de 1 dB de ganho.



Fonte: (RAZAVI; BEHZAD, 2012).

### 2.3 Regiões de polarização

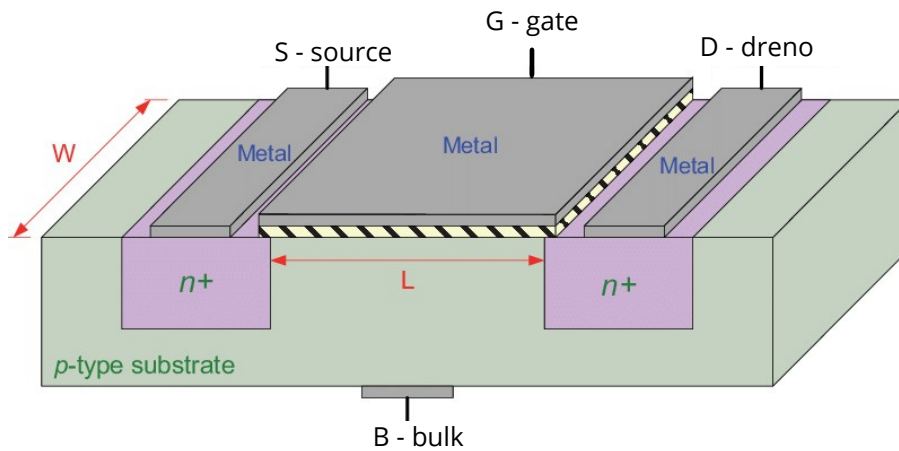
Os transistores metal óxido semiconductor de efeito de campo (MOSFET) podem ser tipo P (PMOS) ou tipo N (NMOS). Para analisar o funcionamento deste tipo de transistor, será utilizado como exemplo um transistor NMOS.

O transistor NMOS como pode ser visto na Fig. 10 é construído sobre um substrato de silício tipo P, onde tem duas difusões tipo N com largura  $W$  que são espaçadas por um comprimento  $L$ , cada uma compondo os terminais fonte (*source*) e dreno. Entre estas difusões, sobre uma camada de isolante e acima do substrato existe uma camada de silício de alta condutividade, onde forma o terminal de porta (*gate*). Abaixo do transistor se observa o terminal de substrato (*bulk*), utilizado para polarizar o substrato. Ao dimensionar um transistor, o projetista tem como missão definir a largura  $W$  e o comprimento  $L$  do canal e também as tensões de polarização do transistor.

Ao adicionar uma polarização no transistor, com excitações em seus terminais através de fontes de tensão  $V_{GS}$ ,  $V_{DS}$  e  $V_{BS}$  o comportamento do transistor pode ser afetado. Existem três regiões de polarização, a região de fraca inversão (WI), de inversão moderada (MI) e de inversão forte (SI).

Para escolher a região de polarização dos transistores pode ser utilizado o gráfico visto na Fig. 11, de acordo com Colombo, Wirth e Fayomi (2010). Neste gráfico percebe-se que o valor da relação da tensão *gate-source* menos a tensão de limiar  $V_{GS} - V_T$  define

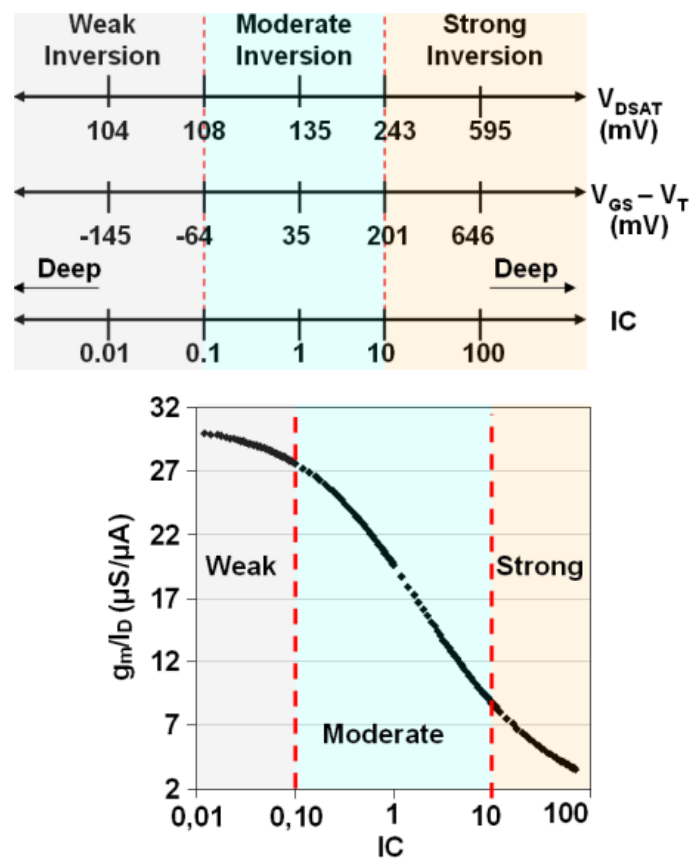
Figura 10 – Transistor MOSFET NMOS.



Fonte:(SEVERO; NOIJE, 2021).

qual região de inversão o transistor estará polarizado.

Figura 11 – Regiões de Polarização.



Fonte: (COLOMBO; WIRTH; FAYOMI, 2010).

Na região SI, podem ser utilizados transistores com tamanhos pequenos para atingir o nível de corrente de dreno na ordem de  $mA$ . Devido a isso, capacitâncias parasitas reduzidas estão presentes nos terminais do transistor e são encontradas em operações de alta frequência.

No entanto, a operação SI não é adequada para circuitos de RF ULV de baixa potência. A primeira limitação se deve ao nível de tensão, pois não é possível encontrar o nível de tensão *gate-source* ( $V_{GS}$ ) necessário para operação SI. A tensão de saturação do transistor é maior no SI e dificulta o empilhamento do transistor e a utilização das técnicas de reutilização de corrente. Além disso, a eficiência do transistor definida pela transcondutância da porta ( $g_m$ ) para a relação da corrente de dreno ( $g_m/I_D$ ) é muito pequena no SI, resultando em maior dissipação de potência.

Ao contrário do SI, a operação WI apresenta os maiores valores  $g_m/I_D$ , é adequada para ULV e apresenta um nível de tensão de saturação reduzido. No entanto, transistor com tamanhos grandes são necessários para satisfazer os valores de transcondutância necessários para operar em frequências mais altas. Por causa disso, grandes capacitâncias parasitas estão presentes.

Assim, o nível moderado de inversão de canal (MI) é a região mais favorável da operação dos transistores CMOS para circuitos de RF de baixa potência. A densidade de corrente no MI é menor do que o SI, mas uma relação  $g_m/I_D$  melhorada pode ser obtida. Em comparação com a inversão fraca, a operação em MI resulta em capacitância parasita reduzida devido aos tamanhos de transistor relativamente menores. Essas características são importantes para melhorar a figura de mérito de um LNA (TARIS; BEGUERET; DEVAL, 2011).

A tensão de *threshold*, ou tensão de limiar ( $V_T$ ) citada anteriormente é o valor de tensão  $V_{GS}$  necessário para criar um canal de condução de corrente entre *source* e dreno. A equação de efeito de corpo define a tensão  $V_T$  para quando a tensão *source-bulk* é diferente de zero ( $V_{SB} \neq 0 V$ ) pode ser definida pela Eq. 13 vista abaixo, onde  $\phi_F$  é o potencial de Fermi, que é definido pelo tipo de semiconductor utilizado,  $V_{T0}$  é a tensão quando  $V_{SB} = 0$  e  $\gamma$  é o coeficiente de efeito de corpo.

$$V_T = V_{T0} + \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}) \quad (13)$$

Como visto anteriormente, a região de inversão depende de  $V_T$ . E através da equação acima, percebe-se que o valor de  $V_T$  pode ser ajustado alterando a tensão  $V_{SB}$ . Ou seja, a polarização do terminal *bulk* pode ser uma estratégia para definir a região de polarização

em que o transistor irá operar.

## **2.4 Síntese do capítulo**

Neste capítulo foram abordados aspectos importantes para entender fenômenos que ocorrem em circuitos RF. O conceito de ruído e seus principais tipos foram introduzidos, tornando possível observar pontos importantes, como por exemplo a importância do LNA na figura de ruído de um receptor.

Também foi abordado o conceito de não-linearidade e seus tipos, mostrando que a não-linearidade de sistemas RF podem acarretar na perda da informação do sinal de entrada em certos cenários. No próximo capítulo serão abordados estudos do estado da arte de LNAs de baixa tensão.

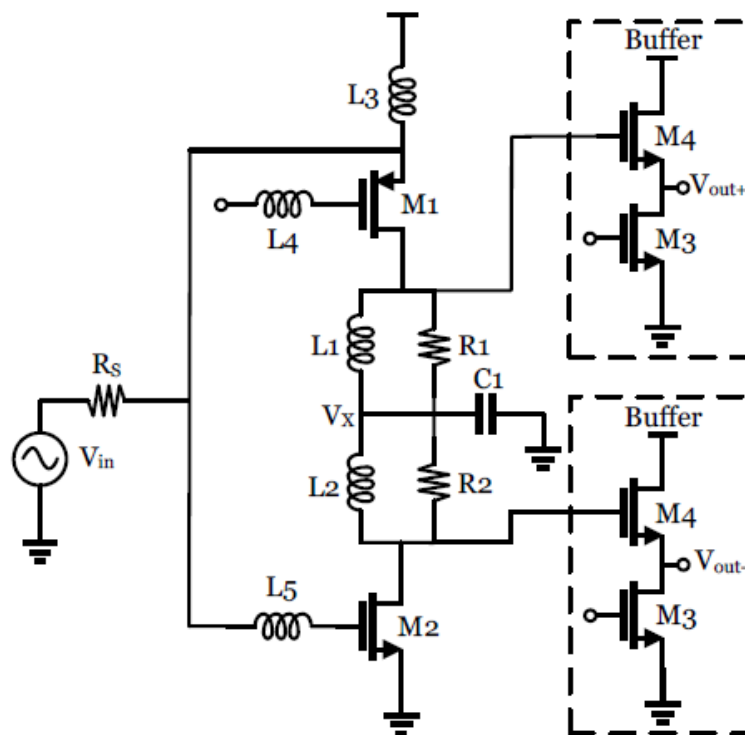
### 3 REVISÃO DO ESTADO-DA-ARTE DE LNAS DE BAIXA POTÊNCIA

Neste capítulo é apresentado o referencial teórico de LNA's de ultra-baixa tensão (ULV) e baixa potência. Com base neste capítulo é possível verificar e conhecer as topologias de circuito que estão no estado-da-arte do tema deste trabalho. As topologias aqui estudadas serão utilizadas como base para a construção do LNA proposto neste trabalho.

#### 3.1 Topologias de LNA's

O LNA visto em (PARVIZI et al., 2013) conta com a utilização de algumas técnicas, como aumento da transcondutância  $g_m$  do transistor para aumentar seu ganho e sua correspondência em altas frequências. Sua topologia pode ser vista na Fig. 12.

Figura 12 – Topologia LNA por Parvizi.



Fonte: (PARVIZI et al., 2013).

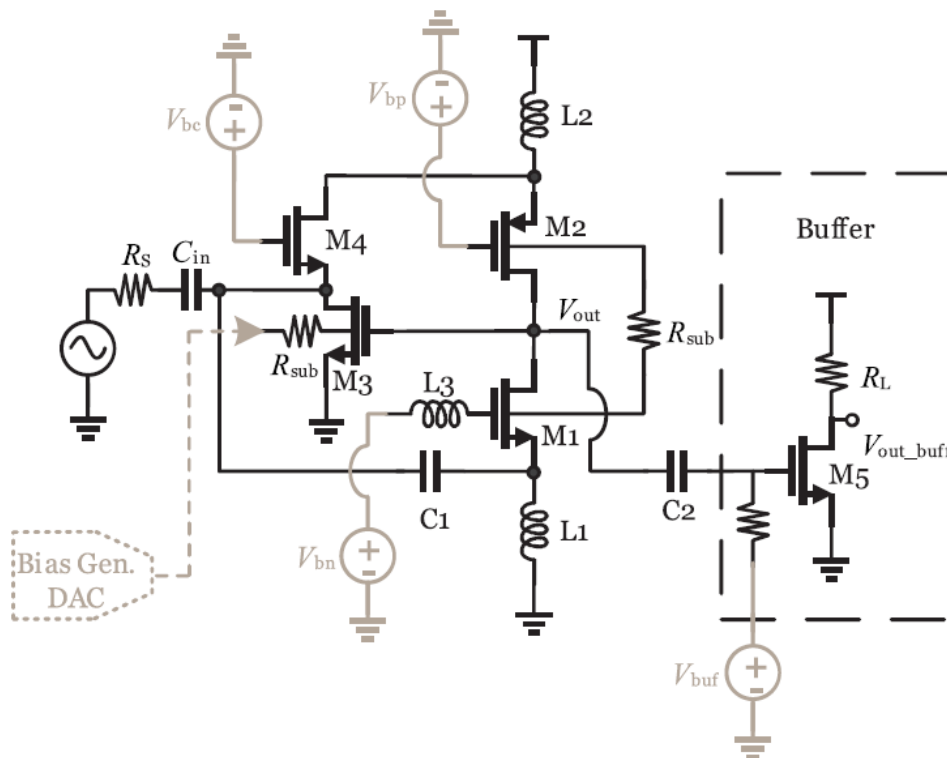
É feita a adição de indutores nos terminais GC (Gate-comum) de um transistor para aumentar sua transcondutância em altas frequências sem nenhum consumo extra de energia, além disso, a utilização do indutor diminui o efeito de capacitâncias parasitas. O indutor L3 é escolhido para ser suficientemente grande para atuar como uma fonte de corrente na entrada do transistor  $M_1$ . O uso de um indutor em vez de um resistor ou

transistor para a fonte de corrente permite o uso de uma fonte de tensão mais baixa.

Também utiliza a técnica de reutilização de corrente para diminuir a potência dissipada, ela permite que a corrente seja utilizada no GC de um PMOS, configurado para fornecer a impedância de entrada de  $50 \Omega$  e no CS (Fonte-comum) de um NMOS, que abre caminho para o cancelamento de ruído do primeiro transistor.

O LNA da Fig. 13, proposto por Parvizi, Allidina e El-Gamal (2016) é alimentado com  $0,4 \text{ V}$  e também faz o uso das técnicas de aumento de  $g_m$  para aumentar a largura de banda de operação do circuito sem maior consumo de energia e faz a reutilização de corrente para diminuir a potência dissipada.

Figura 13 – Topologia LNA por Parvizi.



Fonte: (PARVIZI; ALLIDINA; EL-GAMAL, 2016).

É realizada a polarização de transistores NMOS pelo terminal *bulk* (substrato), utilizando a técnica de polarização direta do substrato do transistor (*Forward Body Biasing* - FBB). Ao excitar este terminal, ocorre uma diminuição na tensão de limiar  $V_T$ , tornando mais fácil polarizar o transistor para operar na região de inversão moderada (MI).

A região de inversão moderada de canal é a região mais favorável para a operação de transistores RF CMOS. A densidade de corrente na MI é menor do que a inversão forte, mas nela é obtida uma relação de transcondutância pela corrente do dreno  $g_m/I_D$  melhorada.



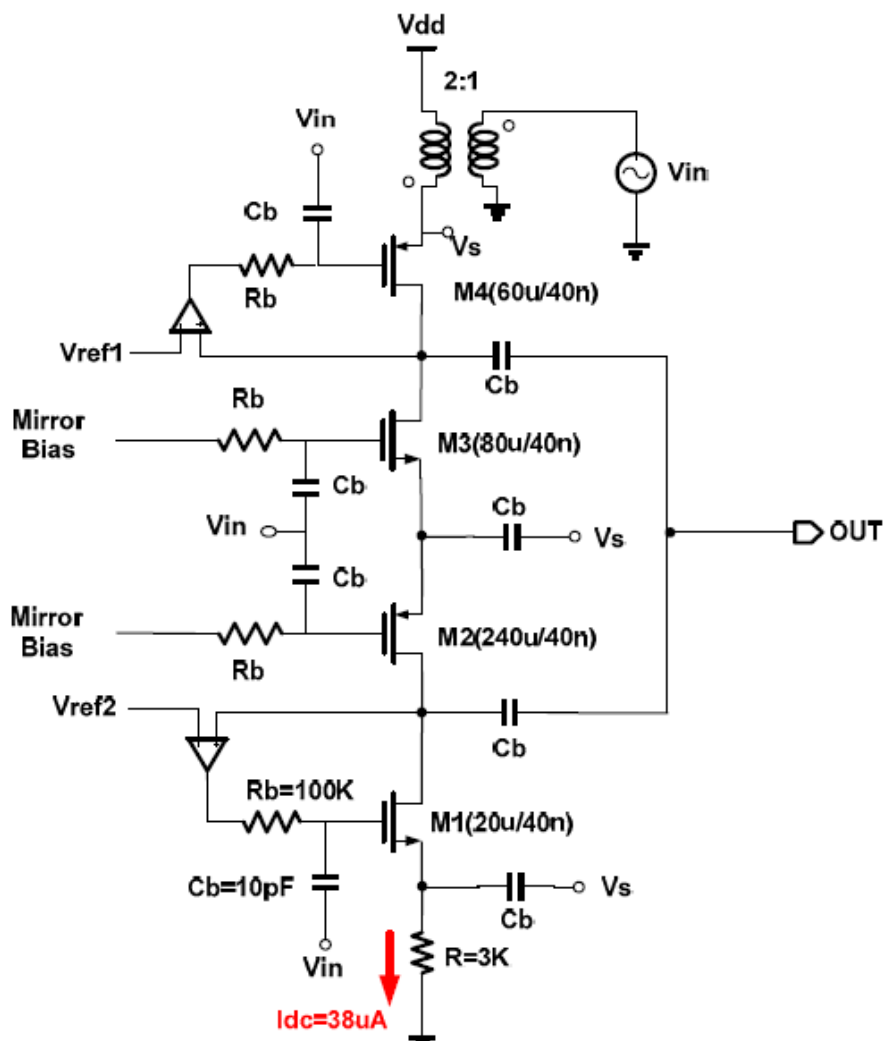
Em comparação com a inversão fraca, a operação na MI resulta na redução da capacitância parasita devido aos tamanhos relativamente menores do transistor. Essas características são importantes para melhorar a figura de mérito de um LNA de acordo com Taris, Begueret e Deval (2011). A operação MI é alcançada quando a tensão *gate source* ( $V_{GS}$ ) está em torno do valor da tensão de limiar ( $V_T$ ). Por conta disso, o MI também é denominado operação próxima à  $V_T$  (*near- $V_T$* ).

Porém, a técnica FBB também tem seus pontos fracos, ela cria distorções devido à transcondutância do *bulk*, ocorrendo uma diminuição em  $IIP_3$  e no ponto de compressão de 1 dB, assim colaborando com a não linearidade do LNA (PARVIZI; ALLIDINA; EL-GAMAL, 2016).

No artigo de Kargaran, Manstretta e Castello (2017), um LNA alimentado por uma tensão de 0,8 V é proposto para aplicações de Wearable Wireless Sensor Network (W-WSN). Sua topologia pode ser vista na Fig. 14.

Para diminuir sua potência dissipada, o LNA foi projetado usando a reutilização da corrente de polarização por quatro transistores empilhados e um resistor de fonte. Além disso, o uso de um transformador integrado de alto fator de qualidade é empregado para melhorar o nível de ganho de transcondutância e reduzir o consumo de energia.

Figura 14 – Topologia LNA por Kargaran.



Fonte: (KARGARAN; MANSTRETTA; CASTELLO, 2017).

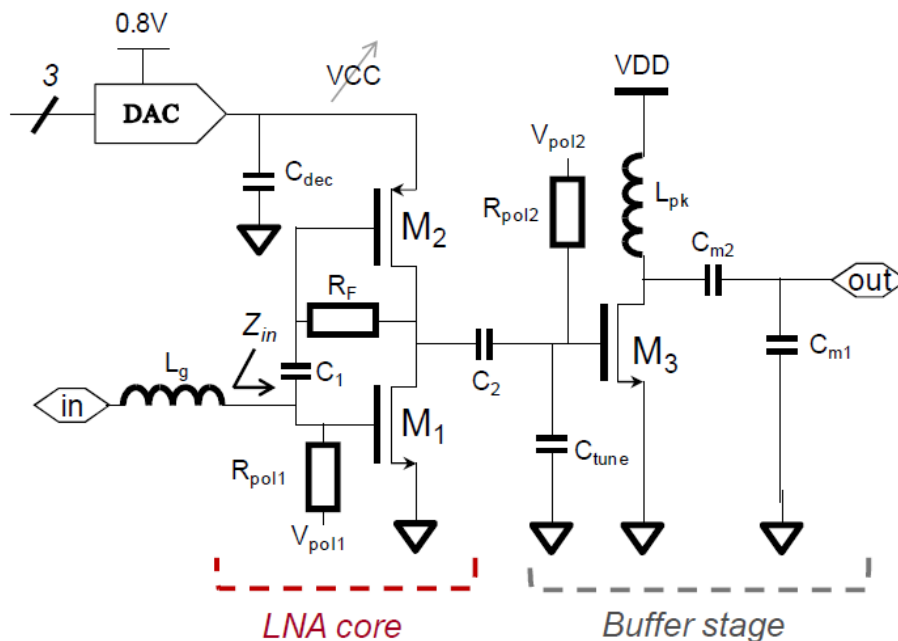
Uma versão simplificada desta topologia é apresentada em (KARGARAN; MANSTRETTA; CASTELLO, 2018), em que o LNA foi capaz de operar com uma alimentação de apenas 0,18 V, mantendo o mesmo nível de potência de  $30 \mu\text{W}$ . A sua tensão de alimentação tão baixa dificulta a compatibilidade do LNA com mixers ativos. Além disso, ao conectar um mixer passivo a sua saída, o circuito verá como uma carga capacitiva, não deixando o LNA funcionar corretamente, afetando o seu casamento de impedância e frequência de operação.

O artigo de Taris, Begueret e Deval (2011) mostrou duas possíveis maneiras de alcançar uma menor dissipação de potência em receptores com a reutilização de correntes. O primeiro modo seria reutilizando a corrente entre o LNA e um mixer. Porém levaria a um alto ruído, pois o sinal de RF é aplicado diretamente ao misturador com uma amplificação reduzida. A segunda maneira seria reutilizar a corrente entre o oscilador e o mixer

do receptor, porém produziria muito espúrio no sinal de saída, tornando a seletividade difícil. Então, como as duas maneiras possuem pontos fracos significativos, foi proposta uma nova solução no artigo utilizando apenas dois transistores.

Os transistores foram polarizados na região de inversão moderada, que como visto anteriormente, leva a obtenção de níveis relativamente altos de  $g_m/I_D$ , que aumenta também sua figura de mérito e gera um maior ganho de tensão. Capacitores de bloqueio DC são utilizados para desconectar os sinais AC e DC e para permitir o uso da polarização *common-gate* no transistor NMOS. A topologia utilizada pode ser vista na Fig. 15. Os circuitos podem apresentar uma impedância de entrada de  $50 \Omega$  quando um indutor de entrada é usado para cancelar a parte imaginária da impedância de entrada. A variabilidade de polarização do circuito é compensada por um conversor digital-analógico que ajusta a tensão de alimentação do LNA.

Figura 15 – Topologia LNA por Taris.



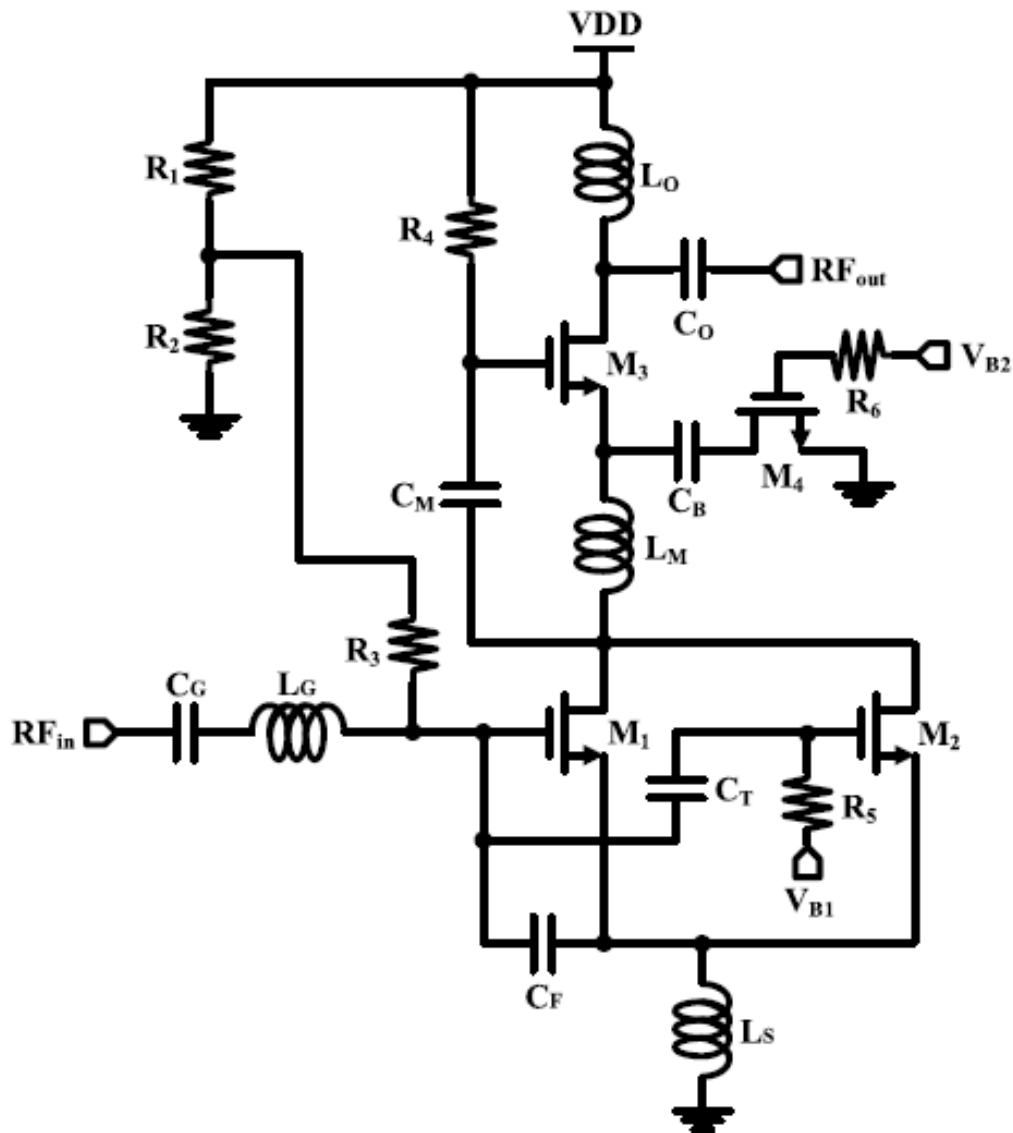
Fonte: (TARIS; BEGUERET; DEVAL, 2011).

O LNA proposto por Hsieh e Lin (2020) utiliza as técnicas de polarização FBB para reduzir a tensão de limiar, podendo assim utilizar uma menor tensão para polarização dos transistores e conseqüentemente obter uma menor tensão de alimentação do LNA. O circuito também conta com as técnicas de reutilização de corrente para reduzir o consumo de energia e utiliza uma topologia de múltiplos gates, que torna possível a eliminação da distorção de terceira ordem causada pela não linearidade do amplificador.

Outro ponto interessante é a utilização de um capacitor sintonizável de realimen-

tação negativa, o que torna possível a obtenção do ganho variável sem custo adicional de energia e contornar possíveis problemas de saturação do sinal. A topologia utilizada pode ser vista na Fig. 16.

Figura 16 – Topologia LNA por Hsieh.



Fonte: (HSIEH; LIN, 2020).

### 3.2 Especificações LNAs

Após analisar as técnicas e observar as topologias do estado-da-arte dos LNAs de baixa tensão, nesta subseção serão apresentados seus resultados. As especificações utilizadas para comparar os LNAs podem ser vistas na Tabela 1, onde são visualizadas as especificações de alimentação, dissipação de potência, figura de ruído, ganho de tensão,

frequência de operação, IIP<sub>3</sub>, tecnologia utilizada e a condição dos resultados, se são medidos ou simulados para ter uma comparação justa.

Tabela 1 – Especificações do Estado da Arte de LNAs de Baixa Tensão

Especificações	[1]	[2]	[3]	[4]	[5]	[6]	Unidade
Alimentação	0,4	0,4	0,4	0,8	0,18	0,6	V
Potência	60	410	160	30	30	600	$\mu$ W
Figura de Ruído	5,3	4,5 a 5,3	4,5	3,3	5,2	4	dB
Ganho	13,1	15	13	14,2	14	4 a 10	dB
Frequência	2,4	3,2 a 10	0,6 a 3,1	2,4	2,4	2,8	GHz
IIP3	-12,2	-2 a -7	-10	-13,2	-8,6	0	dBm
Tecnologia	130	90	130	40	40	180	nm
Med./Sim.	Sim.	Med.	Med.	Sim.	Sim.	Med.	-

[1] (TARIS; BEGUERET; DEVAL, 2011), [2] (PARVIZI et al., 2013),

[3] (PARVIZI; ALLIDINA; EL-GAMAL, 2016),

[4] (KARGARAN; MANSTRETTA; CASTELLO, 2017),

[5] (KARGARAN; MANSTRETTA; CASTELLO, 2018), [6] (HSIEH; LIN, 2020).

Na Tabela acima pode ser visto que ambos trabalhos de Kargaran, em (KARGARAN; MANSTRETTA; CASTELLO, 2017) e (KARGARAN; MANSTRETTA; CASTELLO, 2018) tem as menores especificações de potência. O trabalho Kargaran, Manstretta e Castello (2017) se destaca novamente, tendo a menor figura de ruído, porém tem a maior alimentação entre os circuitos comparados, de 0,8 V. Já o circuito no trabalho Kargaran, Manstretta e Castello (2018) se destaca pela menor tensão de alimentação.

O trabalho de Parvizi em (PARVIZI et al., 2013) se destaca com o maior valor de ganho em 15 dB e com uma grande largura de banda para operação, ele utiliza uma tecnologia CMOS de 90 nm. O trabalho de Hsieh em (HSIEH; LIN, 2020) mostra um IIP3 em 0 dBm, porém uma dissipação de potência alta em comparação aos outros trabalhos, ele utiliza uma tecnologia CMOS de 180 nm.

Os trabalhos de Taris em (TARIS; BEGUERET; DEVAL, 2011) e Parvizi em (PARVIZI; ALLIDINA; EL-GAMAL, 2016) tem especificações parecidas quanto a ganho e IIP3 e são alimentados com baixa tensão, em 0,4 V, ambos utilizam a tecnologia de 130 nm. Parvizi se destaca de Taris pela menor figura de ruído, mas Taris se destaca de Parvizi pela menor dissipação de potência.

### 3.3 Métrica de polarização

No trabalho visto em (PARVIZI; ALLIDINA; EL-GAMAL, 2014) é proposta uma métrica de polarização, ou *biasing metric* (BM). Segundo Parvizi, Allidina e El-Gamal (2014) a *biasing metric* destaca o ponto de polarização ideal para obter o melhor desempenho geral com consumo mínimo de corrente. Ela é dada pela Eq. 14, que é composta pelo produto da eficiência do transistor ( $g_m/I_D$ ), o ganho de tensão intrínseco ( $g_m/g_{ds}$ ) e a frequência de ganho unitário ( $f_T$ ), que pode ser vista na Eq. 15.

$$BM = \left( \frac{g_m}{I_D} \right) \left( \frac{g_m}{g_{ds}} \right) f_T \quad (14)$$

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gb})} \quad (15)$$

Nestas equações,  $g_m$  é a transcondutância de gate,  $g_{ds}$  é a condutância de saída,  $I_D$  é a corrente de dreno,  $C_{gs}$  e  $C_{gb}$  são as capacitâncias *gate-source* e *gate-bulk*, respectivamente.

### 3.4 Figuras de Mérito

A figura de mérito (FoM) é uma medida desenvolvida para tornar possível a comparação de diferentes circuitos através de uma métrica que envolve diversos parâmetros do circuito. Não existe uma equação predefinida para a FoM e isto faz com que diversos trabalhos desenvolvam suas próprias equações a fim de ressaltar as qualidades de seus projetos.

Para montar essa equação, basicamente é pensado em qual seria o melhor cenário para o circuito. Por exemplo para LNAs, as especificações como potência e figura de ruído, são medidas que se espera que sejam baixas, então as mesmas se encontram no denominador da equação para esta medida. Assim, quanto melhor (mais baixas) estas especificações, mais alto ficará o valor da FoM. Já especificações como ganho e ponto de IP3 que quanto maior o valor melhor, são colocados no numerador. Assim é feito um balanço de todas especificações, gerando a medida de FoM, que quanto maior significa

que o conjunto de especificações do circuito é melhor.

Em busca de procurar a melhor maneira de comparar os resultados, a FoM descrita em cada um dos trabalhos revisados será observada afim analisar qual a melhor equação para comparar estes trabalhos.

A  $FoM_1$  vista na Eq.(16), que é descrita no trabalho de Taris, Begueret e Deval (2011) como um FoM definido pelo ITRS para LNAs. Esta métrica usa o ganho de tensão ( $S_{21}$ ), a não linearidade devido à intermodulação de terceira ordem ( $IIP_3$ ), a frequência de operação ( $f_{op}$ ), a figura de ruído ( $NF$ ) e a potência dissipada pelo circuito ( $P$ ).

$$FoM_1 = \frac{S_{21[lin.]}IIP_{3[mW]}f_{op}}{(NF_{[lin.]} - 1)P_{[mW]}} \quad (16)$$

A  $FoM_2$  pode ser vista na Eq.(17), foi descrita nos trabalhos (PARVIZI et al., 2013) e (PARVIZI; ALLIDINA; EL-GAMAL, 2016). Nesta equação são utilizadas as especificações de ganho, figura de ruído, potência dissipada pelo circuito e também a largura de banda ( $BW$ ).

$$FoM_2 = 20\log_{10} \frac{S_{21[lin.]}BW_{GHz}}{P_{[mW]}(NF_{[lin.]} - 1)} \quad (17)$$

A  $FoM_3$  vista na Eq. 18 é muito parecida com a  $FoM_1$ , apenas não utiliza a frequência de operação. A mesma é utilizada nos trabalhos (KARGARAN; MANS-TRETTA; CASTELLO, 2017) e (KARGARAN; MANSTRETTA; CASTELLO, 2018).

$$FoM_3 = \frac{IIP_{3[mW]}S_{21[lin.]}}{(NF_{[lin.]} - 1)P_{[mW]}} \quad (18)$$

A Eq. 19 abaixo é utilizada no trabalho de Hsieh e Lin (2020). Ela utiliza basicamente os mesmos parâmetros vistos nas outras equações.

$$FoM_4 = 10\log_{10} \left( \frac{100 \cdot IIP_{3[mW]} \cdot S_{21[dB]} \cdot f_{op}}{(NF_{[lin.]} - 1)P_{[mW]^2} \cdot 1GHz} \right) \quad (19)$$

A  $FoM_5$  vista na Eq. 20 é proposta no trabalho de Rastegari, Dousti e Ghalamkari (2021). Esta FoM é adequado para comparar o desempenho de LNAs de baixa tensão e baixa potência, pois utiliza os parâmetros de relação entre a tensão nominal do processo ( $V_{ddN}$ ) e tensão de projeto ( $V_{dd}$ ). Além disso, considera a potência dissipada e a área do circuito em sua métrica.

$$FoM_5 = \frac{S_{21[lin.]} IIP_{3[mW]} \left( \frac{V_{ddN}}{V_{dd}} \right)}{(NF_{[lin.]} - 1) P_{[mW]} Area_{[mm^2]}} \quad (20)$$

Pode ser visto que cada figura de mérito tem especificações diferentes, a fim de ressaltar certas características boas do circuito em questão. Por exemplo, algumas métricas escolhem se destacar por um alto  $IIP_3$ , outras por uma grande largura de banda  $BW$ , uma pequena área do circuito, entre outros.

Para tornar a FoM medida justa para trabalhos de baixa tensão e destacando as principais características de circuitos RF, foi proposta a métrica de figura de ruído. Ela pode ser vista na Eq. 21, onde foi explorado o destaque da baixa tensão utilizada, através da razão entre a tensão nominal do processo e a tensão de simulação. No numerador também foram utilizados parâmetros que se espera que sejam altos, como o ganho,  $IIP_3$  e frequência de operação. E no denominador foram colocados parâmetros usuais que espera-se que sejam baixos, como a figura de ruído e a potência. Assim tendo um bom parâmetro de comparação entre amplificadores de baixo ruído com baixa tensão que operam em RF.

$$FoM_{proposta} = \frac{S_{21[lin.]} IIP_{3[mW]} f_{op} \left( \frac{V_{ddN}}{V_{dd}} \right)}{(NF_{[lin.]} - 1) P_{[mW]}} \quad (21)$$

### 3.5 Síntese do capítulo

Neste capítulo foram apresentados trabalhos que estão no estado-da-arte de LNAs de baixa tensão. Foram apresentados suas topologias, as técnicas utilizadas nos trabalhos e os resultados das especificações de cada LNA, assim como as equações de figuras de mérito utilizadas como métrica de comparação em cada um dos trabalhos.

Esta etapa é muito importante para a realização de um novo projeto, pois permite a análise de técnicas e topologias que podem ser aprimoradas e inseridas no novo projeto, assim como a visualização dos resultados obtidos por trabalhos na mesma área afim de comparação. O projeto de LNA realizado será apresentado no próximo capítulo.



## 4 LNA PROPOSTO - VERSÃO 1

Neste capítulo será retratado os primeiros passos do projeto e as otimizações realizadas inicialmente. Começando pela topologia base e suas características, a polarização e dimensão dos transistores, a calibração automática de tensão efetuada e a rede de casamento de impedância. Como este trabalho tem o objetivo de projetar um LNA de baixa potência, utilizando a operação em baixa tensão, foi estipulada uma alimentação máxima de  $V_{DD} = 0,4$  V.

Após a apresentação do projeto do LNA, serão exibidos os resultados obtidos para este projeto e seu *layout*, obtidos através de simulações elétricas realizadas no *software* da Cadence *Virtuoso Analog Design Environment* ®.

### 4.1 Projeto do LNA Proposto

#### 4.1.1 Topologia do LNA

Para seguir como base, foi escolhida a topologia de Taris, Begueret e Deval (2011), que foi visto na Fig. 15, pois a mesma possui bons resultados quanto a figura de ruído de 5,5 dB e ganho de 13,1 dB, além de possuir uma baixa tensão alimentação de 0,4 V e dissipar uma potência muito baixa 60  $\mu$ W.

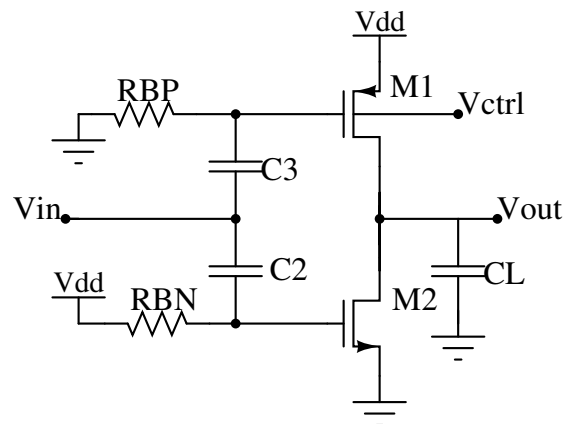
Algumas modificações foram propostas em relação ao referido trabalho. O terminal *gate* do transistor NMOS ( $M_2$ ) é polarizado pelo resistor  $R_{BN}$ , vinculado a  $V_{DD}$ . O resistor  $R_F$  foi retirado, permitindo que a tensão de polarização  $V_{GS}$  sob este transistor possa ser máxima, ou seja,  $V_{GS} = V_{DD}$ .

Para o transistor PMOS ( $M_1$ ), foi usado um capacitor de bloqueio CC para isolar a tensão CC do terminal de saída. Assim, a tensão da porta CC pode ser ligada ao terra pelo resistor  $R_{BP}$ , permitindo o aumento da tensão  $V_{GS}$ . Nele também foi realizada a polarização direta do substrato, utilizando o sinal *Vctrl* aplicado ao terminal de *bulk*.

O indutor existente para eliminar a parte imaginária da impedância foi retirado para dar lugar a uma rede de casamento de impedância que assim como outras modificações maiores, serão mostradas adiante.

Sendo assim, após algumas alterações na topologia vista em Taris, Begueret e Deval (2011), foi obtida a topologia mostrada na Fig. 17.

Figura 17 – Topologia do LNA proposta neste trabalho.



Fonte: Autoral.

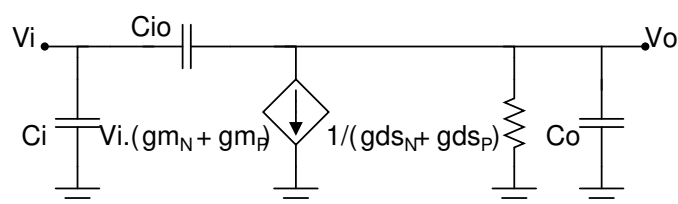
#### 4.1.1.1 Equações

Após esta escolha, a topologia foi estudada mais profundamente e então feita a dedução de equações importantes de análise do circuito. Primeiramente foi deduzida a relação de impedância de entrada do LNA e seu ganho, após isso foi feito um estudo de como chegar à equação de figura de ruído, pois tem um nível de complexidade maior, posteriormente sua equação foi concluída.

Para encontrar a equação da impedância de entrada  $Z_{in}$  e também do ganho de tensão  $A_V$ , foi feita a análise de pequenos sinais do circuito. Na análise de pequenos sinais as fontes de tensão CC são aterradas e são utilizados os modelos de pequenos sinais para transistores NMOS e PMOS.

Assim, chegando no circuito mostrado na Fig. 18, onde  $C_i$ ,  $C_o$  e  $C_{io}$ , representam as capacitância equivalentes de entrada, saída e entre a entrada e a saída, respectivamente. Os resistores  $R_{BP}$  e  $R_{BN}$  não são utilizados no modelo de pequenos sinais uma vez que apresentam valores altos, não tendo relevância no cálculo da impedância e do ganho.

Figura 18 – LNA em pequenos sinais.



Fonte: Autoral.

A partir deste circuito, é feita a análise do circuito utilizando conceitos como a Lei

de Ohm e a Lei de Kirchhoff das Correntes. Sabendo que a impedância de entrada será equivalente à tensão  $V_i$  sobre corrente  $I_{in}$  que entra no nó  $V_i$ , chegamos a Eq. 22.

$$Z_{in}(s) = \frac{V_i}{I_{in}} = \frac{1}{s(C_{io} + C_i) + \frac{sC_{io}(-sC_{io} + g_{m_n} + g_{m_p})}{sC_{io} + sC_o + g_{ds_n} + g_{ds_p}}} \quad (22)$$

Analisando o mesmo circuito de pequenos sinais e tendo em mente que o ganho é equivalente à tensão de saída sobre a tensão de entrada, é possível encontrar a equação de ganho de tensão. A mesma é representada pela Eq. 23.

$$A_v(s) = \frac{V_o}{V_i} = \frac{sC_{io} - g_{m_n} - g_{m_p}}{s(C_{io} + C_o) + g_{ds_n} + g_{ds_p}} \quad (23)$$

Já para conseguir obter uma relação da figura de ruído, é necessário analisar o ruído equivalente de saída do LNA para cada uma das fontes de ruído presentes. Depois, o princípio de superposição é utilizado para encontrar o nível de ruído total na saída ( $\overline{V_{n^2, out}}$ ). Para calcular a figura de ruído foi utilizada a Eq. 24, proposta em Razavi e Behzad (2012), onde  $R_s$  representa a resistência da fonte de entrada e  $A_o$  é o ganho do amplificador.

$$NF_{total} = \frac{\overline{V_{n^2, out}}}{A_o^2} \frac{1}{4kTR_s} \quad (24)$$

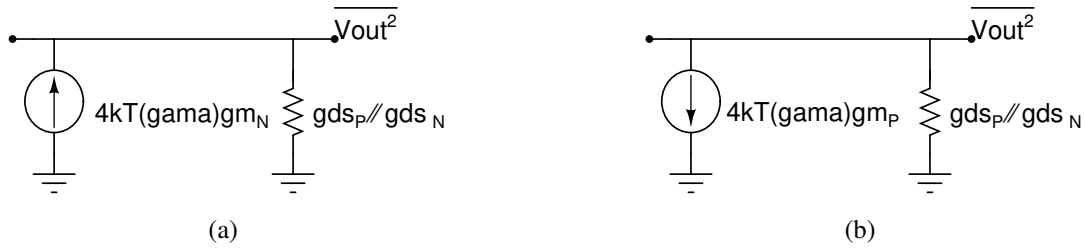
No caso deste circuito, teremos duas fontes de ruído térmico, os transistores NMOS e PMOS. Os transistores MOSFET possuem um modelo de ruído térmico visto anteriormente, com os modelos em série representados por uma fonte de tensão dada pela Eq. 3 ou por uma fonte de corrente em paralelo dada pela Eq. 4.

Pode ser representada a contribuição de ruído dos transistores na Fig. 19(a) e 19(b), sendo do transistor NMOS e PMOS, respectivamente.

Para o transistor NMOS a contribuição de ruído pode ser vista na Eq. 25. E para o transistor PMOS a contribuição de ruído pode ser vista na Eq. 26.

$$\overline{V_{out}^2} = \frac{16k^2T^2\gamma^2g_{m_n}^2g_{ds_n}^2g_{ds_p}^2}{g_{ds_n}^2 + g_{ds_p}^2} \quad (25)$$

Figura 19 – (a) Contribuição de ruído pelo transistor NMOS. (b) Contribuição de ruído pelo transistor PMOS.



Fonte: Autoral.

$$\overline{V_{out}^2} = \frac{16k^2T^2\gamma^2 gm_p^2 gds_n^2 gds_p^2}{gds_n^2 + gds_p^2} \quad (26)$$

É feita a soma da contribuição de ruído dos dois transistores através do princípio de superposição e então inserida na equação de figura de ruído total vista anteriormente (Eq. 24). Assim, é possível chegar na equação da figura de ruído deste LNA, dada pela Eq. 27, onde em função do tamanho da equação e para facilitar a visualização, a mesma foi reduzida utilizando variáveis chamadas de  $A$  e  $B$ .

$$A = \frac{\gamma^2 (gm_N^2 + gm_P^2)}{gds_N^2 + gds_P^2 + 2gds_N \cdot gds_P + \frac{2gds_N + 2gds_P}{R_S} + \frac{1}{R_S^2}} \quad N_F = \frac{4 \cdot K \cdot T \cdot (A + B)}{R_S (-gm_N - gm_P)} \quad (27)$$

$$B = \frac{1}{1 + R_S(2gds_N + 2gds_P + 2R_S \cdot gds_N \cdot gds_P + R_S \cdot gds_N^2 + R_S \cdot gds_P^2)}$$

## 4.1.2 Polarização dos Transistores

### 4.1.2.1 Região de polarização

Como visto anteriormente, o nível moderado de inversão de canal (MI) é a região mais favorável da operação dos transistores CMOS para circuitos de RF de baixa potência. A operação MI é alcançada quando a tensão *gate-source* ( $V_{GS}$ ) do transistor está em torno do valor da tensão limiar ( $V_T$ ). O uso do *Forward Bulk Bias* (FBB) é muito importante para reduzir o  $V_T$  e, conseqüentemente, diminuir o nível de tensão  $V_{GS}$  DC necessário para estar na operação de MI (HSIEH; LIN, 2020).

Para polarizar os transistores nesta região de MI, foi utilizada a relação do valor da tensão *gate-source* menos a tensão de limiar  $V_{GS} - V_T$ . Conforme visto no trabalho

de Colombo, Wirth e Fayomi (2010), se  $V_{GS} - V_T$  estiver entre  $-64$  e  $201$  mV o transistor estará polarizado na região de inversão moderada. Portanto os transistores foram polarizados por tensão, buscando com que  $V_{GS} \approx V_T$ .

Para o transistor PMOS foi realizada a excitação também do terminal *bulk* para permitir a redução da tensão de limiar  $V_T$  do transistor e tornar possível a polarização na região de inversão moderada.

#### 4.1.2.2 Dimensionamento dos transistores

O dimensionamento dos transistores foi realizado usando um processo baseado em simulação iterativa no ambiente Cadence Virtuoso. As equações de ganho, figura de ruído e impedância de entrada foram usadas para analisar os *trade-offs* de especificação e para conduzir o processo iterativo de alteração dos tamanhos do transistor a fim de obter a menor dissipação de potência, maior ganho de tensão, menor valor de figura de ruído e boa correspondência da impedância de entrada, ou seja, próxima a  $50 \Omega$ .

As especificações de dimensionamento dos transistores e as tensões de polarização  $V_{GS}$  e  $V_{BS}$  podem ser vistas na Tabela 2.

Tabela 2 – Especificações de dimensão e tensão de polarização dos transistores.

Parâmetro	NMOS	PMOS
L (nm)	300	250
W ( $\mu\text{m}$ )	5	4,2
Múltiplos	15	15
$V_{GS}$ (V)	0,4	0,4
$V_{BS}$ (V)	0	0,2

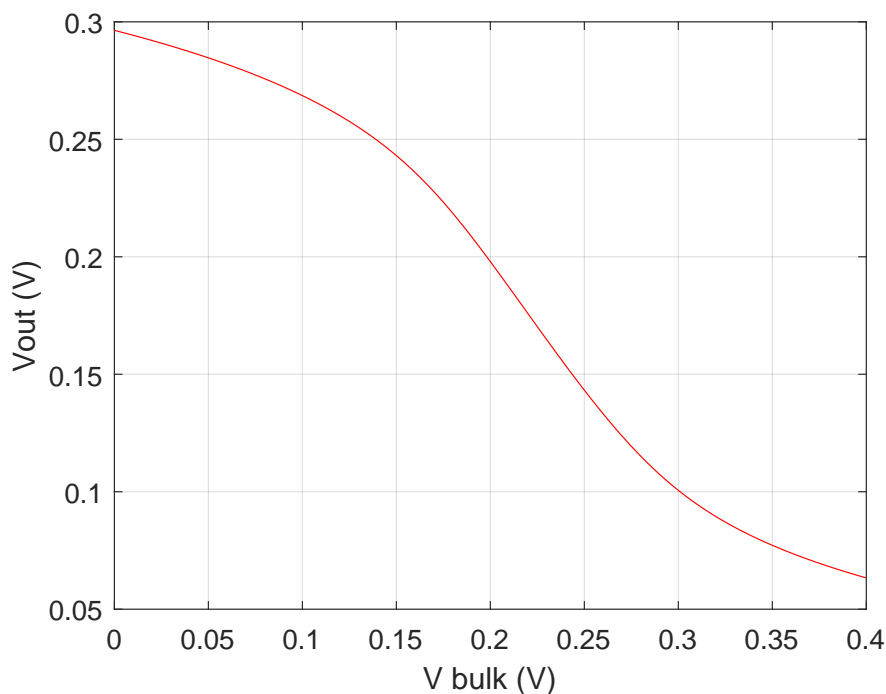
Em busca de obter uma maior relação de ganho possível, pretende-se trabalhar na região de saturação do transistor, pois nela o valor da condutância de saída  $g_{ds}$  é o menor. De acordo com a Eq. 23, pode ser observado que a condutância tem uma relação inversa ao ganho, portanto quanto menor for  $g_{ds}$ , maior será o ganho  $A_V$ . Para isso é necessário que a tensão *dreno-source* seja de  $V_{DD}/2$  o que leva à buscar  $V_{out} = V_{DD}/2$ , pois assim é possível manter o transistor nessa região de saturação e também possibilita uma maior excursão do sinal de saída do LNA.

### 4.1.3 Calibração Automática de Tensão

Como dito anteriormente, em busca de alcançar um maior valor de ganho, é desejado que a saída de tensão  $V_{out}$  do LNA seja  $V_{DD}/2$ . Como o circuito opera com um baixo nível de tensão, isso dificulta o projeto e o mesmo apresenta maior sensibilidade às variações de parâmetros de processo. Então, tendo em vista variação que o circuito sofre, é proposto adicionar um circuito de calibração automática de tensão no LNA para manter a saída estável em  $V_{DD}/2$ .

A ideia é adicionar um amplificador de erro para calibrar a tensão de *bulk* do transistor PMOS, ajustando a mesma para que a saída  $V_{out}$  do LNA seja a mais próxima possível de uma tensão de referência setada em  $V_{DD}/2$ . Para garantir que o ajuste da tensão de *bulk* entre 0 e  $V_{DD}$  conseguirá atingir a tensão desejada de saída  $V_{out} = V_{DD}/2 = 0,2$  V, a faixa de variação de  $V_{out}$  em função da tensão de *bulk* precisa ser verificada. A Fig. 20 apresenta o gráfico da tensão do terminal *bulk* variando entre 0 e  $V_{DD}$  e a tensão de saída obtida com esta variação.

Figura 20 – Tensão de saída obtida com a variação da tensão do *bulk* do transistor PMOS.



Fonte: Autoral.

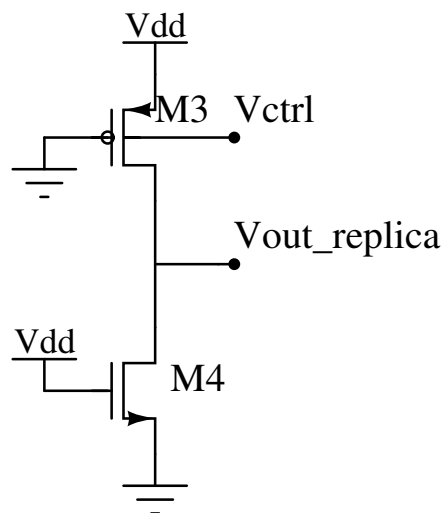
Como pode ser visto na Fig. 20, existe uma grande faixa de controle da tensão de saída. Então a ideia será adicionar um amplificador de erro que meça o nível de  $V_{out}$  e compare com  $V_{DD}/2$ . Como base nisso, ocorre o ajuste da tensão  $V_{bulk}$  para o valor mais

adequado para ter o menor erro possível. Porém, ao conectar um dos terminais de entrada do amplificador de erro diretamente na saída do LNA, o mesmo verá o amplificador de erro como um grande capacitor, reduzindo o ganho do LNA na frequência de operação. Para contornar este problema é proposto a utilização de uma réplica para medição indireta do nível de  $V_{out}$ .

#### 4.1.3.1 Réplica

Como foi dito anteriormente, este LNA é projetado para RF, portanto adicionar um circuito na saída do LNA criará uma grande capacitância parasita capaz de alterar o funcionamento do LNA. Para contornar este problema será utilizada uma réplica do circuito LNA, baseada em um circuito de polarização visto em Compassi-Severo e Noije (2019). O circuito de réplica pode ser visto na Fig. 21, ele conta com a mesma polarização e dimensão dos transistores do LNA, porém ambos com apenas um múltiplo, a fim de reduzir a potência.

Figura 21 – Réplica do circuito LNA.



Fonte: Autoral.

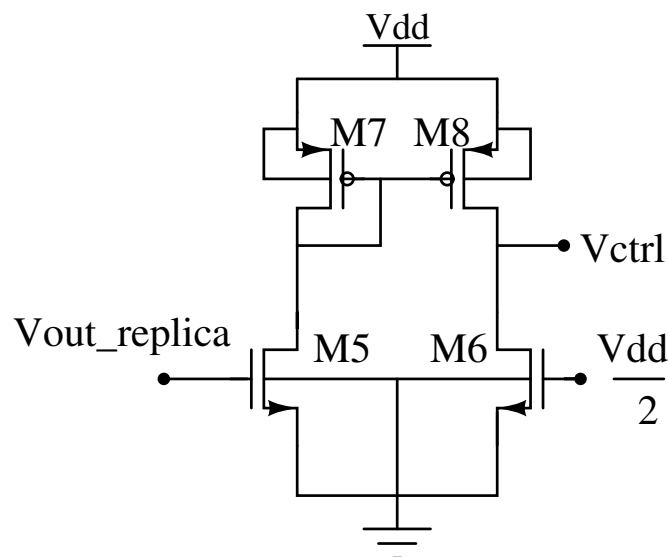
O circuito funcionará da seguinte maneira, o amplificador de erro será utilizado para ajustar a tensão de saída da réplica  $V_{out\_replica}$  para  $V_{DD}/2$ . Como a tensão  $V_{ctrl}$  da réplica também será aplicada ao amplificador principal, a tensão de saída do LNA também será controlada sem adicionar nenhuma carga extra. Para reduzir o efeito de descasamento (*mismatch*) entre réplica e LNA, o *layout* do circuito dos transistores de réplica são construídos de forma interdigitada aos do LNA.

#### 4.1.3.2 Amplificador de Erro

Para realizar a calibração, será adicionado um amplificador de erro de malha fechada na saída da réplica, afim de comparar a tensão  $V_{out\_replica}$  com a tensão de referência  $V_{DD}/2$ . De acordo com o resultado dessa comparação, o amplificador de erro irá realizar o ajuste da tensão  $V_{ctrl}$  da réplica. Essa tensão  $V_{ctrl}$  será aplicada também ao circuito LNA original.

O circuito amplificador utilizado é um pseudo-diferencial capaz de operar com baixos níveis de tensão de alimentação. O mesmo foi escolhido por sua simplicidade e baixo GBW (*Gain-bandwidth product*), o que o leva a consumir pouco. O amplificador de erro utilizado pode ser visto na Fig. 22 abaixo.

Figura 22 – Amplificador de erro utilizado.



Fonte: Autoral.

O dimensionamento dos transistores foi feito visando obter um baixo *offset* e baixa variação. Pensando nisso, para o comprimento  $L$  dos transistores foi escolhido um valor grande, na ordem de  $\mu\text{m}$  para atingir um baixo *offset* e maximizar o ganho de tensão. E o valor da largura  $W$  foi ajustado de maneira a ser obtida uma baixa corrente, a fim de que o amplificador consuma baixa potência. As dimensões dos transistores projetados pode ser vista na Tabela 3.

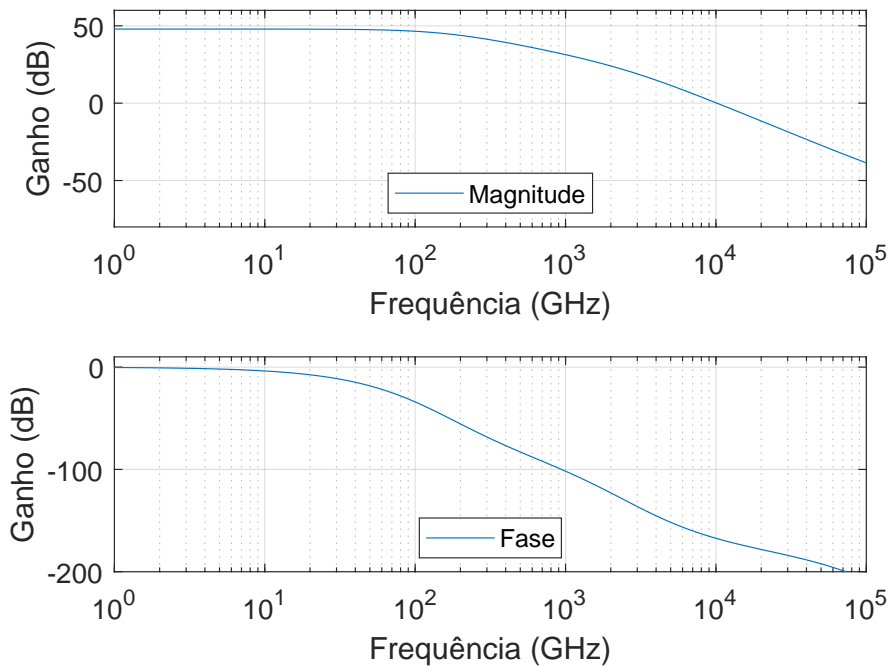


Tabela 3 – Dimensões transistores Amplificador de erro.

Parâmetro	NMOS	PMOS
L ( $\mu\text{m}$ )	15	10
W ( $\mu\text{m}$ )	5	30
Múltiplos	1	1

Com isso obteve-se o comportamento de ganho e fase visto no diagrama de bode da Fig. 23. Onde, o valor de ganho do amplificador de erro atingido em baixa frequência é 47,902 dB, a frequência de corte do amplificador de erro é aproximadamente 158 Hz e seu GBW é de aproximadamente 10,232 kHz. A fase na frequência de GBW está em aproximadamente  $-167^\circ$ , ou seja ainda tem uma margem de  $13^\circ$  até a inversão de fase.

Figura 23 – Ganho do amplificador de erro utilizado.



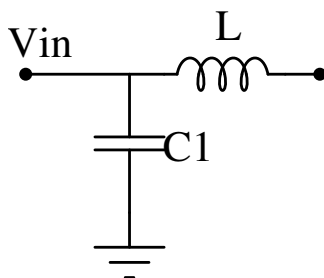
Fonte: Autoral.

#### 4.1.4 Rede de Casamento da Impedância de Entrada

O casamento de impedância foi realizado com simulações pós-layout realizadas no *software* Virtuoso da Cadence, onde os parasitas foram extraídos do *layout* para obter um resultado mais preciso. Então, por meio dos parâmetros S extraídos, foram efetuadas

análises pela carta de Smith, onde foi visto que a forma mais simples de casar o circuito se dá através de uma rede de casamento em L, formada por um indutor e um capacitor, como é possível observar na Fig. 24.

Figura 24 – Rede de casamento de impedância na entrada do circuito.



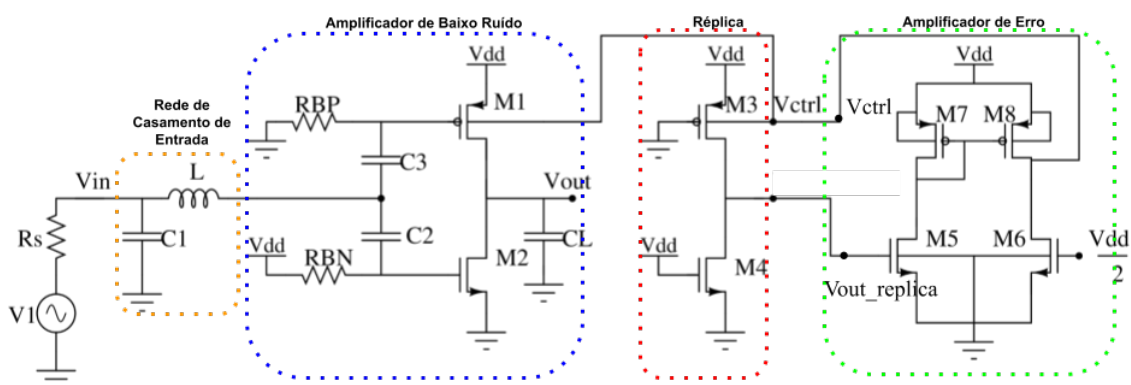
Fonte: Autoral.

## 4.2 Resultados

### 4.2.1 Esquemático LNA

O circuito completo do LNA proposto inicialmente pode ser visto na Fig. 25, onde em laranja é vista a rede de casamento de impedância de entrada, em azul o LNA, em vermelho uma réplica do circuito LNA e em verde um amplificador de erro.

Figura 25 – Circuito completo do LNA proposto.



Fonte: Autoral.

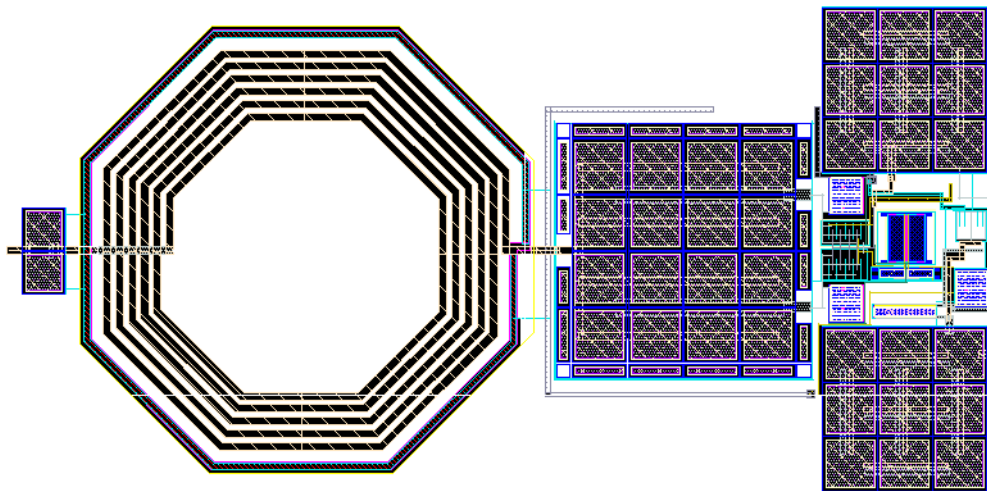
A entrada do circuito é conectada a rede de casamento para manter a impedância de entrada desejada, a rede é conectada a entrada do LNA. O terminal *bulk* do transistor PMOS é conectado a réplica do LNA principal. Essa réplica fornece os dados de saída

para o amplificador de erro que compara essa saída com sua tensão de referência e atualiza o valor de tensão no terminal *bulk* da réplica e do LNA principal, buscando a estabilização a tensão de saída.

#### 4.2.2 Layout

O LNA proposto foi projetado usando um processo CMOS de 180 nm para operar na frequência de 2,4 GHz com  $V_{DD}$  igual a 0,4 V. A Fig. 26 mostra o *layout* do *chip* do LNA proposto neste trabalho. O circuito completo ocupa uma área de 0,1951 mm<sup>2</sup> e foi produzido em um *chip* em um processo CMOS com 40k Å UTM. Além dos circuitos anteriores, um *buffer* de saída foi utilizado na saída do LNA para permitir a caracterização dos circuitos após a fabricação.

Figura 26 – *Layout* do LNA proposto.



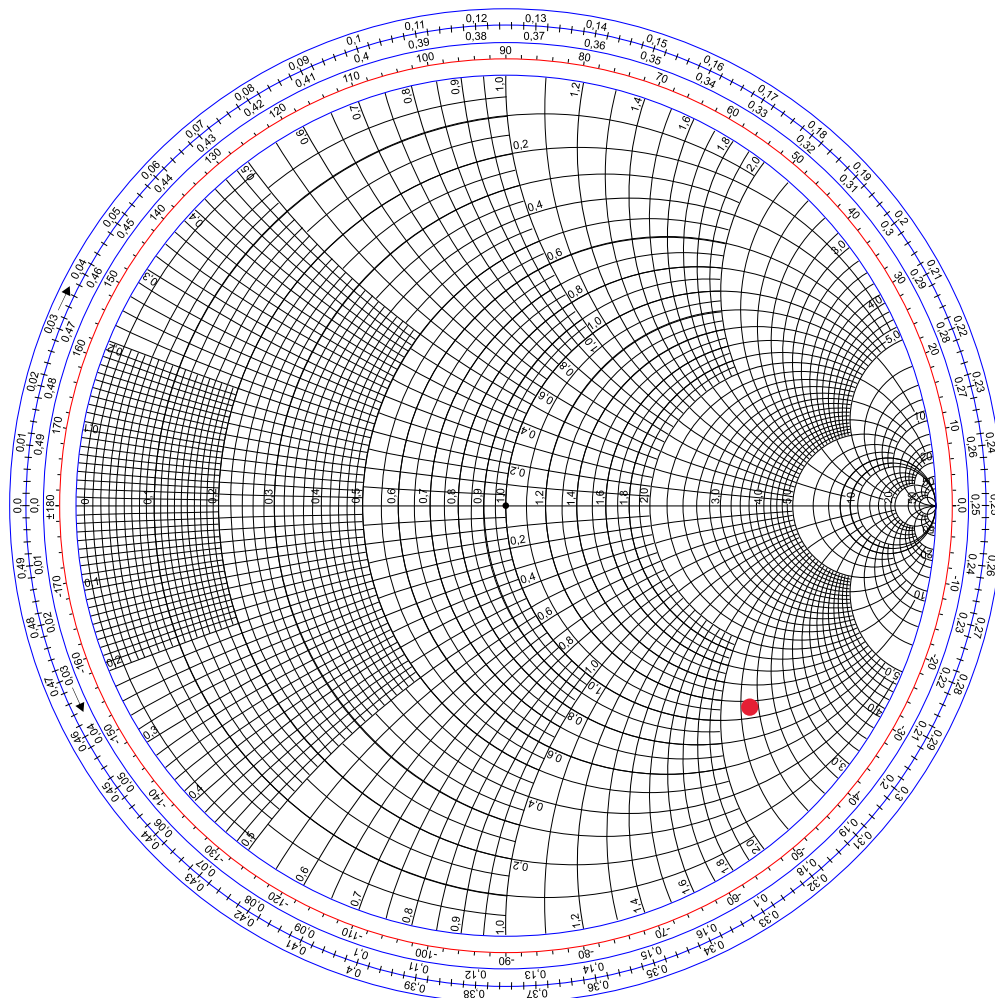
Fonte: Autoral.

#### 4.2.3 Rede de Casamento de Impedância de Entrada

O casamento de impedância de entrada do LNA foi analisado utilizando o parâmetro  $S_{11}$ . Ao realizar o *layout* do *chip*, foram extraídos seus parasitas em busca de obter um valor mais próximo ao real da impedância que o circuito tem na entrada. Para isso, foi realizada uma simulação do parâmetro  $S_{11}$  no *software* da Cadence, que resultou no valor de impedância de de entrada (normalizada em 50 Ω) igual a  $Z = 1,186 - j2,351$ . A Fig. 27 representa em vermelho o ponto na carta de Smith onde encontra-se a impedância de

entrada do circuito em 2,4 GHz.

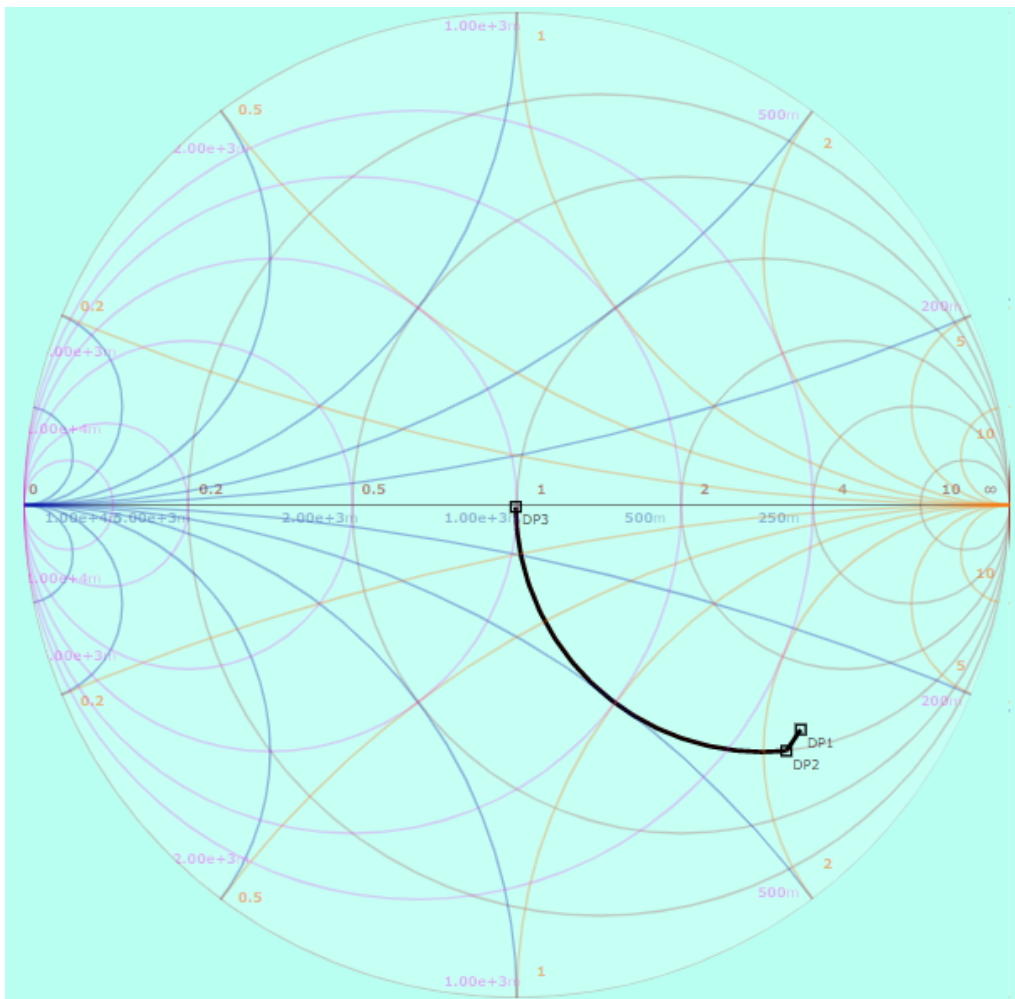
Figura 27 – Carta de Smith com carga do circuito representada em 2,4 GHz.



Fonte: Autoral.

Então utilizando conceitos de micro-ondas, foi realizado o casamento de impedância com base na ferramenta online Smith Chart Tool (KELSEY, ). Essa ferramenta permite a adição de componentes passivos para realizar a movimentação na carta de Smith, de modo que a mesma se desloque para o centro da carta, significando que o circuito está casado. Foi adicionado uma rede de casamento em L, como vista anteriormente, utilizando um capacitor em paralelo com o valor de  $C = 0,05 \text{ pF}$  e um indutor em série com o valor de  $L = 7,3 \text{ nH}$ , assim foi possível realizar o casamento como pode ser visto na Fig. 28.

Figura 28 – Casamento utilizando a carta de Smith online, em 2,4 GHz.

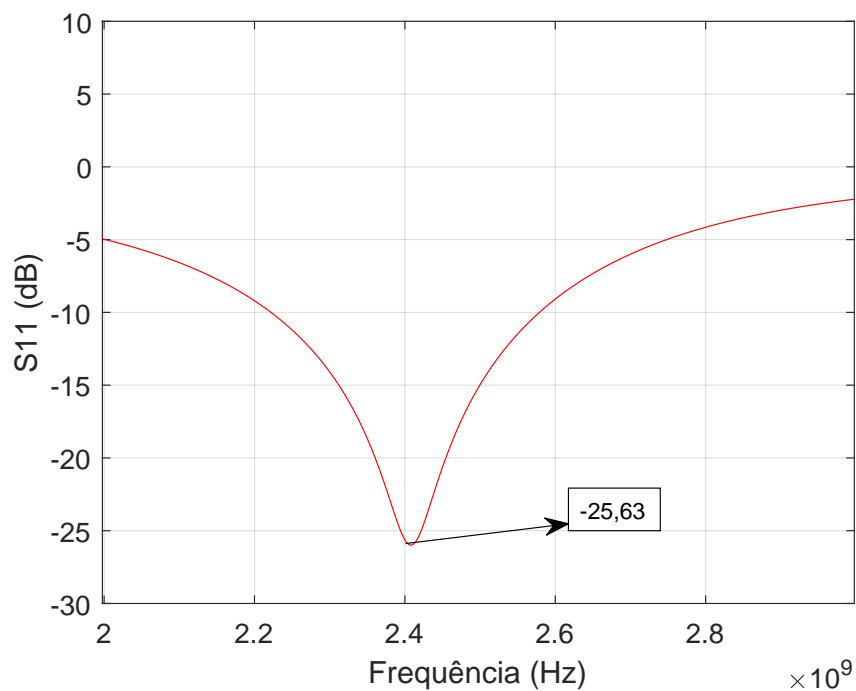


Fonte: (KELSEY, ).

Após adicionar esta rede de casamento ao *software* Virtuoso, foi visto que a mesma não obteve sucesso, devido aos componentes utilizados na ferramenta online *Smith Chart Toll* serem ideais. Então devido à não-idealidade dos componentes reais, foi necessário realizar um ajuste iterativo através do desenho do *layout*, extração e simulações de pós-*layout*, até conseguir alcançar componentes com características reais que casassem o circuito. Chegando então aos valores de capacitor  $C = 0,525 \text{ pF}$  e indutor  $L = 12,313 \text{ nH}$ .

Após as simulações de pós-*layout*, foi realizada a simulação do parâmetro  $|S_{11}|$  de 2 à 3 GHz, podendo ser vista na Fig. 29, que resulta em  $-25,63 \text{ dB}$  na frequência de 2,4 GHz, mostrando uma boa correspondência de entrada. Se o nível de  $|S_{11}| < -10 \text{ dB}$  for considerado, o LNA projetado pode atingir a largura de banda de 350 MHz, operando de 2,22 GHz a 2,57 GHz.

Figura 29 – Parâmetro S11 do LNA proposto em 2,4 GHz.

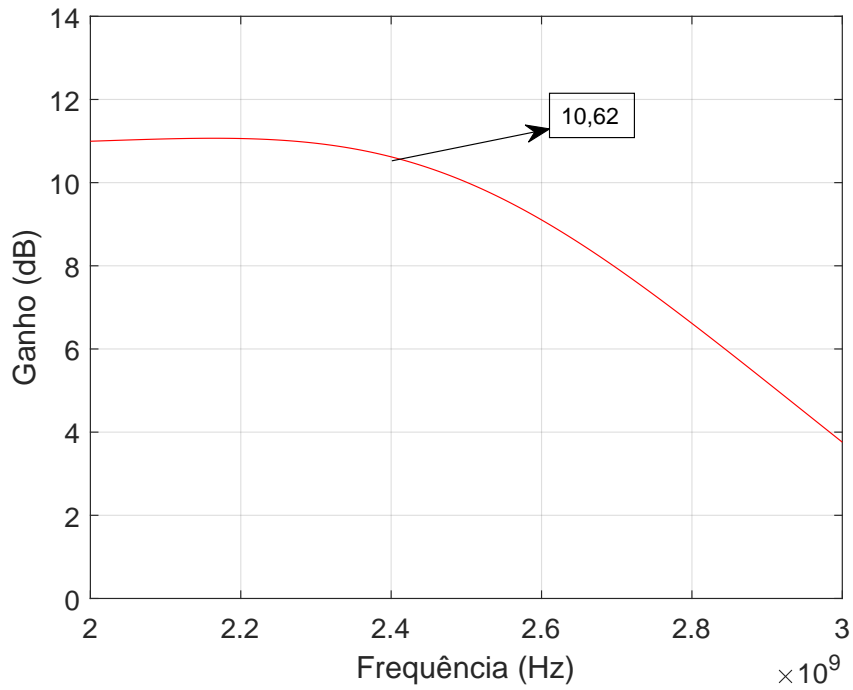


Fonte: Autoral.

#### 4.2.4 Especificações do LNA

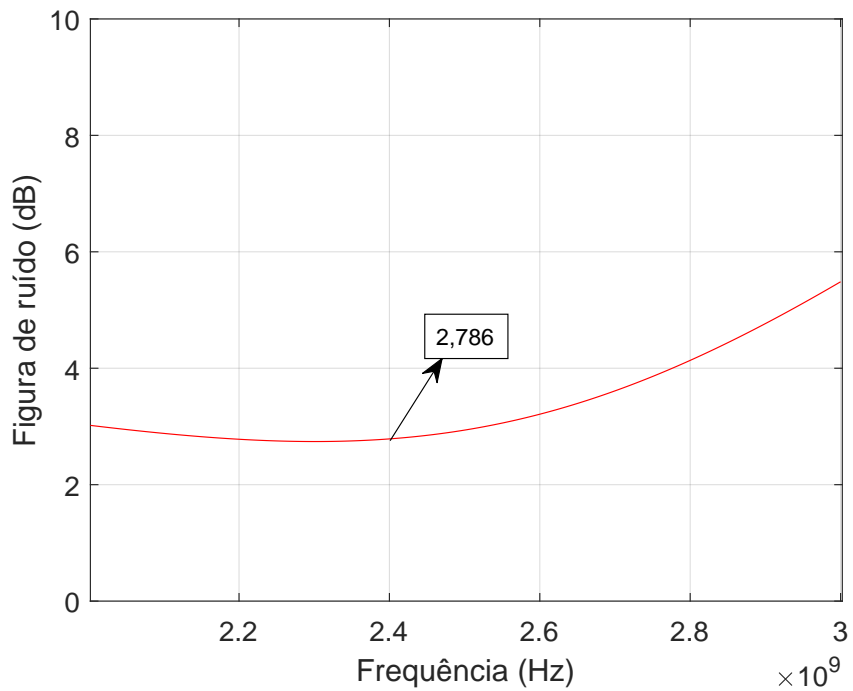
As Fig. 30 e 31 mostram a resposta de frequência da simulação pós-*layout* do ganho de tensão e da figura de ruído, respectivamente. O ganho de tensão varia de 11,07 dB a 3,758 dB quando a frequência varia de 2 a 3 GHz e é igual a 10,62 dB em 2,4 GHz. A figura de ruído atingida foi 2,786 dB na frequência de 2,4 GHz.

Figura 30 – Ganho de tensão ( $A_V$ ) do LNA proposto em 2,4 GHz.



Fonte: Autoral.

Figura 31 – Figura de ruído (NF) do LNA proposto em 2,4 GHz.

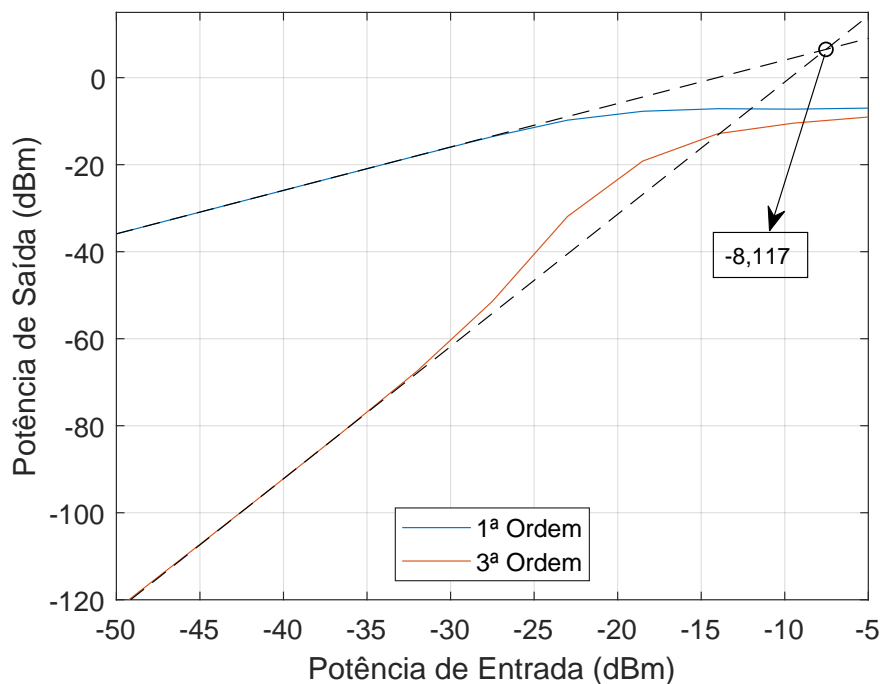


Fonte: Autoral.

A dissipação de potência do LNA atinge o valor de  $169,81 \mu\text{W}$  quando alimentado com  $0,4 \text{ V}$ . O ponto de interceptação de terceira ordem de entrada ( $\text{IIP}_3$ ) é igual a

-8,117 dBm, como pode ser visto na Fig 32.

Figura 32 – Ponto de interceptação de terceira ordem de entrada (IIP<sub>3</sub>).



Fonte: Autoral.

Tabela 4 – Especificações do Estado da Arte de LNAs de Baixa Tensão

Especificações	[1]	[2]	[3]	[4]	[5]	[6]	[7]	Este trabalho
Alimentação (V)	0.4	0.4	0.4	0.8	0.18	0.6	0.75	<b>0.4</b>
Potência ( $\mu$ W)	60	410	160	30	30	600	980	<b>170</b>
Figura de ruído (dB)	5.3	4.5 a 5.3	4.5	3.3	5.2	4	3.45	<b>2.8</b>
Ganho (dB)	13.1	15	13	14.2	14	4 a 10	14	<b>10.6</b>
Frequência (GHz)	2.4	3.2 a 10	0.6 a 3.1	2.4	2.4	2.8	2.4	<b>2.4</b>
IIP3 (dBm)	-12.2	-2 a -7	-10	-13.2	-8.6	0	-8	<b>-8.1</b>
Área LNA (mm <sup>2</sup> )	0.63	-	0.39	-	-	0.9	0.37	<b>0.19</b>
Technologie (nm)	130	90	130	40	40	180	180	<b>180</b>
Med./Sim.	Sim.	Med.	Med.	Sim.	Sim.	Med.	Sim.	<b>Sim.</b>

[1] (TARIS; BEGUERET; DEVAL, 2011), [2] (PARVIZI et al., 2013),  
 [3] (PARVIZI; ALLIDINA; EL-GAMAL, 2016),  
 [4] (KARGARAN; MANSTRETTA; CASTELLO, 2017),  
 [5] (KARGARAN; MANSTRETTA; CASTELLO, 2018), [6] (HSIEH; LIN, 2020),  
 [7] (RASTEGARI; DOUSTI; GHALAMKARI, 2021)

Na Tabela 4 podem ser visualizadas as especificações deste trabalho e dos trabalhos revisados anteriormente. Em comparação com os trabalhos da revisão bibliográfica, é visto que o LNA proposto é alimentado com uma baixa tensão, tem a menor figura de ruído, uma potência dissipada baixa, um ganho abaixo da média, porém aceitável para os padrões de comunicação, um bom IIP<sub>3</sub>, trabalhando na tecnologia de 180 nm. Se for comparar com o trabalho (HSIEH; LIN, 2020) que é realizado com a mesma tecnologia que



este trabalho, apenas é deixado a desejar no valor do  $IIP_3$ , o restante das especificações se destacam nesta comparação.

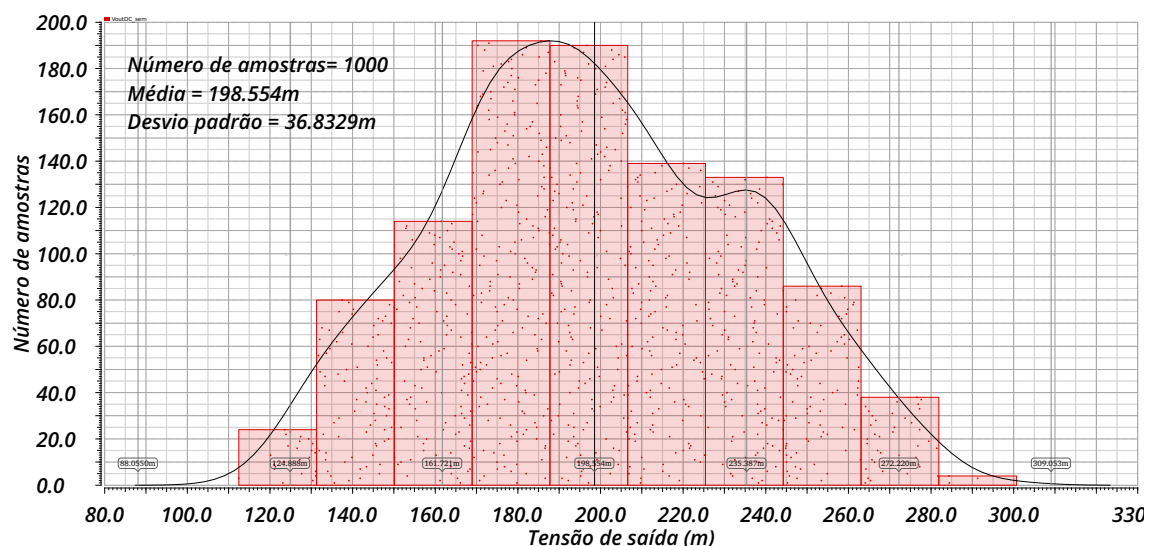
#### 4.2.5 Análise da Calibração Automática de Tensão

Em busca de estabilizar a tensão de saída ( $V_{out}$ ) do LNA, foi conectado um circuito de calibração de tensão, formado por uma réplica do LNA e um amplificador de erro de malha fechada. Assim é possível que a calibração de tensão seja feita automaticamente e mantenha o LNA mais estável às variações, como de processo e temperatura.

Para realizar as simulações da calibração de tensão, foi utilizado o método de Monte Carlo para simular as variações de processo sofridas pelo circuito. Para cada caso foram realizadas simulações de Monte Carlo com 1000 amostras.

A Fig. 33 mostra o gráfico do histograma de frequências para a tensão de saída do LNA sem a calibração, somente com uma fonte de tensão fixa em  $V_{DD}/2$  conectada diretamente ao terminal *bulk* do  $M_1$ . Pode ser notado que a tensão varia na faixa aproximadamente 112 e 300 mV. Portanto, sem a calibração automática, o circuito se encontra mais suscetível a variações e pode levar a operação com baixo valor de ganho.

Figura 33 – Histograma de variação da tensão de saída  $V_{out}$ , sem a calibração automática de tensão.

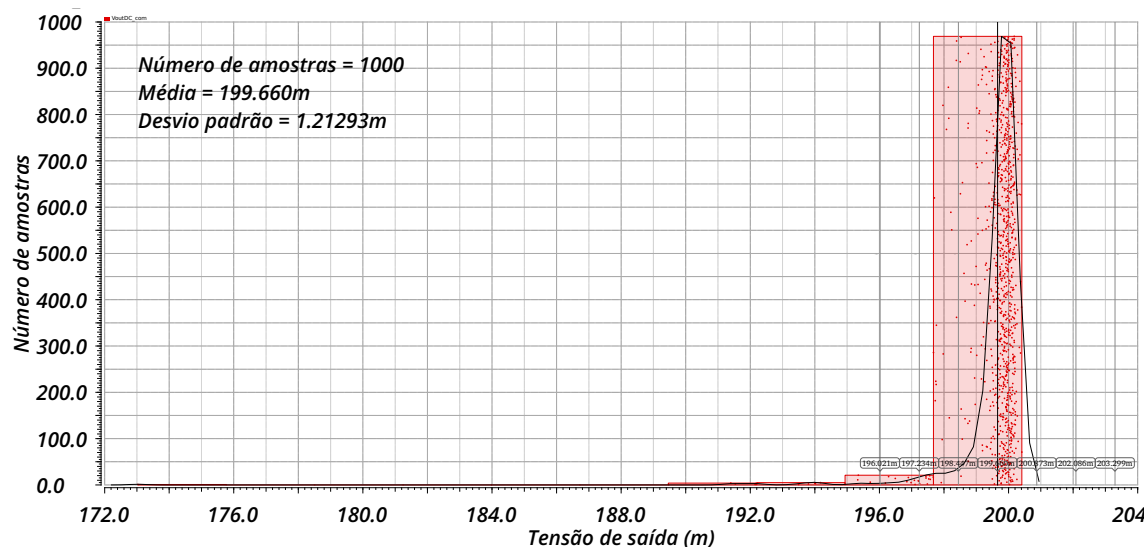


Fonte: Autoral.

A Fig. 34 mostra o histograma da variação para a tensão de saída  $V_{out}$  no circuito que utiliza a calibração automática de tensão proposta neste trabalho. Como pode ser ob-

servado, com a utilização da calibração automática, a tensão de saída tem pouca variação comparada a Fig. 33, onde era feita a mesma análise, porém sem a calibração automática.

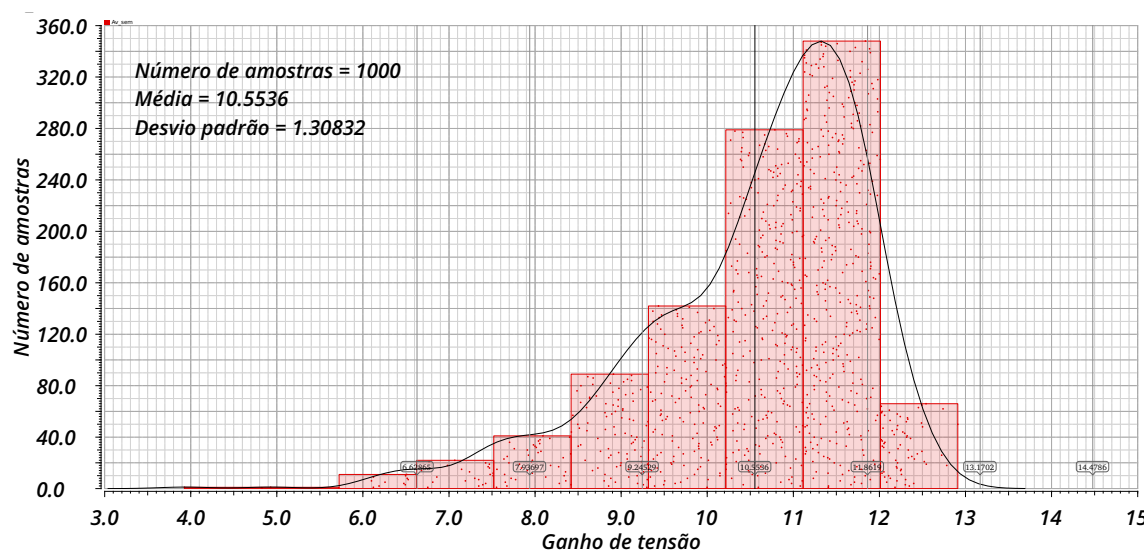
Figura 34 – Histograma de variação da tensão de saída  $V_{out}$ , com a calibração automática de tensão



Fonte: Autoral.

Para analisar o impacto da estabilização da tensão de saída no ganho de tensão, foi feita a mesma simulação de Monte Carlo. Assim, foi obtido o gráfico da Fig. 35 para o ganho de tensão para o circuito sem a calibração automática de tensão.

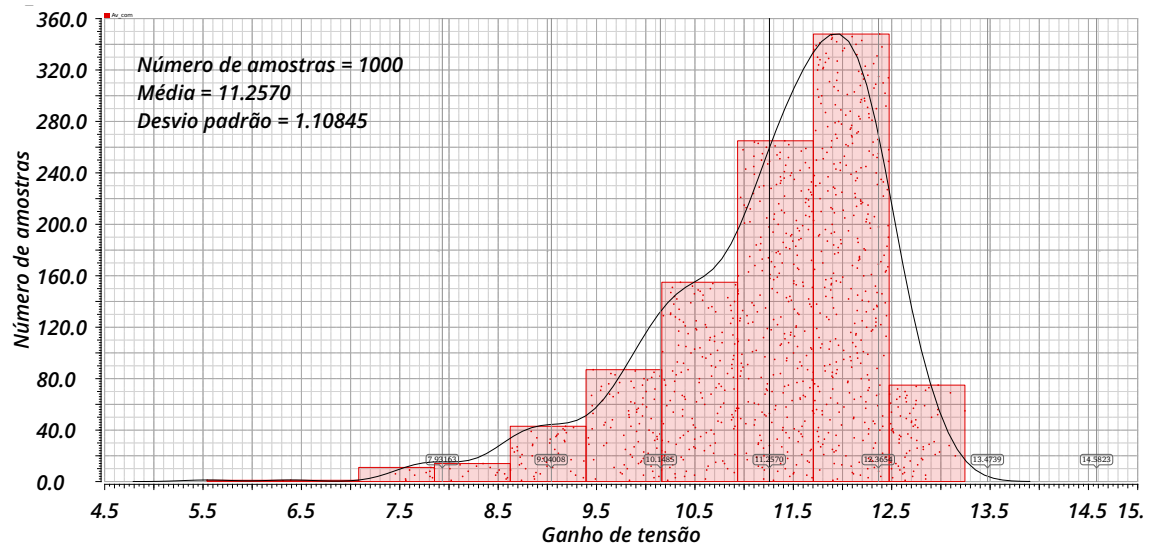
Figura 35 – Histograma de variação do ganho de tensão  $A_V$ , sem a calibração automática de tensão.



Fonte: Autoral.

Então foi realizada a simulação do ganho de tensão para o circuito com a calibração automática de tensão, chegando ao gráfico da Fig. 36. Nela percebe-se que o ganho apresenta variações semelhantes, mesmo após a estabilização da tensão de saída.

Figura 36 – Histograma de variação do ganho de tensão  $A_V$ , com a calibração automática de tensão.



Fonte: Autoral.

Para comparar o comportamento do circuito com e sem a calibração automática, a Tabela 5 apresenta os valores médios e o desvio padrão obtidos para as especificações de tensão CC de saída  $V_{out}$ , ganho de tensão  $A_V$  na frequência de 2,4 GHz e potência dissipada pelo circuito.

Tabela 5 – Comparação da média e desvio padrão para as características do circuito com e sem a calibração.

Especificações	Média		Desvio padrão	
	Sem calibração	Com calibração	Sem calibração	Com calibração
$V_{out}$ (mV)	198,554	199,660	36,833	1,213
Ganho (dB)	10,553	11,257	1,308	1,108
Potência ( $\mu$ W)	164,619	178,108	44,184	53,882

Podemos observar que as médias dos valores de tensão de saída obtidos não tiveram tanta discrepância, porém seu desvio padrão mostra que a variabilidade da saída diminuiu, cumprindo com o objetivo da calibração de tensão. Há um aumento nos valores médios de ganho e também uma pequena diminuição do desvio padrão para quando a calibração automática é inserida, ou seja, para a variabilidade de ganho, essa calibração de tensão não surtiu efeitos relevantes. Quanto à potência dissipada pelo circuito, seu

valor médio aumenta devido à inserção do circuito de polarização e o seu desvio padrão é levemente aumentado.

Como o circuito de polarização proposto atua sobre o nível de tensão na saída, o ganho CC do LNA é estabilizado conforme Eq. 23. Porém, na frequência de 2.4 GHz a variação do ganho de tensão está mais relacionada com a variação da corrente do LNA, que, como pode ser visto pelo desvio padrão da potência dissipada, apresenta pouca melhora com a utilização do método proposto. Porém, pode-se afirmar que o método proposto melhora a faixa de excursão de saída do LNA, uma vez que o nível CC de saída permanece aproximadamente igual a  $V_{DD}/2$ . Esta característica é de extrema importância para circuitos com ultra-baixa tensão de operação.

### 4.3 Síntese do capítulo

Neste capítulo foram apresentados detalhes sobre a topologia escolhida como base para o LNA proposto neste trabalho. Também foram abordadas algumas estratégias utilizadas para tornar a tensão de saída do LNA mais estável.

Foram mostrados também os resultados simulados do LNA, mostrando o circuito completo proposto inicialmente, suas especificações obtidas, seu casamento de impedância de entrada, seu *layout* e provado o funcionamento da calibração automática de tensão de saída. Foi possível comparar o LNA proposto com outros trabalhos, onde foi visto que o mesmo possui boas especificações, se destacando com a baixa figura de ruído obtida.

## 5 LNA - VERSÃO 2

Neste capítulo será retratada a continuidade do projeto versão 1 do LNA, propondo uma versão 2 do LNA com novas otimizações realizadas. Começando pela apresentação da calibração automática de corrente proposta, seguido do dimensionamento e da polarização dos transistores, utilizando uma métrica de polarização. E por último são apresentados os resultados simulados para o LNA com tais atualizações. As simulações elétricas retratadas neste capítulo foram realizadas no *software* da Cadence *Virtuoso Analog Design Environment* ®.

### 5.1 Projeto do LNA Proposto - Versão 2

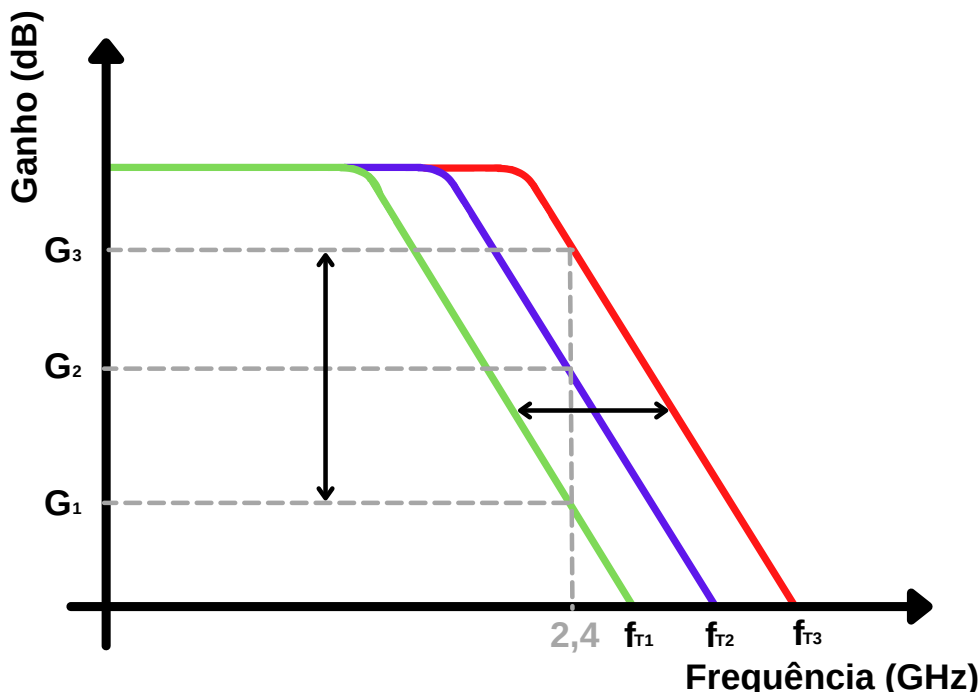
#### 5.1.1 Calibração automática de corrente

Como mencionado anteriormente, na frequência de operação deste LNA, em 2.4 GHz, a variação do ganho de tensão está relacionada com a variação da corrente do LNA. Para entender melhor isso, pode ser analisado a frequência de transição, que é a frequência onde o ganho é unitário ( $f_T$ ). Esse parâmetro é definido pela Eq. 28, que mostra que  $f_T$  depende da transcondutância de *gate* do transistor  $g_m$ , além das capacitâncias parasitas de *gate-source* ( $C_{gs}$ ) e *gate-bulk* ( $C_{gb}$ ). Sabe-se que  $g_m$  é proporcional a  $I_D$ , portanto entende-se que controlando a variação de  $I_D$ , é possível controlar a variação de  $f_T$ . Além disso, como a frequência de 2,4 GHz é superior à frequência de -3 dB do amplificador, o ganho de tensão em 2,4 GHz tende a ser mais estável com a estabilização de  $f_T$ .

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gb})} \quad (28)$$

Para tornar mais simples a visualização de que a variação de  $f_T$  faz com que o ganho também varie, a Fig. 37 mostra um gráfico da variação de  $f_T$  e conseqüentemente, a variação do ganho. Pode se perceber que para uma frequência de operação fixa, quando a frequência de ganho unitário é menor, o ganho também diminui e que quando a  $f_T$  é maior, o ganho aumenta. Portanto diminuir a variação da corrente  $I_D$ , que está diretamente relacionada a  $f_T$ , também resulta na diminuição da variação do ganho.

Figura 37 – Representação de como a variação de  $f_T$  afeta na variação do ganho de tensão.



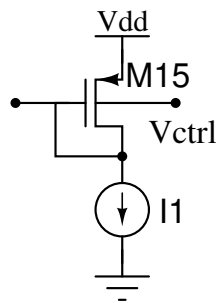
Fonte: Autoral.

Então com objetivo de diminuir essa variação de ganho, foi buscado um método que torne possível controlar a variabilidade de corrente do LNA. No trabalho de Severo (2019) foi observado um método de calibração automática de corrente feita no *bulk* de um transistor NMOS. Como o transistor *low-V<sub>T</sub>* utilizado inicialmente neste projeto não possui *bulk* isolado, foi realizada a troca do transistor NMOS para outro modelo da mesma tecnologia com *bulk* isolado.

Para fazer o circuito de controle de corrente, foi utilizado o circuito da Fig. 38, o mesmo é utilizado em conjunto com a réplica do LNA e o amplificador de erro vistos anteriormente, conforme pode ser visto na Fig. 39. Esse circuito tem a função de manter a corrente  $I_D$  que passa pelos transistores constante.

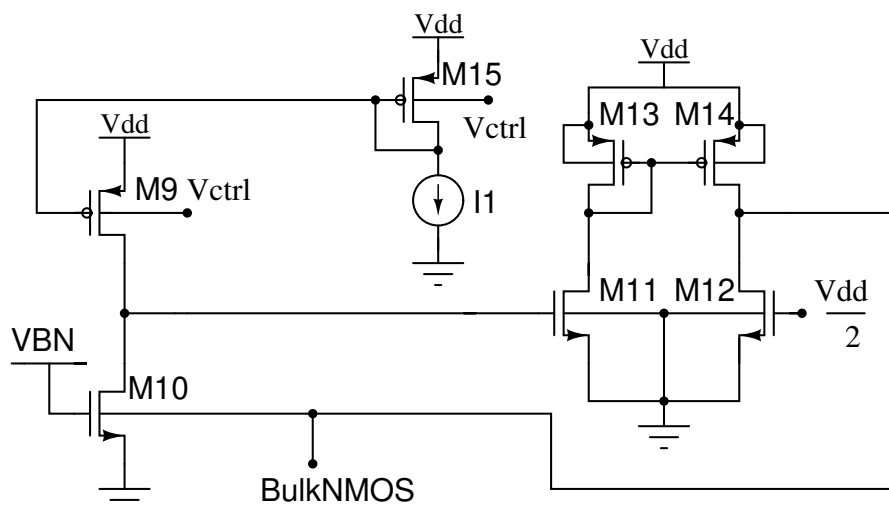
A fonte de corrente vista terá o valor da corrente  $I_D$  para apenas um múltiplo do transistor, esta fonte terá a função de manter a corrente sobre o transistor PMOS ( $M_{15}$ ) constante. A saída do amplificador de erro  $V_{ctrl}$  é conectada ao terminal *bulk* deste transistor PMOS, fazendo com que  $V_{DS} = V_{DD}/2$ . Assim, este transistor está sendo forçado a manter a tensão  $V_{DS}$  e a corrente  $I_D$  estipulados, para isso ele acaba ajustando uma tensão  $V_{GS}$  que atenda estes dois parâmetros. As dimensões do transistor PMOS  $M_{15}$  são as mesmas do transistor PMOS encontrado no circuito LNA.

Figura 38 – Circuito de controle de corrente.



Fonte: Autoral.

Figura 39 – Circuito de controle de corrente.



Fonte: Autoral.

### 5.1.2 Nova Polarização dos Transistores

Tendo em vista que o transistor NMOS teve que ser substituído para tornar possível a calibração de corrente, o dimensionamento dos transistores tiveram que ser atualizados. Buscando novas alternativas de melhorar o circuito, é analisada uma métrica de polarização que visa otimizar a performance do transistor. Como visto anteriormente, essa métrica de polarização (BM) é introduzida no trabalho de Parvizi, Allidina e El-Gamal (2014).

A Fig. 40 mostra o valor de BM em função de  $V_{GS}$  para um transistor NMOS com diferentes valores de comprimento (L). É possível ver que quanto menor o comprimento L do transistor, melhor é a BM. Para a tecnologia do transistor utilizado, o menor valor de comprimento L possível é 180 nm, este valor é representado pela curva em vermelho na Fig. 40.

O pico de BM na Fig. 40 é obtido em torno de  $V_{GS} \approx 0,5$  V, a desvantagem desta

polarização é ter  $V_{GS} > V_{DD}$ . Para isso, algumas estratégias podem ser adotadas no futuro para gerar este valor de 0,5 V sem precisar aumentar a alimentação do circuito, como é feito através de conversões DC/DC no trabalho de Yi et al. (2018).

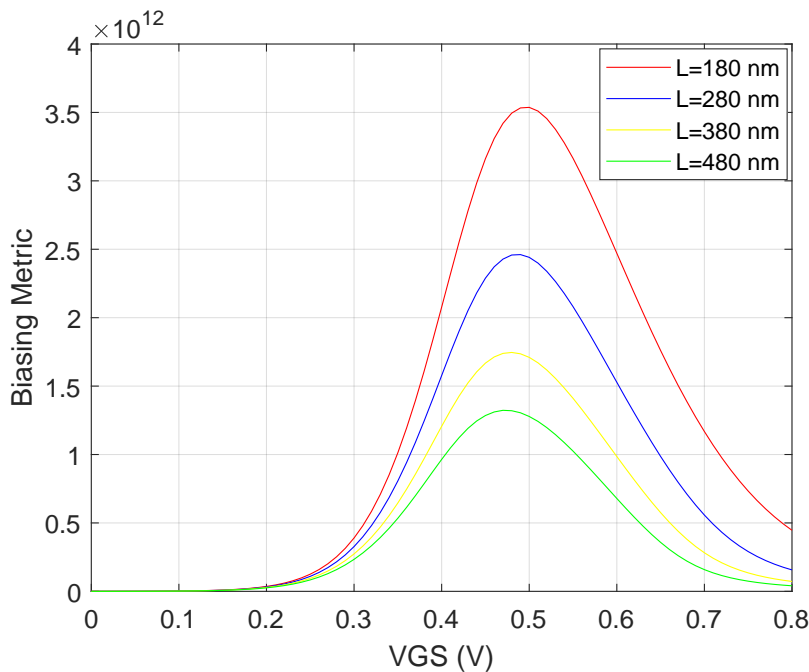


Figura 40 – *Biassing Metric* em um transistor NMOS.

Fonte: Autoral.

Ao realizar a mesma análise para o transistor PMOS, foi possível observar que este obteve o mesmo comportamento em relação ao aumento de BM à medida que o comprimento  $L$  diminui, como pode ser observado na Fig. 41, que mostra a variação do BM de acordo com o comprimento  $L$  do transistor PMOS. Para a tecnologia utilizada, o menor comprimento possível para o transistor PMOS é  $L = 250$  nm, que é representado pela curva vermelha. O pico de BM na Fig. 41 é obtido em torno de  $V_{GS} \approx 0,3$  V.

O redimensionamento do transistor NMOS foi realizado afim de manter o mesmo nível de corrente  $I_D$  dos transistores anteriores. Através de simulações no *software* da Cadence, foram feitos ajustes no dimensionamento partindo do ponto de que o melhor valor de  $L$  seja o mínimo, segundo a análise da BM. Assim, foi variado o  $W$  do transistor NMOS e seus múltiplos, tomando o cuidado para que o valor da corrente  $I_D$  atingido fosse o próximo ao anterior.

As dimensões de  $W$  e  $L$  do transistor PMOS não foram alteradas, o mesmo já se encontrava com o valor de  $L$  mínimo, somente foram ajustadas as tensões de polarização e o número de múltiplos do transistor. O número de múltiplos para esse transistor também



foi definido através de simulações buscando para que o valor da corrente atingido fosse próximo ao anterior.

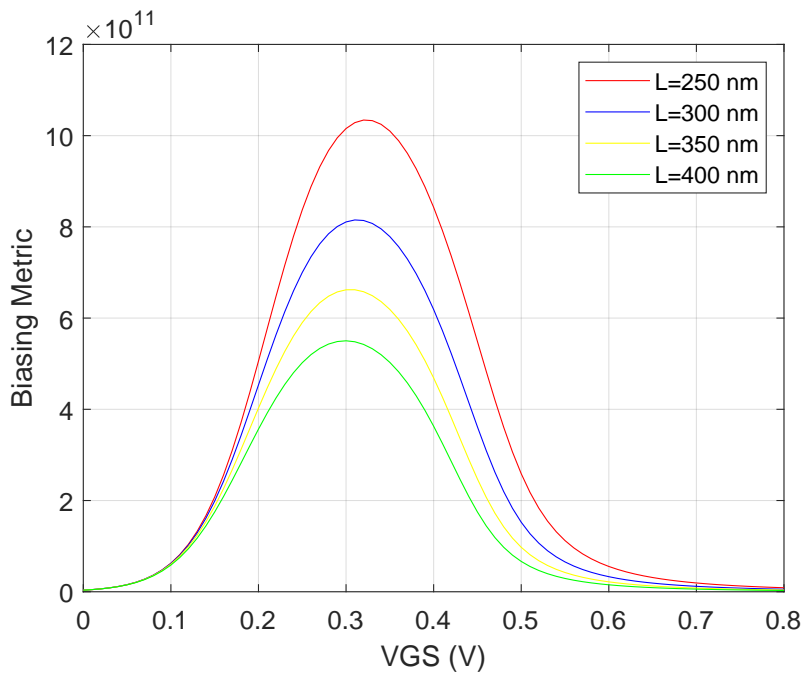


Figura 41 – *Biasing Metric* em um transistor PMOS.

Fonte: Autoral.

Os valores para a polarização dos transistores seguiram os resultados da análise realizada através da BM. Na Tabela 6 abaixo é possível observar as dimensões e as tensões de polarização adotadas para os transistores.

Tabela 6 – Especificações de dimensão e tensão de polarização dos transistores.

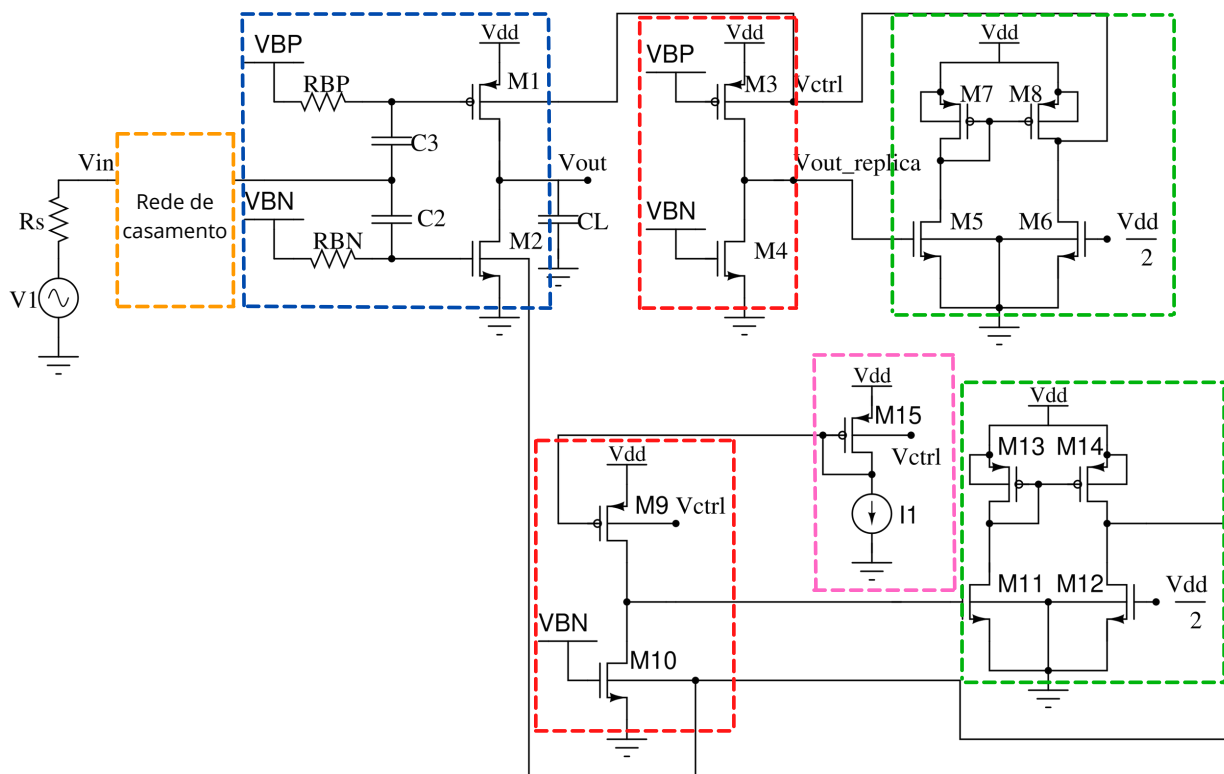
Parâmetro	NMOS	PMOS
L (nm)	180	250
W ( $\mu\text{m}$ )	1,25	4,2
Múltiplos	45	45
$V_{GS}$ (V)	0,5	0,3
$V_{BS}$ (V)	0,2	0,2

## 5.2 Resultados Simulados

### 5.2.1 Topologia do LNA Atualizada

A nova versão do circuito completo do LNA proposto pode ser visto na Fig. 42, onde em laranja é onde estará a rede de casamento de impedância de entrada, em azul o LNA principal, em vermelho uma réplica do circuito LNA, em verde um amplificador de erro e em rosa o circuito utilizado para controle de corrente. As tensões de polarização  $VBP$  e  $VBN$  serão as tensões obtidas pela métrica de polarização proposta, de 0,3 V e 0,5 V, respectivamente.

Figura 42 – Circuito completo do LNA proposto, versão 2.



Fonte: Autoral.

Ele vai funcionar de forma parecida com o anterior, apenas com a adição da calibração de corrente ( $I_D$ ). Para realizar essa calibração, o circuito designado (em rosa) mantém a corrente  $I_1$  sobre o transistor PMOS  $M_{15}$  constante.

Este transistor PMOS ( $M_{15}$ ) ajusta o valor da sua tensão  $V_{GS}$  para manter o valor estipulado de corrente. Através de uma conexão no *gate*, o transistor espelha esta tensão

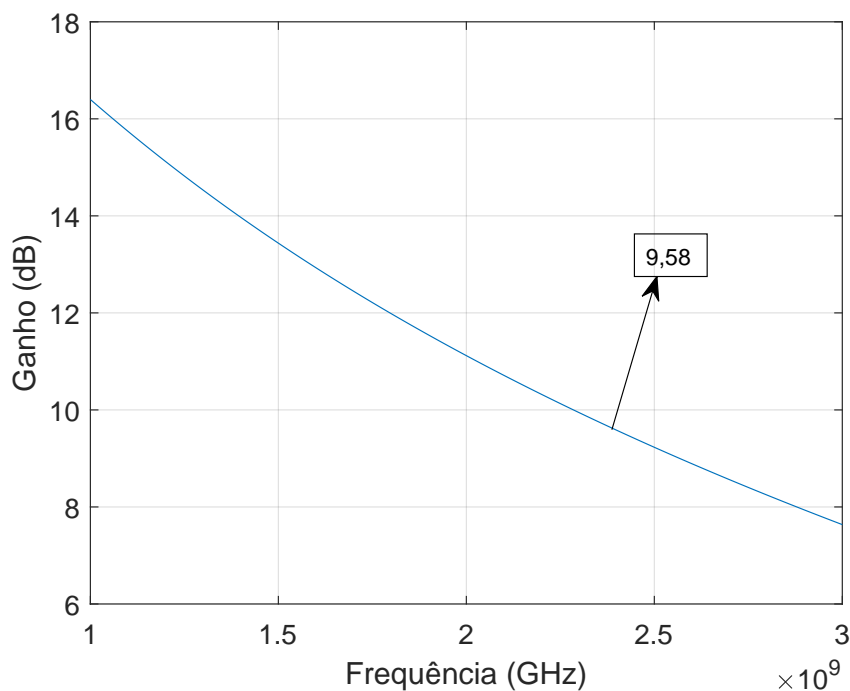
$V_{GS}$  para o transistor  $M_9$ , fazendo com que a corrente que passa por  $M_9$  e  $M_{10}$  também ser  $I_1$ .

O amplificador de erro ajusta o *bulk* de  $M_{10}$  para que a tensão  $V_{DS}$  de  $M_{10}$  seja igual a  $V_{DD}/2$ . O mesmo sinal de *bulk* é aplicado a  $M_2$ , no LNA principal. Como  $M_2$  já possui  $V_{DS} = V_{DD}/2$  (dado pela réplica superior), a tensão de *bulk* vai forçar a corrente do LNA ser igual a corrente de  $M_{10} \cdot M$  ou  $I_1 \cdot M$ , sendo  $M$  o valor de múltiplos do transistor  $M_2$ . Assim a corrente será calibrada para ter o mínimo de variações.

### 5.2.2 Especificações do LNA atualizadas

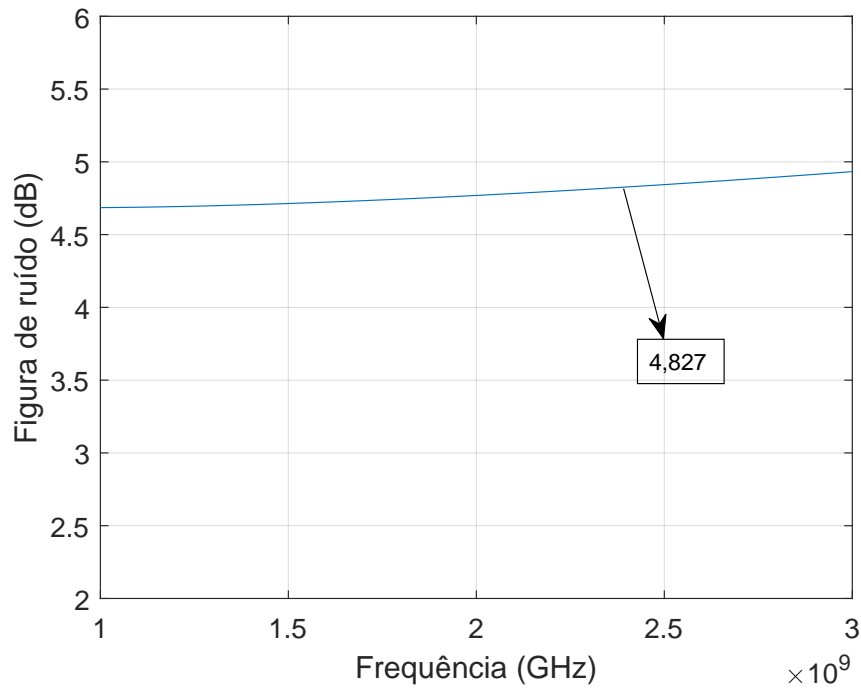
O comportamento do ganho do LNA pela frequência pode ser visto na Fig. 43, seu valor na frequência de operação do LNA, em 2,4 GHz é de 9,58 dB. Enquanto o comportamento da figura de ruído pela frequência pode ser visto na Fig. 44, o seu valor na frequência de operação do LNA, em 2,4 GHz é de 4,827 dB.

Figura 43 – Ganho de tensão ( $A_V$ ) do LNA proposto em 2,4 GHz.



Fonte: Autoral.

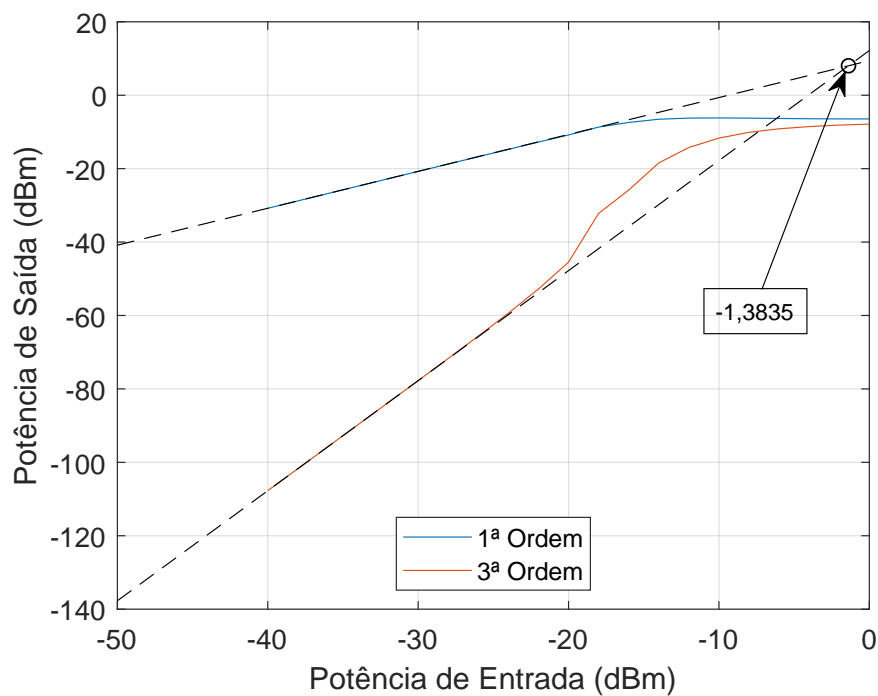
Figura 44 – Figura de ruído (NF) do LNA proposto em 2,4 GHz.



Fonte: Autoral.

O valor da dissipação de potência do LNA atinge  $143,68 \mu\text{W}$ . O ponto de interceptação de terceira ordem de entrada ( $IIP_3$ ) é  $-1,3835 \text{ dBm}$ .

Figura 45 – Ponto de interceptação de terceira ordem de entrada ( $IIP_3$ ).



Fonte: Autoral.

Na Tabela 7, podem ser visualizadas as especificações dos trabalhos revisados anteriormente e adicionalmente as especificações atualizadas deste trabalho. Ao comparar as especificações atingidas com a versão 1 deste trabalho, é possível perceber que as especificações de ganho e figura de ruído obtidas anteriormente eram melhores, mas que as especificações de potência dissipada e  $IIP_3$  tiveram melhor performance na versão 2 do circuito proposto. Em comparação com os trabalhos da revisão bibliográfica, é visto que o LNA proposto ainda possui especificações competitivas dada a tecnologia utilizada.

Tabela 7 – Especificações Atualizadas de LNAs de Baixa Tensão

Especificações	[1]	[2]	[3]	[4]	[5]	[6]	[7]	Versão 1	Versão 2
Alimentação (V)	0,4	0,4	0,4	0,8	0,18	0,6	0,75	<b>0,4</b>	<b>0,4</b>
Potência ( $\mu$ W)	60	410	160	30	30	600	980	<b>170</b>	<b>144</b>
Figura de ruído (dB)	5,3	4,5 a 5,3	4,5	3,3	5,2	4	3,45	<b>2,8</b>	<b>4,83</b>
Ganho (dB)	13,1	15	13	14,2	14	4 a 10	14	<b>10,6</b>	<b>9,58</b>
Frequência (GHz)	2,4	3,2 a 10	0,6 a 3,1	2,4	2,4	2,8	2,4	<b>2,4</b>	<b>2,4</b>
IIP3 (dBm)	-12,2	-2 a -7	-10	-13,2	-8,6	0	-8	<b>-8,1</b>	<b>-1,4</b>
Área LNA ( $\text{mm}^2$ )	0,63	-	0,39	-	-	0,9	0,37	<b>0,19</b>	-
Technologie (nm)	130	90	130	40	40	180	180	<b>180</b>	<b>180</b>
Med./Sim.	Sim.	Med.	Med.	Sim.	Sim.	Med.	Sim.	<b>Sim.</b>	<b>Sim.</b>

[1] (TARIS; BEGUERET; DEVAL, 2011), [2] (PARVIZI et al., 2013),

[3] (PARVIZI; ALLIDINA; EL-GAMAL, 2016),

[4] (KARGARAN; MANSTRETTA; CASTELLO, 2017),

[5] (KARGARAN; MANSTRETTA; CASTELLO, 2018), [6] (HSIEH; LIN, 2020),

[7] (RASTEGARI; DOUSTI; GHALAMKARI, 2021), [Versão 1] Primeira versão deste trabalho, [Versão 2] Versão atualizada deste trabalho.

A Tabela 8, mostra um comparativo das figuras de mérito dos trabalhos vistos anteriormente. Afim de tornar essa medida mais justa, foi feito comparativo utilizando três figuras de mérito, a  $FoM_1$ , vista anteriormente na Eq. 16, a  $FoM$  proposta neste trabalho, com a Eq. 21 vista anteriormente e a  $FoM_5$ , vista anteriormente na Eq. 20.

Tabela 8 – Comparativo das Figuras de Mérito.

Especificações	[1]	[2]	[3]	[4]	[5]	[6]	[7]	Versão 1	Versão 2
$FoM_1$ (GHz)	4,6	3,7 a 47,6	0,9 a 4,8	17,3	23,9	4,9 a 9,8	1,6	<b>8,2</b>	<b>17,82</b>
$FoM_{proposta}$ (GHz)	13,7	11,0 a 45,7	2,8 a 14,3	23,7	146,3	14,7 a 29,3	3,9	<b>36,8</b>	<b>80,21</b>
$FoM_5$ (1/ $\text{mm}^2$ )	9,0	-	11,8	-	-	11,6	4,3	<b>78,6</b>	-

[1] (TARIS; BEGUERET; DEVAL, 2011), [2] (PARVIZI et al., 2013),

[3] (PARVIZI; ALLIDINA; EL-GAMAL, 2016),

[4] (KARGARAN; MANSTRETTA; CASTELLO, 2017),

[5] (KARGARAN; MANSTRETTA; CASTELLO, 2018), [6] (HSIEH; LIN, 2020),

[7] (RASTEGARI; DOUSTI; GHALAMKARI, 2021), [Versão 1] Primeira versão deste trabalho, [Versão 2] Versão atualizada deste trabalho.

Ao comparar os resultados das figuras de mérito deste trabalho com os trabalhos revisados anteriormente na tabela acima, percebe-se que este trabalho está com valores altos de figura de mérito, estando somente atrás do trabalho de Kargaran, Manstretta e

Castello (2018). A  $FoM_5$  não foi possível ser calculada para a versão 2 do trabalho, pois como ainda não foi realizado o *layout* do circuito, sendo assim ainda não se sabe a área do circuito. Ao comparar as figuras de mérito das duas versões deste LNA, é possível observar que as mudanças efetuadas elevaram significativamente as figuras de mérito.

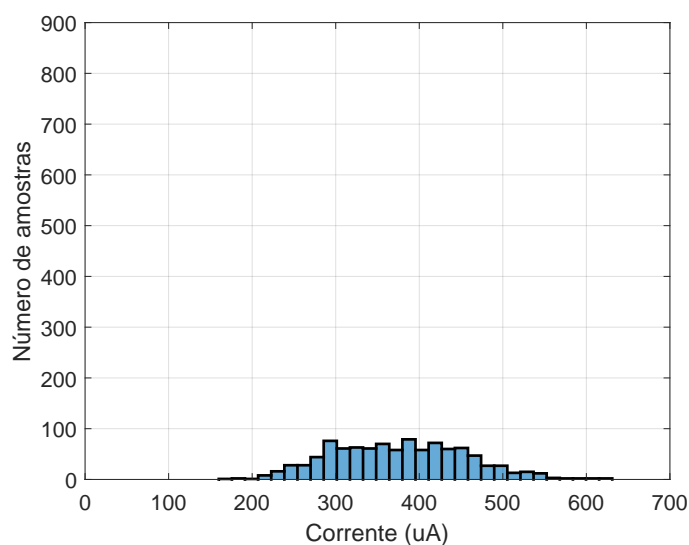
### 5.2.3 Análise da Calibração Automática de Corrente

Em busca de estabilizar a corrente ( $I_d$ ) do LNA, foi conectado um circuito de calibração de corrente, formado por uma réplica do LNA e um amplificador de erro. Assim é possível que a calibração de corrente seja feita automaticamente e mantenha a corrente e consequentemente o ganho mais estável às variações de processo, tensão e temperatura.

Para realizar as simulações da calibração de corrente, foi utilizado o método de Monte Carlo para simular as variações de processo sofridas pelo circuito. Para cada caso foram realizadas simulações de Monte Carlo com 1000 amostras.

A Fig. 46 mostra o gráfico do histograma de frequências para a corrente  $I_D$  sem a calibração de corrente. Pode ser notado que a corrente varia bastante, na faixa aproximadamente 150 e 370  $\mu A$ . Portanto, sem a calibração automática, o circuito se encontra mais suscetível a variações de corrente e consequentemente, a variações de ganho.

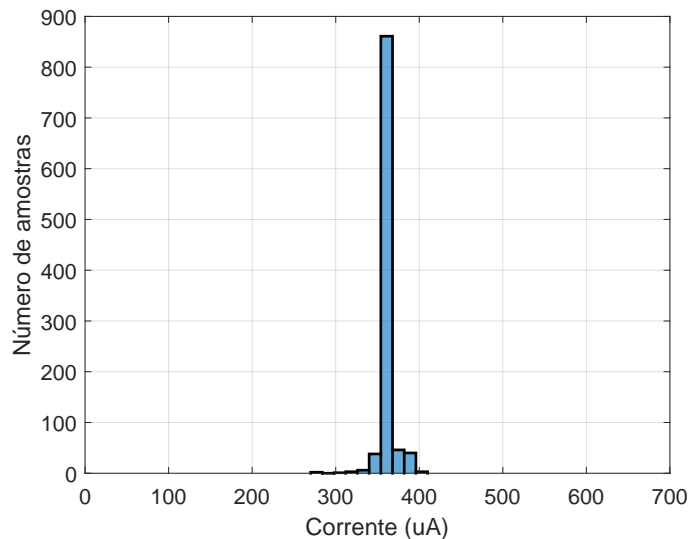
Figura 46 – Histograma de variação da corrente  $I_D$ , sem a calibração automática de corrente.



Fonte: Autoral.

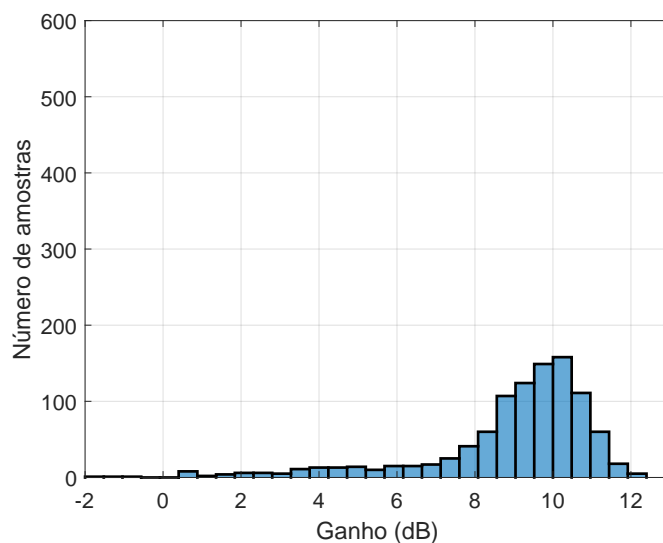
A Fig. 47 mostra o histograma de frequência para a corrente  $I_D$  no LNA utilizando a calibração automática de corrente proposta. Como pode ser observado, com a utilização da calibração automática, a corrente praticamente não tem variação comparada a Fig. 46, onde era feita a mesma análise, porém sem a calibração automática.

Figura 47 – Histograma de variação da corrente  $I_D$ , com a calibração automática de corrente.



Fonte: Autoral.

Figura 48 – Histograma de variação do ganho de tensão  $A_V$ , sem a calibração automática de corrente.



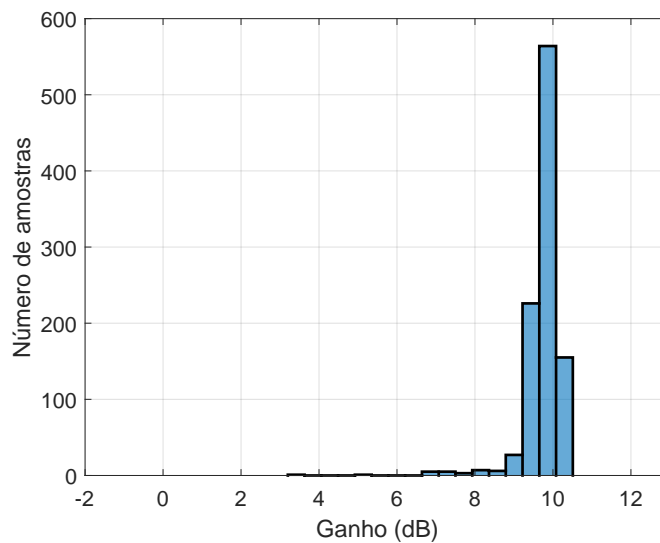
Fonte: Autoral.

Para analisar o impacto da estabilização da corrente no ganho de tensão, foi feita a mesma simulação de Monte Carlo. Assim, foi obtido o gráfico da Fig. 48 para o ganho de

tensão para o circuito sem a calibração automática de corrente, onde é possível observar que o ganho tem uma grande faixa de variação.

Então foi realizada a simulação do ganho de tensão para o circuito com a calibração automática de corrente, chegando ao gráfico da Fig. 49. Neste gráfico percebe-se que o ganho apresenta uma maior estabilidade, com a fixa de variação centralizada em torno de aproximadamente 9,8 dB.

Figura 49 – Histograma de variação do ganho de tensão  $A_V$ , com a calibração automática de corrente.

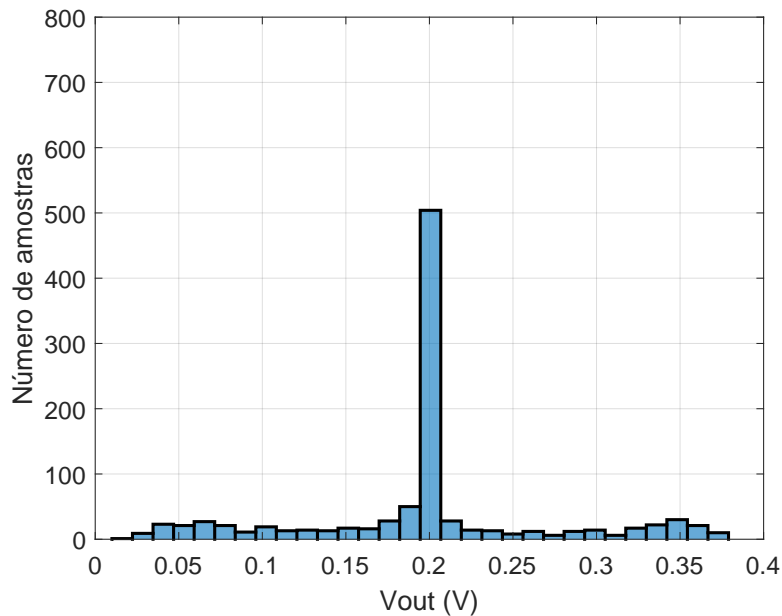


Fonte: Autoral.

Para conferir se a calibração de corrente não interferiu na calibração de tensão, também foram realizadas simulações de Monte Carlo para a tensão saída  $V_{out}$ . A Fig. 50, mostra a tensão de saída do LNA apenas com a calibração de tensão, sem a calibração de corrente.

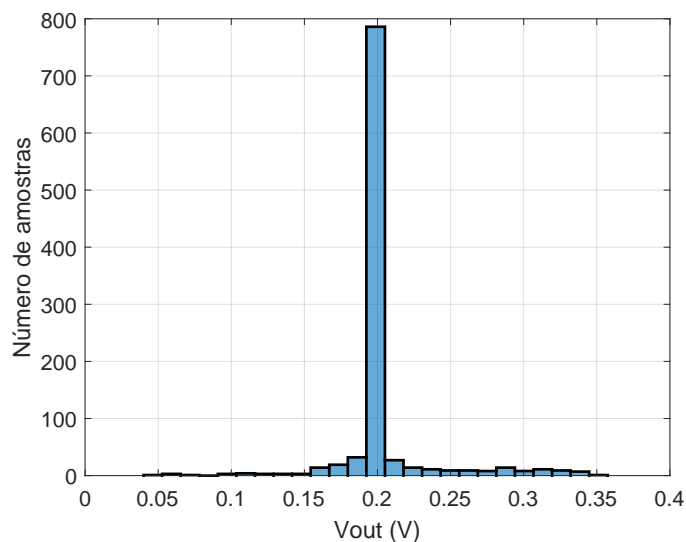


Figura 50 – Histograma de variação da tensão de saída  $V_{out}$ , sem a calibração automática de corrente.



Fonte: Autoral.

Figura 51 – Histograma de variação da tensão de saída  $V_{out}$ , com a calibração automática de corrente.



Fonte: Autoral.

A Fig. 51, apresenta a tensão de saída do LNA com a calibração de tensão e também com a calibração de corrente. Visualmente percebe-se que a tensão de saída continua com pouca variação, mas que ao adicionar a calibração de corrente, foi diminuído a variação de valores mais distantes do alvo, que se reuniram em torno do valor desejado, de 0,2 V.

Para observar a comparação numérica dos resultados do comportamento do circuito com e sem a calibração automática, a Tabela 9 apresenta os valores médios e o desvio padrão obtidos para as especificações de corrente  $I_D$ , potência dissipada pelo circuito, ganho de tensão  $A_V$  na frequência de 2.4 GHz e tensão CC de saída  $V_{out}$ .

Tabela 9 – Comparação da média e desvio padrão para as características do circuito com e sem a calibração de corrente.

Especificações	Média		Desvio padrão	
	Sem calibração	Com calibração	Sem calibração	Com calibração
$I_D$ ( $\mu A$ )	375,71	360,4	79,22	8,845
Potência ( $\mu W$ )	150,284	144,16	31,688	3,538
Ganho (dB)	8,927	9,749	2,192	0,492
$V_{out}$ (mV)	197,4	204,5	73,0	31,17

Nesta tabela, podemos observar que a média da corrente e da potência dissipada diminuíram, também que a média do ganho foi maior e a média da tensão de saída aumentou um pouco. O desvio padrão indica a variabilidade das amostras, ele foi diminuído significativamente em todos os casos. Portanto, com isso pode ser provada a eficácia dos métodos utilizados para buscar a diminuição a variação dos parâmetros do circuito.

O método proposto para estabilizar o nível de corrente possui grande grau de inovação em relação aos trabalhos da literatura. A principal diferença é que o método proposto não adiciona nenhum transistor em série com o LNA principal, sendo todo o controle de corrente realizado de forma indireta. Tal característica mantém o circuito com capacidade de operar com tensões de alimentação baixas, uma vez que apresenta apenas dois transistores empilhados em toda a sua construção.

### 5.3 Síntese do capítulo

Neste capítulo foram apresentados detalhes de projeto, a medida de figura de mérito proposta, as alterações realizadas no circuito e os resultados simulados do LNA após as alterações propostas. Foram apresentados os métodos empregados que visam otimizar a performance dos transistores e também métodos para otimizar a estabilidade à variações do circuito. A versão 2 do circuito completo proposto foi mostrado, assim como suas especificações obtidas. Foi provado o funcionamento da calibração automática de corrente, que se mostrou uma boa ferramenta para estabilização dos parâmetros do circuito.

## 6 CONSIDERAÇÕES FINAIS

Este trabalho abordou o projeto de um amplificador de baixo ruído integrado, em tecnologia CMOS de 180 nm com calibração automática de tensão e de corrente através de amplificadores de erro e circuitos de réplica. Foram apresentadas duas versões do projeto, a primeira utilizava somente a calibração automática de tensão e a segunda versão com adição da calibração automática de corrente.

Ambos os circuitos foram alimentado por apenas 0,4 V e operam na frequência de 2,4 GHz, com o objetivo de obter um LNA de baixo consumo de potência e que tenha baixa sensibilidade a variações de processo. Os resultados mostram que as duas versões de LNA apresentadas se enquadram na proposta *low-power*, tendo seus valores de potência dissipada em 170 e 144  $\mu\text{W}$ , para a versão 1 e 2 respectivamente. Ambos os LNAs obtiveram resultados satisfatórios em suas especificações.

A primeira versão obteve um ótimo resultado quanto sua figura de ruído, se destacando perante aos trabalhos revisados. Nesta primeira versão a calibração automática de tensão é analisada e tem resultado satisfatório, conseguindo diminuir a variação no nível DC da tensão de saída do LNA. Essa versão já se encontra em fabricação, possuindo uma área de 0,1951 mm<sup>2</sup>.

A segunda versão do LNA obteve um alto  $IIP_3$ , uma baixa figura de ruído e um bom valor de ganho de tensão estável. A calibração automática de corrente proposta nesta versão cumpre o desejado, contornando os problemas de variação de processo, diminuindo muito a variabilidade de corrente do circuito e conseqüentemente, mantendo o ganho de tensão mais estável. Além disso, a implementação da mesma diminui ainda mais a variação no nível DC da tensão de saída do LNA. Com isso os principais objetivos do trabalho são atingidos, dado que obteve-se um LNA de baixa dissipação de potência, operando em baixa tensão e apresentando baixa sensibilidade à variações de processo.

Durante o desenvolvimento deste projeto foram publicados os seguintes trabalhos em eventos científicos:

- Ceolin, Giovana, e Lucas Compassi Severo. "PROJETO DE UM AMPLIFICADOR DE BAIXO RUÍDO INTEGRADO DE ULTRABAIXA POTÊNCIA PARA APLICAÇÕES DE IOT". Anais do Salão Internacional de Ensino, Pesquisa e Extensão 12 (2020).
- Ceolin, Giovana, e Lucas Compassi Severo. "A 0.4-V 100- $\mu\text{W}$  Fully-Integrated LNA for 1.8-GHz RF Receivers". 26° IBERCHIP Workshop (2020).

- Ceolin, Giovana, e Lucas Compassi Severo. "A 0.4-V 170- $\mu$ W Fully-Integrated LNA for 2.4-GHz RF Receivers". 21º Fórum de Estudantes de Microeletrônica SFORUM (2021).
- Ceolin, Giovana, e Lucas Compassi Severo. "Circuito de Polarização Automática Baseado em Réplica para LNA de Baixa Tensão". 7º Jornada Paranaense de Microeletrônica SeMicro (2021).

Onde no evento Fórum de Estudantes de Microeletrônica (SFORUM) 2021, este trabalho foi premiado como o melhor trabalho do evento. Com isso, uma versão estendida do artigo foi submetida ao Journal of Integrated Circuits and Systems (JICS) que possui avaliação Qualis-CAPES B1.

## REFERÊNCIAS

COLOMBO, D. M.; WIRTH, G. I.; FAYOMI, C. Design methodology using inversion coefficient for low-voltage low-power cmos voltage reference. In: **Proceedings of the 23rd symposium on integrated circuits and system design**. [S.l.: s.n.], 2010. p. 43–48.

COMPASSI-SEVERO, L.; NOIJE, W. V. A 0.4-v 10.9- $\mu$  w/pole third-order complex bpf for low energy rf receivers. **IEEE Transactions on Circuits and Systems I: Regular Papers**, IEEE, v. 66, n. 6, p. 2017–2026, 2019.

HSIEH, J.-Y.; LIN, K.-Y. A 0.6-v low-power variable-gain lna in 0.18-  $\mu$  m cmos technology. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 67, n. 1, p. 23–26, 2020.

KARGARAN, E.; MANSTRETTA, D.; CASTELLO, R. A 30 $\mu$ w, 3.3 db nf cmos lna for wearable wsn applications. In: IEEE. **2017 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.], 2017. p. 1–4.

KARGARAN, E.; MANSTRETTA, D.; CASTELLO, R. Design and analysis of 2.4 ghz 30  $\mu$ W cmos lnas for wearable wsn applications. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 65, n. 3, p. 891–903, 2018.

KELSEY, W. **Online Smith Chart Toll**. Disponível em: <[https://www.will-kelsey.com/smith\\_chart/](https://www.will-kelsey.com/smith_chart/)>. Acesso em 28 de set. de 2021.

LIU, Y.-H. et al. Design and analysis of a dco-based phase-tracking rf receiver for iot applications. **IEEE Journal of Solid-State Circuits**, IEEE, v. 54, n. 3, p. 785–795, 2019.

PARVIZI, M.; ALLIDINA, K.; EL-GAMAL, M. N. A sub-mw, ultra-low-voltage, wideband low-noise amplifier design technique. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, IEEE, v. 23, n. 6, p. 1111–1122, 2014.

PARVIZI, M.; ALLIDINA, K.; EL-GAMAL, M. N. Short channel output conductance enhancement through forward body biasing to realize a 0.5 v 250  $\mu$ W 0.6–4.2 ghz current-reuse cmos lna. **IEEE Journal of Solid-State Circuits**, v. 51, n. 3, p. 574–586, 2016.

PARVIZI, M. et al. A 0.4v ultra low-power uwb cmos lna employing noise cancellation. In: **2013 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.: s.n.], 2013. p. 2369–2372.

RASTEGARI, F.; DOUSTI, M.; GHALAMKARI, B. A 0.75 v sub-mw cmos lna employing transmitted signal suppression technique in a full-duplex wireless brain-machine interface transceiver. **AEU-International Journal of Electronics and Communications**, Elsevier, v. 132, p. 153632, 2021.

RAZAVI, B.; BEHZAD, R. **RF microelectronics**. [S.l.]: Prentice hall New York, 2012. v. 2.

ROGERS, J. W.; PLETT, C. **Radio frequency integrated circuit design**. [S.l.]: Artech House, 2010.

SEVERO, L. C. Ulv and ulp active-rc filters combining single-stage ota and negative input transconductance for low energy rf receivers. **PhD., USP**, 2019.

SEVERO, L. C.; NOIJE, W. A. M. V. **Ultra-low Voltage Low Power Active-RC Filters and Amplifiers for Low Energy RF Receivers**. [S.l.]: Springer Nature, 2021.

SILVA-PEREIRA, M. et al. A 1.7-mw- 92-dbm sensitivity low-if receiver in 0.13-  $\mu$  m cmos for bluetooth le applications. **IEEE Transactions on Microwave Theory and Techniques**, IEEE, v. 67, n. 1, p. 332–346, 2018.

TARIS, T.; BEGUERET, J.; DEVAL, Y. A 60 $\mu$ w lna for 2.4 ghz wireless sensors network applications. In: **2011 IEEE Radio Frequency Integrated Circuits Symposium**. [S.l.: s.n.], 2011. p. 1–4.

YI, H. et al. A 0.18-v 382- $\mu$  w bluetooth low-energy receiver front-end with 1.33-nw sleep power for energy-harvesting applications in 28-nm cmos. **IEEE Journal of Solid-State Circuits**, IEEE, v. 53, n. 6, p. 1618–1627, 2018.

ZOO, C. **Cadence Spectre IP3 simulation of a LNA**. 2021. Disponível em: <[http://www.circuitszoo.altervista.org/cadence\\_IP3.html](http://www.circuitszoo.altervista.org/cadence_IP3.html)>. Acesso em 25 de mar. de 2022.

## **Appendices**

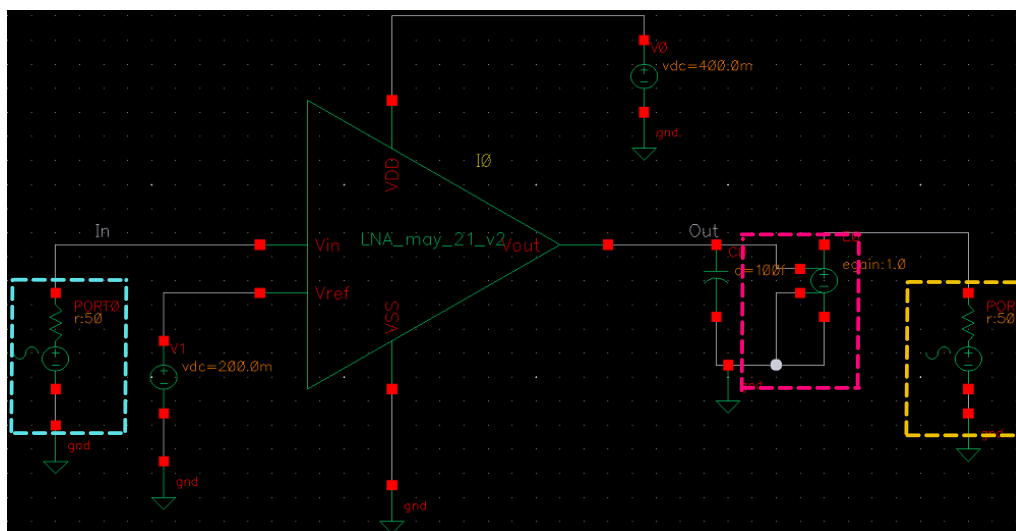
## APÊNDICE A - Simulação do Ponto de Intercepção de Terceira Ordem

Este anexo demonstra o passo a passo utilizado para a realização das simulações de não-linearidades do LNA proposto. Com este passo a passo é possível obter as especificações de ponto de compressão de 1dB ( $P_{1dB}$ ) e Ponto de Intersecção de Terceira Ordem ( $IP_3$ ), através do *software* da Cadence *Virtuoso Analog Design Environment*®. Este passo a passo foi baseado no tutorial presente em (ZOO, 2021).

Deve-se inicialmente adicionar portas RF (componente PORT) na entrada e na saída do circuito. Como pode ser visto na Fig. 52, na entrada do circuito foi inserido a PORT0, em azul, e na saída foi adicionada a PORT1, em amarelo.

Em função do LNA projetado apresentar elevada impedância de saída é necessário adicionar um buffer para converter o sinal de tensão em um sinal de potência, capaz de acionar uma carga de  $50\ \Omega$  sem afetar o ganho do LNA. Por questão de simplicidade e para evitar efeitos adicionais de não-linearidade (RAZAVI; BEHZAD, 2012), o buffer utilizado nas simulações foi implementado como uma fonte de tensão controlada por tensão com ganho unitário, destacada na Fig. 52 pela cor rosa.

Figura 52 – Testbench utilizado para simulação da não-linearidade do LNA.



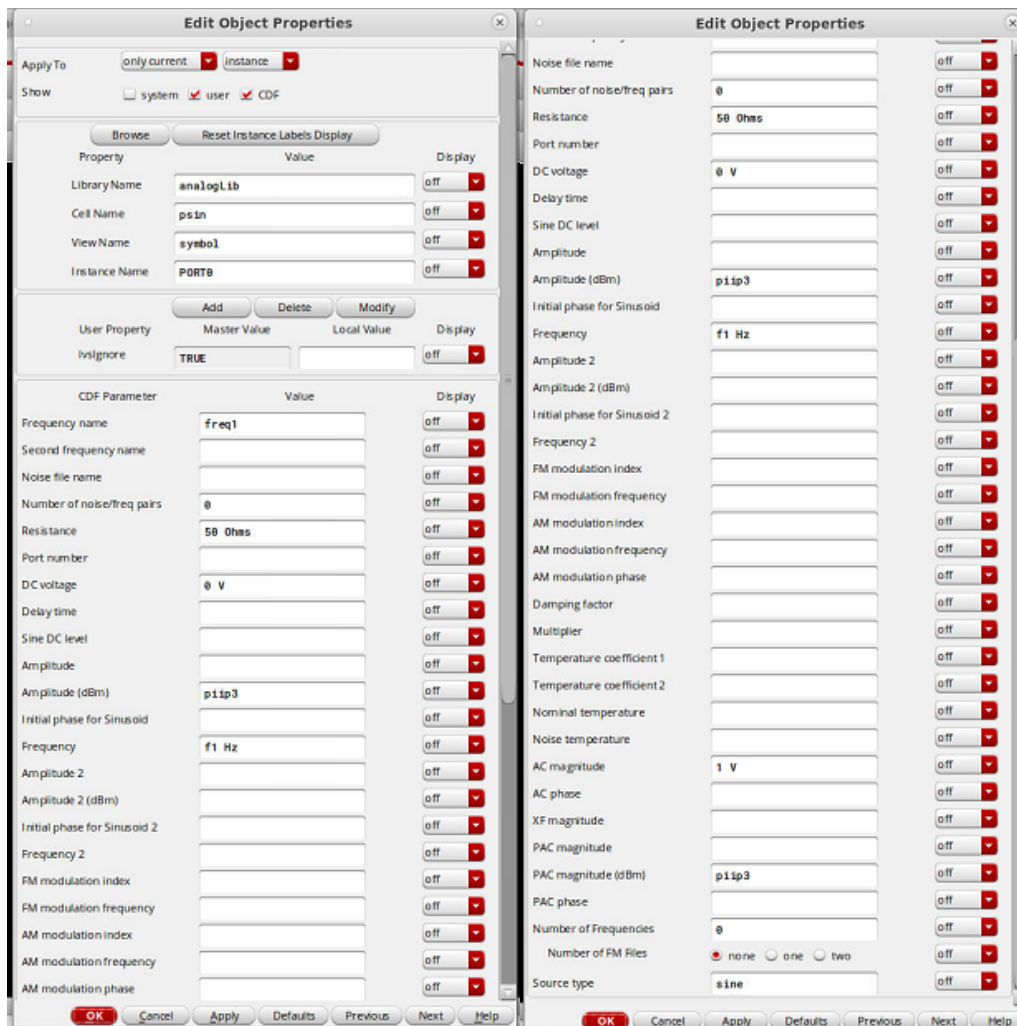
Fonte: Autoral.

A PORT0 deve ser configurada de forma a permitir a geração de sinais AC com amplitude e frequência definidas pela análise de simulação. Para isso, foi utilizada a configuração mostrada na Fig. 53. A porta foi definida com impedância de  $50\ \Omega$ , frequência



*freq1*, nível DC igual a 0 V e amplitude em dBm definida pela variável *piip3*.

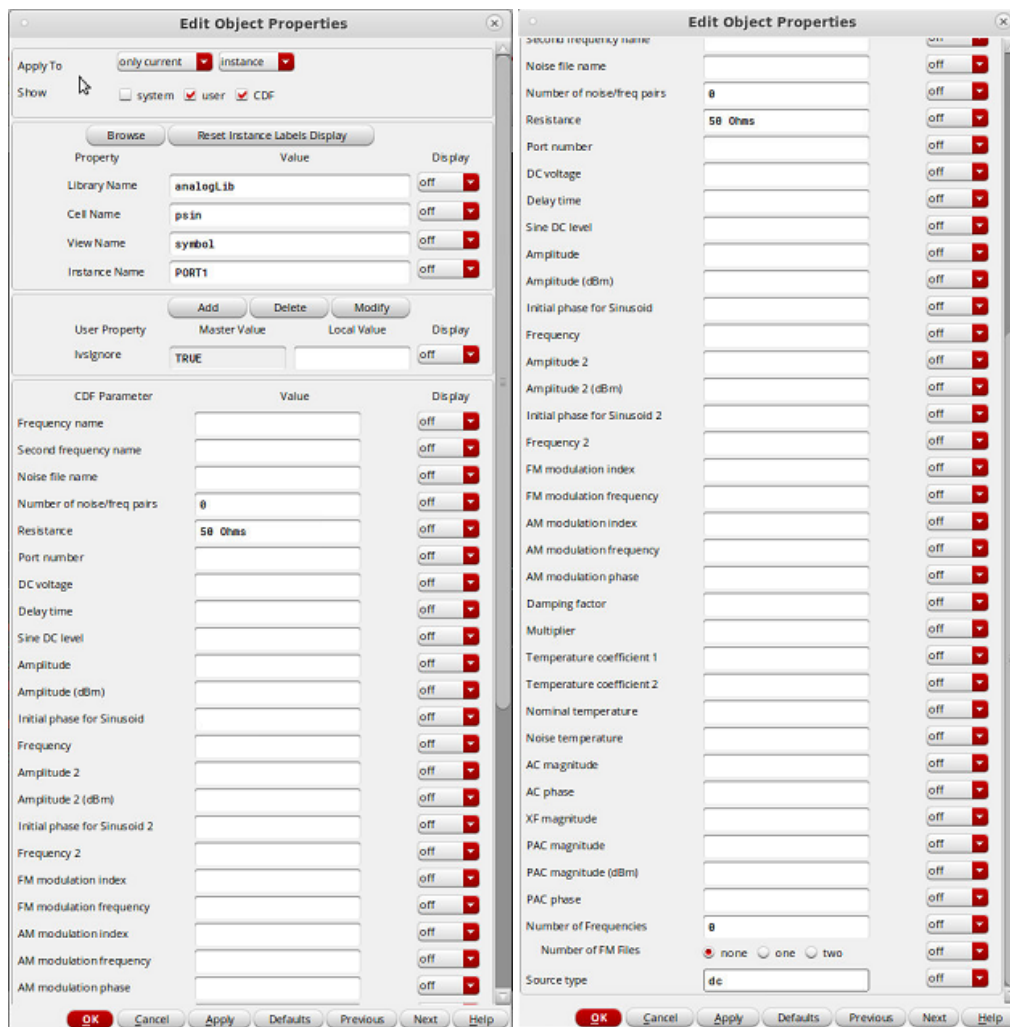
Figura 53 – Configuração PORT de entrada.



Fonte: Autoral.

Já a PORT1 deve ser configurada apenas com impedância de 50  $\Omega$ , conforme ilustra a Fig. 54, pois será utilizada apenas para medir o nível de potência do sinal de saída.

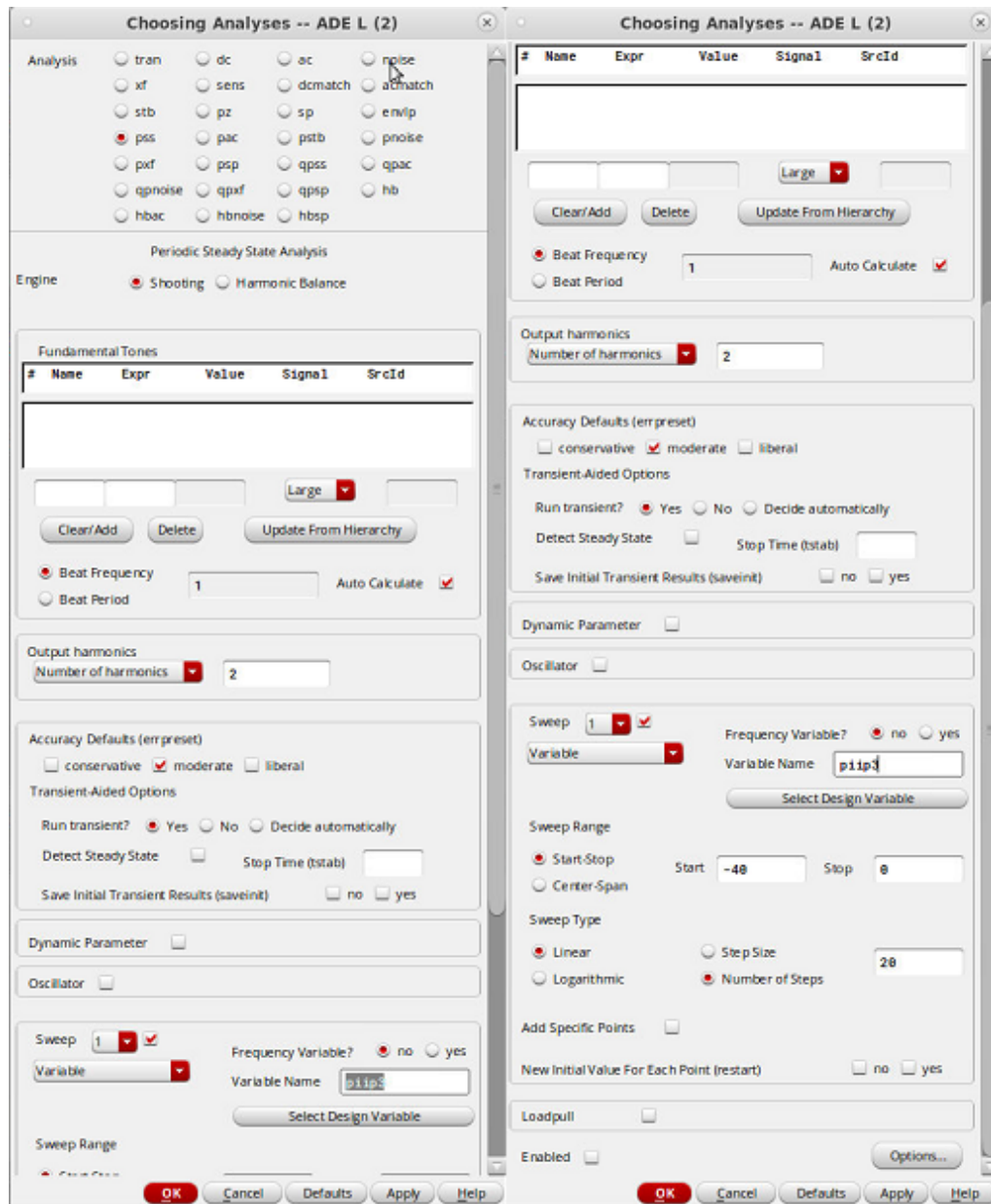
Figura 54 – Configuração PORT de saída.



Fonte: Autoral.

Após a configuração das portas, devem ser configuradas as simulações. Para isso, deve ser aberto o ADE L e no topo da página deve ser acessado "Variables » Copy from cellview", assim o simulador verifica as variáveis determinadas na configuração das PORTs. Após isso, deve se adicionar a análise PSS e configurá-la conforme a Fig. 55.

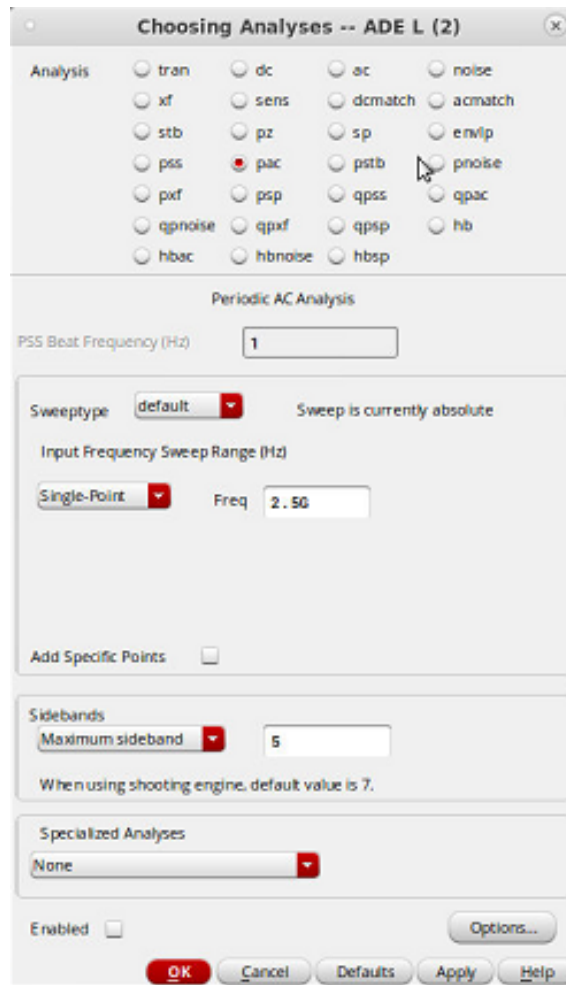
Figura 55 – Simulação PSS.



Fonte: Autoral.

Deve ser adicionada também a análise PAC, a mesma deve ser configurada conforme a Fig. 56. Nela é escolhido o valor de frequência para gerar as intermodulações na frequência desejada. Para este caso foi escolhido o segundo tom fora de banda em 2,5 GHz.

Figura 56 – Simulação PAC.



Fonte: Autoral.

Após essas configurações das simulações, deve ser rodada a simulação. Na janela do ADE L, é necessário clicar em "*Results» Direct Plot» Main Form*" e então seguir a configuração mostrada na Fig. 57 para configurar o gráfico do IIP<sub>3</sub>. Onde, considerando um tom em  $f_1$  e outro em  $f_2$ , as intermodulações vão estar nas frequências  $2.f_1 - f_2$  e  $2.f_2 - f_1$ . Assim, é selecionada na harmônica de primeira ordem o desejado e a segunda em uma dessas frequências. Para este caso, como  $f_1$  e  $f_2$  são iguais a 2,4 GHz e 2,5 GHz, respectivamente, a frequência fundamental será 2,4 GHz e a intermodulação será igual a 2,3 GHz ( $2 \times 2,4 \cdot 10^9 - 2,5 \cdot 10^9$ ).

Figura 57 – Configurações para plotar.

**Direct Plot Form**

Plotting Mode: Append

**Analysis**

ac  noise  pss  pac

**Function**

Voltage  Voltage Gain  
 Current  IPN Curves

Select: Port (fixed R(port))

Circuit Input Power:  Single Point  Variable Sweep (\*p3p3)

\*p3p3 ranges from -40 to 0  
 Input Power Extrapolation Point (dBm): -30

Input Referred IP3 Order: 3rd

3rd Order Harmonic		1st Order Harmonic	
-3	4.7G	-5	9.5G
-2	2.3G	-4	7.1G
-1	100M	-3	4.7G
0	2.5G	-2	2.3G
1	4.9G	-1	100M
2	7.3G	0	2.5G

Add To Outputs:

freqaxis = absout  
 > Select Port on schematic...

OK Cancel Help

Fonte: Autoral.

No final desta janela tem um campo "*Select Port on schematic..*", é necessário clicar neste campo e depois clicar na porta de referência, no caso a PORT1 para potência de saída. Após isso, será gerado o gráfico com a variação das potências de saída nas frequências fundamentais e de intermodulação de terceira ordem, onde a especificação de IIP<sub>3</sub> pode ser encontrada estendendo o comportamento linear de cada uma das curvas geradas, o ponto de intersecção delas é o ponto de interceptação de terceira ordem.