

**UNIVERSIDADE FEDERAL DO PAMPA**

**TAILIZE CORDEIRO DE OLIVEIRA**

**PROJETO DE UM RETIFICADOR POR  
ACOPLAMENTO CRUZADO PARA  
COLHEITA DE ENERGIA DE RF EM  
CIRCUITOS DE ULTRA-BAIXA TENSÃO**

**Alegrete  
2022**

**TAILIZE CORDEIRO DE OLIVEIRA**

**PROJETO DE UM RETIFICADOR POR  
ACOPLAMENTO CRUZADO PARA  
COLHEITA DE ENERGIA DE RF EM  
CIRCUITOS DE ULTRA-BAIXA TENSÃO**

Trabalho de Conclusão de Curso apresentado ao curso de Bacharelado em Engenharia Elétrica como requisito parcial para a obtenção do grau de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Lucas Compassi Severo

**Alegrete  
2022**

Ficha catalográfica elaborada automaticamente com os dados fornecidos  
pelo(a) autor(a) através do Módulo de Biblioteca do  
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

d20324118512p de Oliveira, Tailize Cordeiro

Projeto de um Retificador por Acoplamento Cruzado  
para Colheita de Energia de RF em Circuitos de Ultra-  
Baixa Tensão / Tailize Cordeiro de Oliveira.

49 p.

Trabalho de Conclusão de Curso(Graduação)--  
Universidade Federal do Pampa, ENGENHARIA ELÉTRICA,  
2022.

"Orientação: Lucas Compassi Severo".

1. Tecnologia CMOS. 2. Retificador Multiplicador de  
Tensão por Acoplamento Cruzado. 3. Internet das Coisas.  
4. Colheita de Energia de Radiofrequência. 5.  
Eficiência de Conversão de Energia. I. Título.

**TAILIZE CORDEIRO DE OLIVEIRA**

**PROJETO DE UM RETIFICADOR POR ACOPLAMENTO CRUZADO PARA COLHEITA DE ENERGIA DE RF EM CIRCUITOS DE ULTRA**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica.

Trabalho de Conclusão de Curso defendido e aprovado em: 11 de março de 2022.

Banca examinadora:

---

Prof. Dr. Lucas Compassi Severo  
Orientador  
UNIPAMPA

---

Prof. Dr. Sandro Binsfeld Ferreira  
UNIPAMPA

---

Prof. Dr. Alessandro Gonçalves Girardi  
UNIPAMPA



Assinado eletronicamente por **LUCAS COMPASSI SEVERO, PROFESSOR DO MAGISTERIO SUPERIOR**, em 11/03/2022, às 11:21, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 11/03/2022, às 11:22, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **Sandro Binsfeld Ferreira, Usuário Externo**, em 11/03/2022, às 11:24, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site [https://sei.unipampa.edu.br/sei/controlador\\_externo.php?acao=documento\\_conferir&id\\_orgao\\_acesso\\_externo=0](https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0), informando o código verificador **0749663** e o código CRC **EC62A39F**.

Universidade Federal do Pampa, Campus Alegrete  
Av. Tiarajú, 810 – Bairro: Ibirapuitã – Alegrete – RS CEP: 97.546-550  
Telefone: (55) 3422-8400

Dedico este trabalho ao meu pai Cláudio, e  
aos meus irmãos Anderson e Antônio.

## **AGRADECIMENTO**

Agradeço primeiramente a minha família por todo amor e apoio incondicional, a minha instituição de ensino e meus professores por todo conhecimento adquirido durante esses anos e pela experiência universitária.

Agradeço ao professor Lucas Compassi Severo por ter aceitado ser meu orientador, pela paciência, pela indicação do tema, pelo entusiasmo, pelo apoio e por todo conhecimento que me transmitiu.

Agradeço aos meus colegas e amigos que sempre estiveram comigo, e fizeram com que a minha trajetória acadêmica fosse a melhor possível, especialmente a minha amiga Martina Rodrigues que me deu auxílio e suporte quando entrei na microeletrônica.

## RESUMO

Este trabalho apresenta o projeto de um retificador multiplicador de tensão por acoplamento cruzado, utilizando tecnologia CMOS de 180 nm, como um dos blocos de colheita de energia por radiofrequência. Seu objetivo é converter o sinal de entrada de RF em energia de tensão ultra-baixa, alcançando a maior eficiência de conversão de potência (PCE) para alimentar dispositivos IoT de baixo consumo. Também aponta uma visão geral dos dispositivos de colheita de energia e retificadores para baixa tensão, apresentando as referências mais relevantes na literatura dos últimos anos. Para projetar o bloco de circuito retificador de tensão, é demonstrada a arquitetura básica de um coletor de energia de RF, que faz uso de uma antena, uma rede de casamento de impedância e um retificador multiplicador de tensão por acoplamento cruzado. A concentração deste trabalho ocorre apenas no bloco retificador. A metodologia é demonstrada visando maximizar a tensão de saída através do dimensionamento de transistores e capacitores para uma carga de 10 k $\Omega$ . Como resultado, este trabalho apresenta a topologia de um retificador com apenas um estágio de multiplicação, sendo capaz e suficiente para fornecer uma tensão ultra-baixa de 0,4 V, quando alimentado com -14,13 dBm. Por fim, sua máxima PCE é obtida em 41,81%.

**Palavras-chave:** Tecnologia CMOS. Retificador Multiplicador de Tensão por Acoplamento Cruzado. Internet das Coisas. Colheita de Energia. Radiofrequência. Eficiência de Conversão de Energia.

## ABSTRACT

This work presents the design of a cross-coupled voltage multiplier rectifier, using a 180 nm CMOS technology, as one of the radiofrequency energy harvesting blocks. It aims to convert the RF input signal into ultra-low voltage power, achieving the highest power conversion efficiency (PCE) to power low-power IoT devices. It also points out an overview of energy harvesting devices and low voltage rectifiers, presenting the most relevant references in the literature of recent years. To design the voltage multiplier rectifier circuit block, the basic architecture of an RF energy collector is demonstrated, which makes use of an antenna, an impedance matching network and a cross-coupled voltage multiplier rectifier. The concentration of this work occurs only in the rectifier block. The methodology is demonstrated aiming to maximize the output voltage through the sizing of transistors and capacitors for a load of 10 k $\Omega$ . As a result, this work presents the topology of a rectifier with only one multiplication stage, being capable and sufficient to provide an ultra-low voltage of 0.4 V, when fed with -14.13 dBm. Finally, its maximum PCE is obtained at 41.81%.

**Keywords:** CMOS technology, Cross-Coupled Voltage Multiplier Rectifier, Internet Of Things, Energy Harvesting, Radio Frequency, Power Conversion Efficiency.

## LISTA DE FIGURAS

1	Arquitetura básica de dispositivos inteligentes e sua interligação entre componentes. ....	13
2	Um típico sistema <i>RF Energy Harvesting</i> . ....	19
3	Algumas topologias de retificadores. ....	20
4	Circuito retificador multiplicador de tensão Dickson. ....	21
5	Circuito retificador multiplicador de tensão Dickson <i>Charge Pump</i> CMOS. ....	22
6	Circuito retificador multiplicador de tensão Cockcroft-Walton. ....	23
7	Circuito retificador multiplicador de tensão OS-CPR ( $N^{th}$ estágios). ....	24
8	Circuito retificador multiplicador de tensão por acoplamento cruzado. ....	25
9	Circuito retificador multiplicador de tensão por acoplamento cruzado com esquema de polarização corporal. ....	26
10	Distribuição espectral média medida fora da estação de <i>Northfields London</i> . ....	27
11	Fluxo de projeto de circuitos integrados analógicos. ....	28
12	Fluxo do bloco simulação elétrica: <i>Design</i> , do projeto proposto. ....	29
13	Esquemático do circuito retificador multiplicador de tensão em cascatas. ....	30
14	Estrutura do transistor MOS. ....	31
15	Nível da tensão de saída obtido a partir da variação da relação de $W_p/W_n$ . ....	33
16	Sinal da tensão de saída gerado com a análise paramétrica do <i>multiplier</i> M. ....	34
17	Sinal da tensão de saída gerado com a análise paramétrica da tensão de entrada. ....	34
18	Sinal da potência de entrada em relação ao valor obtido através da análise paramétrica da tensão de entrada. ....	35
19	Sinal da tensão de saída gerado a partir da análise paramétrica do capacitor de carregamento dos estágios de retificação. ....	36
20	Sinal da tensão de saída gerado a partir da análise paramétrica dos capacitores $C_{le}$ e $C_l$ . ....	37
21	Análise da tensão de entrada RF necessária para gerar tensão de saída de 0,4 V, para um, três e cinco estágios de retificação. ....	38
22	Análise da potência de entrada a partir da tensão máxima de saída para um, três e cinco estágios de retificação. ....	39
23	Análise da eficiência de conversão de energia a partir da potência de entrada RF para um, três e cinco estágios de retificação. ....	41
24	Análise da tensão de saída no tempo para diferentes valores de tensão de entrada, considerando $R_L = 10k\Omega$ . ....	42
25	Análise da tensão de saída no tempo para diferentes valores de tensão de entrada, considerando $R_L = 100 k\Omega$ . ....	43

## LISTA DE TABELAS

1	Visão geral de fontes alternativas de energia.....	15
2	Vantagem e desvantagem de fontes alternativas de colheita de energia. ....	15
3	Critérios iniciais de projeto.....	30
4	Variáveis do projeto obtidas através do dimensionamento visando a tensão de saída máxima para um estágio de retificação.....	37
5	Especificações do retificador projetado com um, três e cinco estágios para obter tensão de saída de 0,4 V, considerando cargas de 10 k $\Omega$ e 100 k $\Omega$ .....	44
6	Comparação de desempenho com trabalhos semelhantes. ....	44

## LISTA DE ABREVIATURAS E SIGLAS

AC	Corrente Alternada, do inglês <i>Alternate Current</i>
CAD	Desenho Assistido por Computador, do inglês <i>Computer Assisted Design</i>
CI	Circuito Integrado
CCE	Circuitos de Condicionamento de Energia
CC-CPR	Retificador multiplicador de tensão por acoplamento cruzado, do inglês <i>Cross-Coupled Voltage Multiplier Rectifier</i>
CMOS	Semicondutor de Óxido Metálico Complementar, do inglês <i>Complementary Metal-Oxide-Semiconductor</i>
DC	Corrente Contínua, do inglês <i>Direct Current</i>
EH	Colheita de Energia, do inglês <i>Energy Harvesting</i>
IoT	Internet das Coisas, do inglês <i>Internet of Things</i>
ISM	Industrial, Científico e Médico, do inglês <i>Industrial, Scientific and Medical</i>
NMOS	Semicondutor de óxido metálico tipo N, do inglês <i>N type Metal Oxide Semiconductor</i>
MOS	Semicondutor de Óxido Metálico, do inglês <i>Metal-Oxide-Semiconductor</i>
OS-CPR	Retificador multiplicador de tensão por chaveamento ortogonal, do inglês <i>Orthogonally Switching Charge Pump Rectifier</i>
PCE	Eficiência de Conversão de Energia, do inglês <i>Power Conversion Efficiency</i>
PMOS	Semicondutor de Óxido Metálico tipo P, do inglês <i>P type Metal Oxide Semiconductor</i>
RF	Radiofrequência, do inglês <i>Radio Frequency</i>
RF-EH	Colheita de Energia de Radiofrequência, do inglês <i>Radio Frequency Energy Harvesting</i>
TSMC	Companhia Fabricante de Semicondutores Taiwan, do inglês <i>Taiwan Semiconductor Manufacturing Company</i>

ULV	Ultra-Baixa Tensão, do inglês <i>Ultra-Low Voltage</i>
ULP	Ultra-Baixa Potência, do inglês <i>Ultra-Low Power</i>
Wi-Fi	Finalidade sem fio, do inglês <i>Wireless Fidelity</i>

## SUMÁRIO

<b>1 Introdução</b>	<b>13</b>
1.1 <i>Energy Harvesting</i> (Colheita de Energia).....	14
1.2 Objetivos .....	16
1.2.1 Objetivo geral.....	16
1.2.2 Objetivos específicos.....	16
1.3 Organização do trabalho .....	16
<b>2 Fundamentação Teórica e Revisão Bibliográfica</b>	<b>18</b>
2.1 Colheita de Energia de Radiofrequência .....	18
2.1.1 Retificadores .....	19
2.1.1.1 Multiplicador de tensão Dickson.....	22
2.1.1.2 Multiplicador de tensão Cockcroft-Walton .....	22
2.1.1.3 Multiplicador de tensão por chaveamento ortogonal .....	23
2.1.1.4 Multiplicador de tensão por acoplamento cruzado.....	24
2.1.2 Frequência de Operação e Nível de Potência .....	26
2.1.3 Síntese do capítulo .....	27
<b>3 Metodologia de Projeto do Retificador Multiplicador de Tensão</b>	<b>28</b>
3.1 Critérios de Projeto .....	30
3.2 Síntese do capítulo .....	31
<b>4 Resultados</b>	<b>32</b>
4.1 Dimensionamento visando máximo de $V_{out}$ .....	32
4.1.1 Dimensionamento dos transistores .....	32
4.1.2 Dimensionamento dos capacitores.....	35
4.2 Resultado final .....	36
4.2.1 Comparação com trabalhos semelhantes .....	44
4.3 Síntese do capítulo .....	45
<b>5 Conclusão</b>	<b>46</b>
5.1 Sugestão de trabalhos futuros .....	46
<b>Referências</b>	<b>47</b>

## 1 INTRODUÇÃO

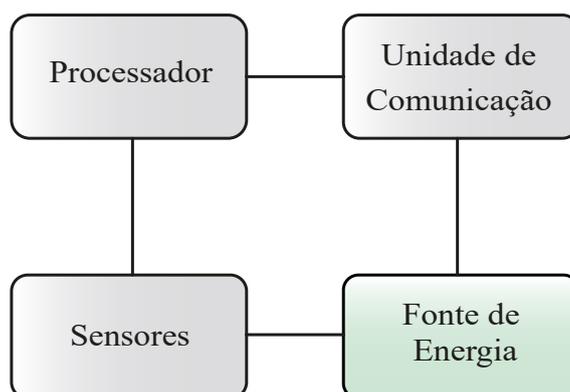
A crescente demanda por energia elétrica e os avanços de tecnologias de informação e comunicação resultam no surgimento do conceito de Internet das Coisas (IoT, do inglês *Internet of Things*).

De maneira geral, segundo CAVALLI (2016) a IoT pode ser entendida como a capacidade dos objetos do dia-a-dia (quaisquer que sejam), de se conectarem a uma rede de comunicação, assim como, serem identificados e controlados por essa rede de conexão. Essa possibilidade viabiliza o controle remoto de objetos, tal qual, permite que estes objetos sejam acessados como provedores de serviços.

Devido ao seu potencial uso nas mais diversas áreas das atividades humanas, a IoT tem recebido bastante atenção tanto de pesquisadores, como da indústria. Assim, essa tecnologia, traz avanços em diversas áreas como sistemas embarcados, microeletrônica, comunicação e sensoriamento (SANTOS et al., 2016).

Os dispositivos existentes dentro do conceito de IoT possuem uma arquitetura básica para seu devido funcionamento, sendo composta por quatro unidades: processamento/memória, comunicação, fonte de energia e sensores/atuadores, conforme Figura 1.

Figura 1 – Arquitetura básica de dispositivos inteligentes e sua interligação entre componentes.



Fonte: Adaptado de Santos et al. (2016).

Assim, a partir da arquitetura básica dos dispositivos inteligentes IoT, a fonte de energia nesse sistema tem a finalidade de alimentar os componentes do dispositivo, e normalmente consiste em uma bateria e um conversor DC-DC (SANTOS et al., 2016).

Todavia, o uso de baterias traz impactos significativos para esses sistemas, uma vez que limita a sua vida útil. Com isso, surge a necessidade de novas fontes de alimentação para esses dispositivos. Uma possibilidade é a captura de energia proveniente de

fontes presentes do ambiente, tal como solar, eólica e ondas eletromagnéticas, através das técnicas de conversão, conhecidas como Colheita de Energia (EH, do inglês *Energy Harvesting*).

Neste aspecto, este trabalho visa a análise e o projeto de um circuito retificador que colha e converta energia oriunda de ondas eletromagnéticas ou radiofrequência (RF) em energia elétrica para alimentar dispositivos de ultra-baixa tensão e baixo consumo de potência, mantendo sua máxima Eficiência de Conversão de Energia (PCE, do inglês *Power Conversion Efficiency*).

### **1.1 *Energy Harvesting* (Colheita de Energia)**

Segundo Martins (2021) *Energy Harvesting* (EH) é um conceito empregado aos sistemas que possuem capacidade de coletar as diversas energias disponíveis no ambiente, de fontes conhecidas, como a solar, de vibrações, térmica, cinética, piezoelétrica e de radiofrequência.

Com o constante aumento da população e a alta demanda por energia elétrica, a sociedade vêm buscando por décadas novas soluções de geração de energia que sejam menos poluentes e sustentáveis. Essas são consideradas alternativas promissoras, uma vez que visam suprir esse crescente aumento da demanda energética mundial. A energia proveniente da luz solar, por exemplo, é uma das mais conhecidas e com maior aplicabilidade. Ela é considerada um modelo de colheita de energia, e possibilita que seu uso seja possível tanto em escala industrial, como doméstica. A obtenção da energia solar ocorre através do efeito fotovoltaico (obtida através da conversão solar em eletricidade). Contudo, essa categoria de fonte de energia é classificada como não despachável, ou seja, é dependente de algumas condições naturais, como o clima, e não possibilita a extração de energia a todo momento (ALMEIDA, 2011). Na Tabela 1 podemos observar a densidade de potência de cada uma das diversas fontes de energia que se encontram disponíveis no ambiente, e na Tabela 2 podemos verificar e comparar essas diferentes fontes de energia e sua disponibilidade.

Com o progresso da IoT, nas últimas décadas, houve a necessidade que pesquisadores dedicassem grande esforço para oferecer à sociedade, novas formas de energia (alternativas e diversificadas), que sejam capazes de alimentar dispositivos inteligentes.

Atualmente, a maioria dos dispositivos sensores remotos de baixa potência e equipamentos integrados são alimentados por baterias, tal qual possuem vida útil finita, e re-

Tabela 1 – Visão geral de fontes alternativas de energia.

Fonte de Energia	Densidade de Potência	Tecnologia <i>Harvesting</i>
Solar	Interior*: $10 \mu\text{W}/\text{cm}^2$ Exterior: $10 \text{mW}/\text{cm}^2$	Fotovoltaico
Vibrações	Humana: $4 \mu\text{W}/\text{cm}^2$ Industrial: $100 \mu\text{W}/\text{cm}^2$	Piezoelétrico Eletrostático Eletromagnético
Térmica	Humana: $30 \mu\text{W}/\text{cm}^2$ Industrial: $1-10 \text{W}/\text{cm}^2$	Termoelétrico Piroelétrico
Radiofrequência	GSM: $0.1 \mu\text{W}/\text{cm}^2$ Wi-Fi: $1 \text{mW}/\text{cm}^2$	Antena

Fonte: Adaptado de Tran, Cha e Park (2017)

\* Célula Fotovoltaica.

Tabela 2 – Vantagem e desvantagem de fontes alternativas de colheita de energia.

Fonte de Energia	Vantagem	Desvantagem
Solar	Alta densidade de potência amadurecida	Nem sempre disponível Necessária exposição à luz
Vibrações	Alta eficiência	Alto custo Nem sempre disponível Limitação física do material
Térmica	Alta densidade de potência	Nem sempre disponível Excesso de calor
Radiofrequência	Maior disponibilidade no ambiente	Baixa densidade Eficiência inversamente proporcional à distância

Fonte: Adaptado de Tran, Cha e Park (2017)

querem substituições periódicas. Em muitos casos, essas substituições podem se tornar preocupantes, como por exemplo ao utilizarmos sensores com finalidade biomédica, onde a fonte de energia precisa ter durabilidade e ser contínua.

Além do mais, segundo Wentzloff et al. (2021) um dos principais fatores para que empresas não adotem soluções IoT é o impacto do descarte da bateria no meio ambiente, que muitas vezes é ignorado. As baterias são compostas por metais pesados e tóxicos, como mercúrio, chumbo e cádmio, e seu indevido descarte pode contaminar o solo e lençóis freáticos.

Conforme Tran, Cha e Park (2017) ao utilizarmos tecnologias de coleta de ener-

gia, dispositivos e equipamentos podem se tornar autossustentáveis em relação à energia necessária para a operação, obtendo uma vida útil operacional ilimitada. Com isso, e após analisarmos as Tabelas 1 e 2, nota-se que atualmente a fonte de energia que possui maior disponibilidade, independente do ambiente, é a de radiofrequência.

Sendo assim, a forma de coletar energia através das ondas eletromagnéticas pode ser empregada como fonte alternativa para alimentação de dispositivos elétricos e eletrônicos pequenos, e será utilizada nesse trabalho, uma vez que tem a característica de possuir a vasta disponibilidade no ambiente, ainda apresenta uma menor escala de densidade de potência, perfeita para alimentação de dispositivos de baixo consumo.

## **1.2 Objetivos**

### **1.2.1 Objetivo geral**

Desenvolver um circuito retificador totalmente integrado em tecnologia CMOS de 180 nm, capaz de converter energia eletromagnética colhida do ambiente na banda Industrial, Científica e Médica (ISM, do inglês *Industrial, Scientific and Medical*) em tensão contínua (DC) para alimentar dispositivos IoT de baixo consumo, operando em ultra-baixa tensão (ULV, do inglês *Ultra-Low-Voltage*).

### **1.2.2 Objetivos específicos**

- Estudar as topologias de circuitos retificadores adequadas para aplicações de IoT;
- Otimizar o projeto do circuito retificador para permitir operação adequada com níveis de potência de entrada baixos e que possua alta taxa de PCE;
- Analisar o efeito do número de estágios de retificadores em cascata e a tensão de saída que resulta na máxima PCE.

## **1.3 Organização do trabalho**

Este trabalho está dividido em cinco capítulos. No Capítulo 2, é realizada uma fundamentação teórica e revisão bibliográfica relacionada aos principais tópicos que en-

volvem o tema, igualmente, uma análise dos últimos trabalhos encontrados na bibliografia sobre os retificadores multiplicadores de tensão adequados para circuitos integrados e suas principais características de aplicação. No Capítulo 3, é apresentada a metodologia do trabalho, formulação do problema, descrevendo as etapas necessárias para um projeto de um circuito integrado analógico em baixa potência. Também é apresentado o projeto do sistema de ULV RF-EH. No Capítulo 4, é descrito o projeto do bloco retificador, bem como o dimensionamento visando o máximo da tensão de saída e a máxima eficiência. Também são vistos os resultados obtidos através de cada análise obtida, e a comparação dos resultados com trabalhos semelhantes presentes na literatura. No Capítulo 5, ressaltam-se as conclusões obtidas com o desenvolvimento deste trabalho e propostas de trabalhos futuros.

## 2 FUNDAMENTAÇÃO TEÓRICA E REVISÃO BIBLIOGRÁFICA

Neste capítulo, será abordada uma breve fundamentação teórica sobre colheita de energia de radiofrequência e circuitos retificadores de baixa tensão.

### 2.1 Colheita de Energia de Radiofrequência

Com o avanço global e tecnológico, a internet móvel, o celular e o *Wi-Fi* se tornaram cada vez mais essenciais na sociedade. Dessa forma, a energia proveniente de fontes de radiofrequência, vem sendo observadas em grandes escalas no meio ambiente. As frequências que abrangem esse espectro são na ordem de 3 kHz até 300 GHz, possuindo seu maior proveito por equipamentos de comunicação via rádio. A RF ainda dispõe do máximo de sua concentração de sinal em áreas urbanas, em virtude de haver a maior intensidade do sinal (RODRIGUES et al., 2017).

Assim, surge o interesse por coletar essa energia, de forma a ser reutilizada. A técnica de colheita de energia de radiofrequência (RF-EH, do inglês *Radio Frequency Energy Harvesting*), consiste no proveito da energia disponível no ambiente de ondas eletromagnéticas, com o objetivo de converter em tensão contínua (DC) para que seja consumida por alguma carga.

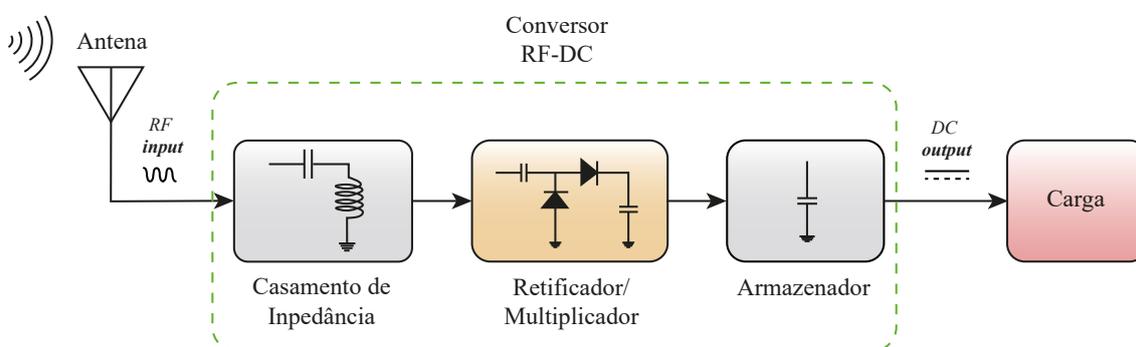
Segundo Hata (1980), a energia RF coletada do ambiente, geralmente possui baixa densidade de potência, em razão de que a densidade de potência do campo eletromagnético diminui em uma taxa proporcional ao quadrado da distância da fonte de RF. Diante disso, Radiom, Vandenbosch e Gielen (2008) mostram a necessidade de um circuito amplificador de potência para que seja capaz de produzir suficientemente energia DC das ondas eletromagnéticas para alimentar cargas. Dando origem a duas possibilidades, os dispositivos funcionarem com continuidade, onde a carga deve consumir menos que a média de energia captada, ou, caso contrário, se a carga consumir mais energia do que o circuito de captação, os dispositivos não funcionam com continuidade.

Assim, o processo de retificação de conversão do sinal de RF, em corrente alternada (AC), para corrente contínua (DC) será abordada nesse trabalho. O sinal recuperado na antena normalmente tem uma forma de onda senoidal modulada. Sendo assim, esse sinal após sua transformação pode ser retificado e potencializado para atender às especificações das aplicações (TRAN; CHA; PARK, 2017).

A arquitetura básica do sistema RF-EH é ilustrada na Figura 2. Para coletar sinais

de radiofrequência, usa-se uma antena em seu primeiro estágio, na qual é responsável por transformar o sinal eletromagnético em um sinal elétrico. Em seguida, tem-se uma rede de casamento de impedâncias, que têm por finalidade combinar a impedância da antena com a do retificador para atingir a máxima transferência de potência. Subsequentemente, tem-se o bloco do retificador que converte o sinal RF de entrada em um sinal DC, que posteriormente é entregue a um elemento de armazenamento para armazenar a energia obtida. Além disso, o retificador também atua muitas vezes como um elemento capaz de multiplicar o nível de tensão.

Figura 2 – Um típico sistema *RF Energy Harvesting*.



Fonte: Adaptado de Sangare e Han (2018).

Deste modo, observa-se que o bloco do retificador exerce um papel de extrema importância no desempenho geral do sistema, e analisá-lo e propor sua melhoria levaria a um melhor coletor de energia de RF (AL-ABSI et al., 2021).

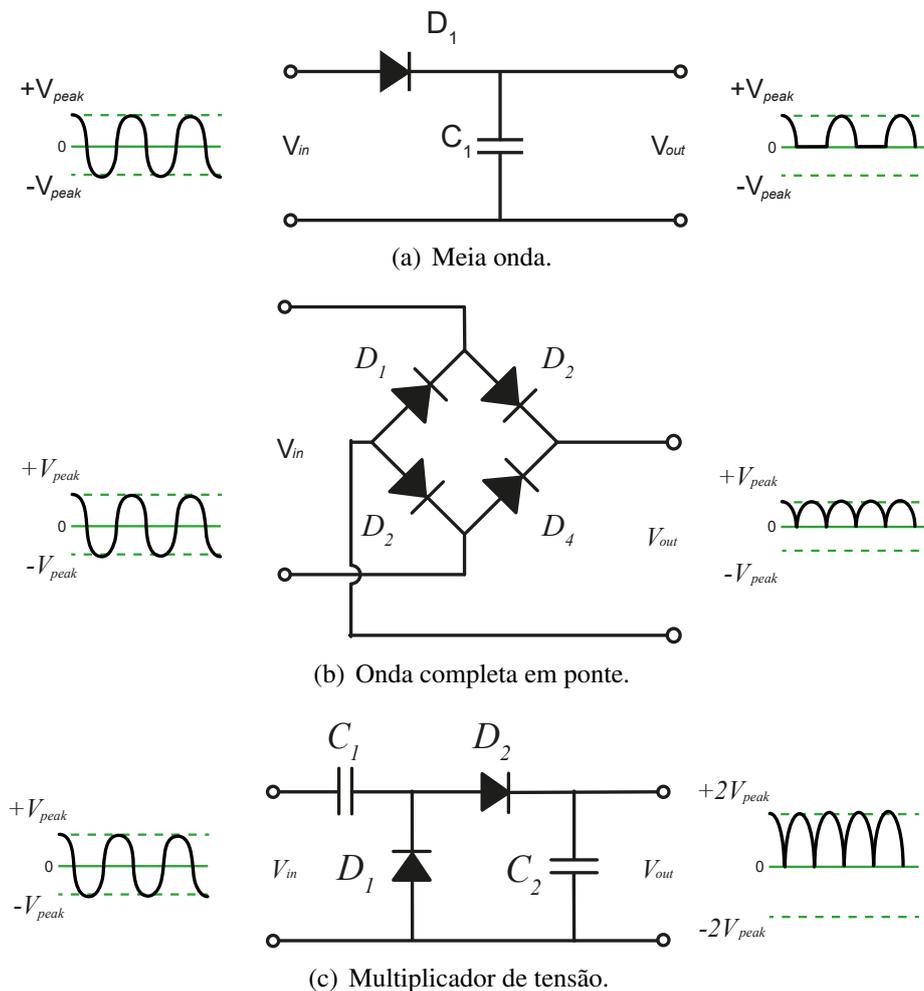
### 2.1.1 Retificadores

Na eletrônica, um circuito retificador, ou apenas retificador, pode ser definido como um circuito elétrico que converte um sinal de entrada de corrente alternada (AC) em um sinal de saída em corrente contínua (DC).

As topologias dos retificadores, como ilustra a Figura 3 podem ser compreendidas com um único diodo 3(a), ou seja em meia onda, com mais diodos, em onda completa 3(b) e onda completa multiplicadores de tensão 3(c), em que todos esses operam em *brodband*, que significa que trabalham bem em frequências entre quilohertz e mega-hertz. Assim, para frequências que se elevam a isso, utiliza-se diodos *Schottky* por obterem menor tempo de transição (MARTINS, 2021).

Os retificadores meia onda e onda completa em ponte convertem um sinal de en-

Figura 3 – Algumas topologias de retificadores.



Fonte: Adaptado de Tran, Cha e Park (2017).

trada em AC para um sinal DC. Ambos também apresentam como desvantagem a perda de potência sobre os diodos. No retificador de meia onda, por exemplo, apenas o ciclo positivo permanece e o ciclo negativo é cortado, sendo assim tendo a sua potência AC diminuída pela metade e sua tensão de saída descontínua. Já no retificador de onda completa em ponte, a queda de tensão é ainda maior, pois há perda de potência sobre dois diodos. Contudo, a retificação acontece em ambos semiciclos do sinal de entrada. Assim, circuitos que contemplam o conceito de EH, usualmente não utilizam essa topologia por apresentarem baixa eficiência, bem como apresentam valores de queda de tensão sobre os diodos retificadores muito além da tensão que se adquire na entrada (MARTINS, 2021).

O circuito retificador multiplicador de tensão de onda completa converte o sinal de entrada CA em sinal de saída DC através da multiplicação do sinal de entrada. Esta topologia pode ser utilizada em cascata (para multiplicar), tendo sua tensão de pico da saída correspondente a duas vezes a quantidade de estágios de retificação, vezes a tensão

de pico do sinal de entrada, menos a queda de tensão sobre os diodos, como mostra a Equação 1.

$$V_{P_{out}} = 2 \times N \times V_{P_{in}} - V_D \quad (1)$$

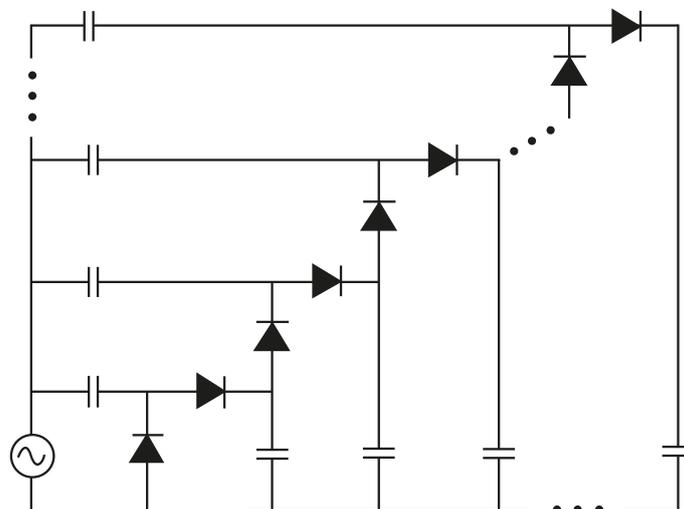
Deste modo, segundo Martins (2021) ao utilizarmos mais estágios de multiplicação e utilizar transistores MOS como opção de substituição dos diodos, obtemos topologias de multiplicadores de tensão *Dickson* e *Cockcroft-Walton*, onde a definição decorre da forma em que os estágios de cascata seguintes estão conectados.

Em retificadores de RF, a eficiência de conversão de potência (PCE) é estabelecida como a relação entre a potência absorvida pela carga e a potência total de entrada, e pode ser expressa através da Equação 2.

$$PCE = \frac{P_{out}}{P_{in}} = \frac{V_{out} \times I_{out}}{(V_{in_{RF}} \times I_{in})_{RMS}} \times 100 \quad (2)$$

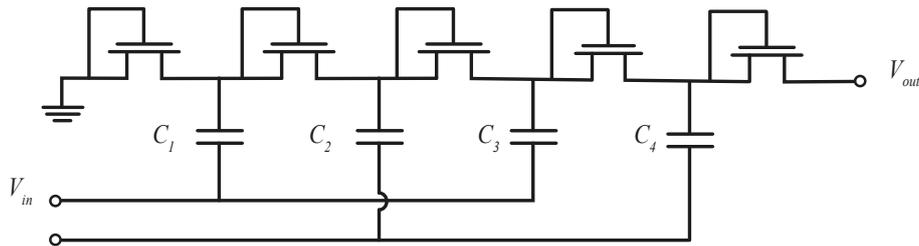
Onde  $P_{out}$  é a potência de saída,  $P_{in}$  é a potência RMS de entrada,  $V_{out}$  é a tensão de saída,  $I_{out}$  é a corrente de carga,  $V_{in_{RF}}$  é a tensão instantânea de entrada e  $I_{in}$  é a corrente instantânea de entrada. A PCE pode ser vista como uma figura de mérito dos conversores RF-DC.

Figura 4 – Circuito retificador multiplicador de tensão Dickson.



Fonte: Wong et al. (2016).

Figura 5 – Circuito retificador multiplicador de tensão Dickson *Charge Pump* CMOS.



Fonte: Adaptado de Tran, Cha e Park (2017).

### 2.1.1.1 Multiplicador de tensão Dickson

Diferentes topologias de multiplicadores de tensão podem ser usadas no campo de conversores de colheita de energia (AWAD; BENECH; DUCHAMP, 2018).

O multiplicador de tensão consiste em uma cascata de duplicadores de tensão AC-DC. O dobrador de tensão é composto por dois capacitores e dois diodos, conforme mostrado na letra c da Figura 3.

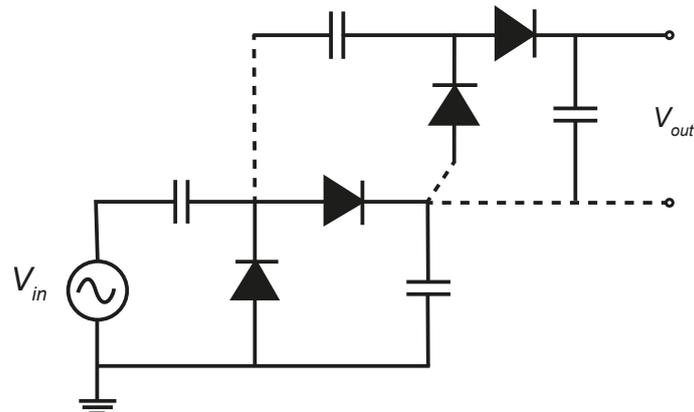
O multiplicador de tensão Dickson, ilustrado na Figura 4, possui como característica um ponto comum de entrada e utiliza a saída do estágio anterior como referência de tensão, somando a tensão de entrada ao valor da tensão de saída do estágio anterior (MARTINS, 2021). Essa topologia é amplamente utilizada por conta de sua simplicidade e bom desempenho.

No âmbito dos circuitos integrados, os retificadores multiplicadores de tensão do tipo Dickson são compostos por dois transistores CMOS associados como diodos, um capacitor de elevação de tensão e um capacitor de carga (MARTINS, 2021), como mostra a Figura 5, em que  $C_c$  é o capacitor de elevação de tensão,  $C_{load}$  é o capacitor de carga,  $V_{RF_{in}}$  é o sinal de entrada em RF e  $V_{out}$  é a tensão de saída elevada e retificada.

### 2.1.1.2 Multiplicador de tensão Cockcroft-Walton

O retificador multiplicador Cockcroft-Walton, como mostrado na Figura 6, de acordo com Yan et al. (2005), possui um desempenho e comportamento semelhante ao multiplicador de tensão do tipo Dickson. Entretanto, o tipo Cockcroft-Walton se diferencia por possuir a entrada dos estágios decorrentes conectado logo depois do capacitor de entrada, criando estágios de carga e descarga de capacitores em cada estágio de multiplicação. Essa topologia também apresenta perda no sinal de saída devido à zona morta criada pelas tensões de *threshold* dos transistores NMOS e PMOS. Contudo, este retificador é utilizado como base para as próximas topologias estudadas nesse trabalho.

Figura 6 – Circuito retificador multiplicador de tensão Cockcroft-Walton.



Fonte: Adaptado de Barroca et al. (2013).

Em ambas as topologias Dickson e Cockcroft-Walton, a tensão de saída  $V_{out}$  é descrita pela equação 3:

$$V_{out} = 2 \times N \times (V_{RF_{in}} - V_{THP} - V_{THN}) \quad (3)$$

No qual,  $N$  é o número de estágios,  $V_{THN}$  é a tensão de *threshold* do transistor NMOS e  $V_{THP}$  é a tensão de *threshold* do transistor PMOS.

### 2.1.1.3 Multiplicador de tensão por chaveamento ortogonal

O multiplicador de tensão por chaveamento ortogonal (OS-CPR, do inglês *Orthogonally Switching Charge Pump Rectifier*) foi proposto por Mansano (2016), em que utiliza-se transistores PMOS como chaves controladas por sinais de tensão ( $M_1$  e  $M_2$ ), capacitores para acoplamento AC ( $C_c$ ), capacitores para armazenamento de energia ( $C_{R_1}$  e  $C_{R_2}$ ), capacitores parasitas para mitigar a corrente de refluxo ( $C_{DC}$ ), e resistores ( $R_{DC}$ ). A Figura 7, ilustra a topologia de chaveamento ortogonal com  $N^{th}$  estágios.

Ainda, segundo Mansano (2016), a topologia de multiplicador de tensão por chaveamento ortogonal, possui como característica proeminente a sua capacidade de operar em regiões de inversão forte e fraca.

Martins (2021), diz que este circuito supera o efeito da zona morta, uma vez que a tensão de entrada é superior à tensão de *threshold*, devido a uma rede ressonante de elevação de tensão.

### 2.1.1.4 Multiplicador de tensão por acoplamento cruzado

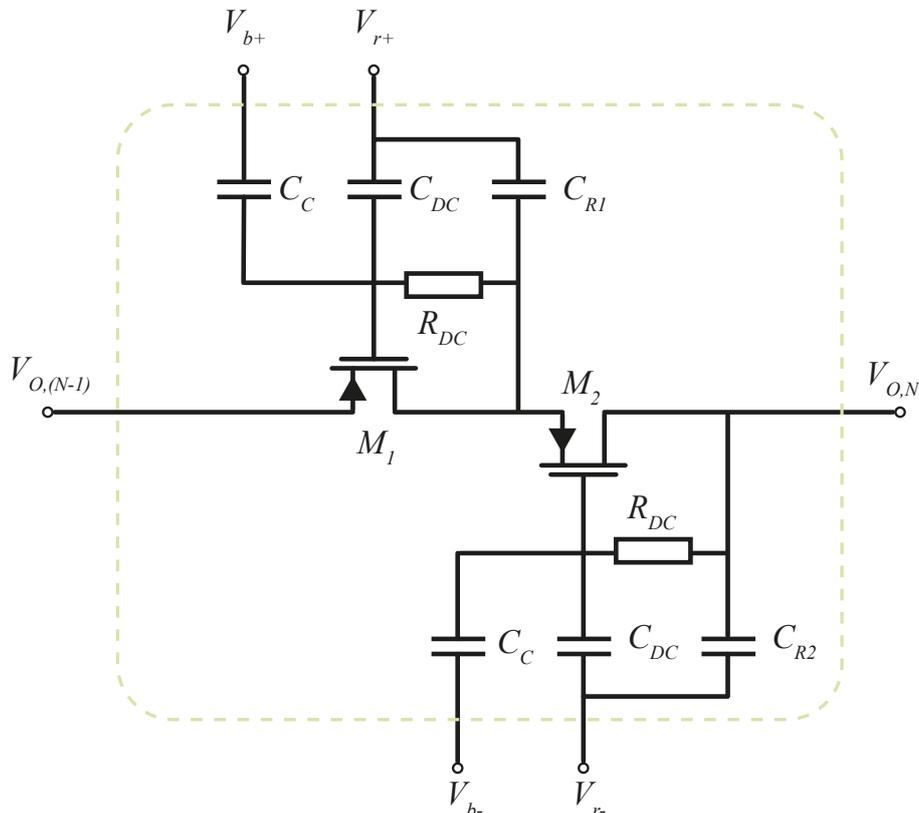
O multiplicador de tensão por acoplamento cruzado (CC-CPR, do inglês *Cross-Coupled Charge Pump Rectifier*), proposto por Kotani, Sasaki e Ito (2009), é conhecido com uma topologia de retificador capaz de manter uma resistência baixa quando ativo e baixa fuga de corrente, simultaneamente (MARTINS, 2021).

Baseado em tecnologia CMOS diferencial cruzada ligada em ponte, uma topologia convencional do CC-CPR como ilustra a Figura 8, tem seu princípio de funcionamento, onde o semiciclo positivo ( $M_{P1}$ ) e ( $M_{N2}$ ) estão conduzindo e suas tensões de *threshold* ( $V_{TH}$ ) são reduzidas pela aplicação da tensão de entrada diferencialmente. Contudo, ( $M_{P2}$ ) e ( $M_{MN1}$ ) também são polarizadas reversamente para reduzir sua corrente de fuga e vice-versa no semiciclo negativo (AL-ABSI et al., 2021). Essa topologia também necessita de sinais RF diferenciais na entrada, o que implica na necessidade de um *balun* ou antena diferencial.

A tensão de retificação dessa topologia é descrita por

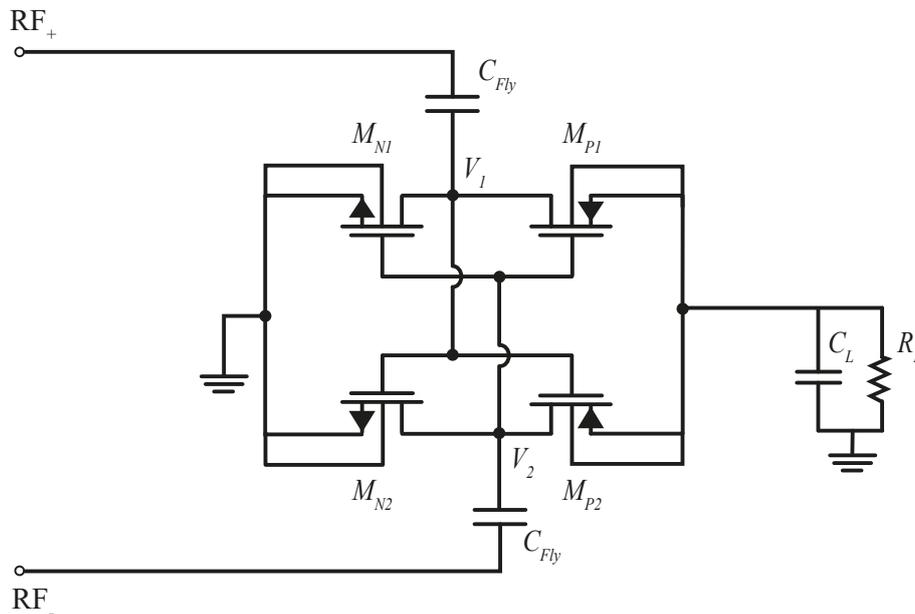
$$V_{out} = 2 \times V_{RF_{in}} - V_{TH} \quad (4)$$

Figura 7 – Circuito retificador multiplicador de tensão OS-CPR ( $N^{th}$  estágios).



Fonte: Adaptado de Mansano (2016).

Figura 8 – Circuito retificador multiplicador de tensão por acoplamento cruzado.



Fonte: Adaptado de Kotani, Sasaki e Ito (2009).

No qual  $V_{RF_{in}}$  é a tensão de entrada e  $V_{TH}$  é a queda de tensão no transistor.

Segundo Mansano, Bagga e Serdijn (2013) um circuito retificador por acoplamento cruzado pode ser cascateado para multiplicar a tensão de saída atendendo a mesma equação geral do circuito simples.

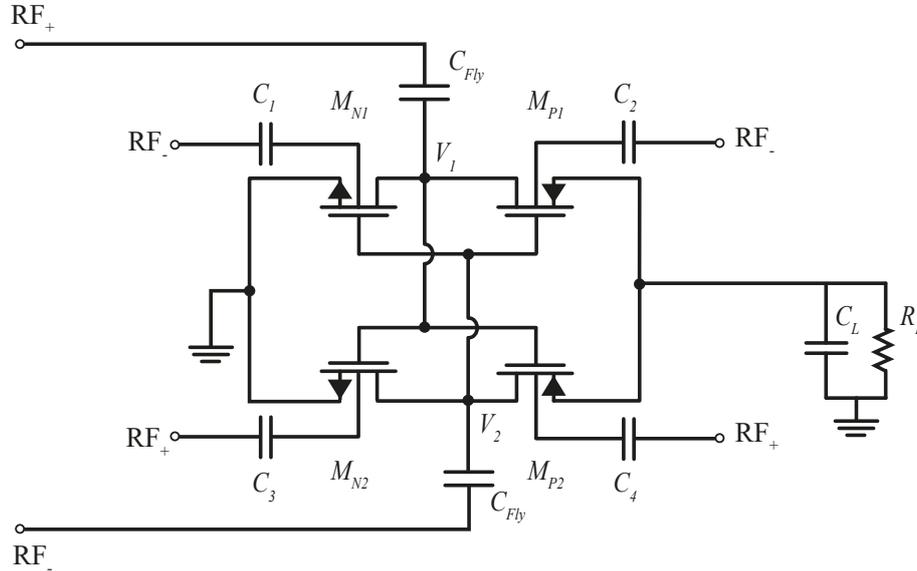
Além disso, no trabalho de Dai et al. (2015), foram testados três topologias, sendo elas a de Cockcroft-Walton com três estágios, a diferencial com conexão cruzada de três estágios e a de acoplamento cruzado, onde prova que a topologia de retificador por acoplamento cruzado, mostra a maior eficiência de conversão de energia desejável, com valor de até 65 %, que permite ser mantida em uma ampla faixa de entrada ajustando o tamanho do transistor, ao mesmo tempo que outras topologias alcançam entre 46,7 % e 51 %.

Karolak et al. (2012), apresenta que essa topologia, mostra uma sensibilidade muito maior quando associada às demais topologias apresentadas. Essa alta sensibilidade torna essa topologia adequada para transferência de potência sem fio em um grande *range*, ou seja, por muitos metros.

Uma aprimoração proposta por Al-Absi et al. (2021) melhora a topologia de retificador multiplicador de tensão por acoplamento cruzado, utilizando a técnica de polarização de corpo adaptável, como mostra a Figura 9, onde varia a tensão de *threshold* ( $V_{th}$ ) dos quatro transistores, aumentando assim a condução de corrente e reduzindo o fluxo de corrente na condição de polarização reversa. O circuito foi avaliado através do seu desempenho em diferentes condições de carregamento, sendo seu projeto proposto, obtendo

através das simulações um pico de eficiência de 78,2 %.

Figura 9 – Circuito retificador multiplicador de tensão por acoplamento cruzado com esquema de polarização corporal.



Fonte: Adaptado de Al-Absi et al. (2021).

### 2.1.2 Frequência de Operação e Nível de Potência

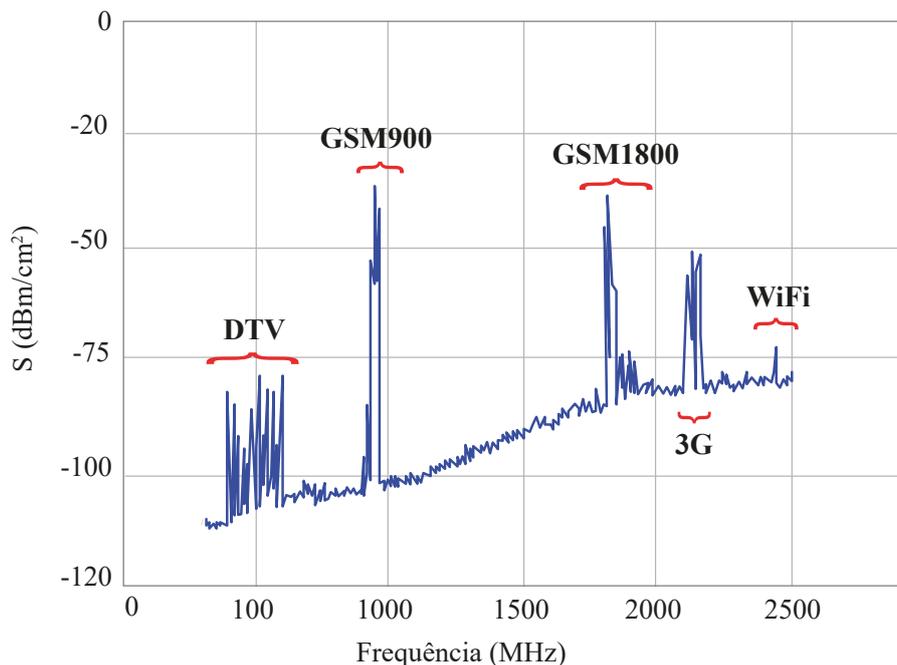
É de suma importância conhecer o espectro de radiofrequência, para certificar que haverá energia disponível para ser coletada no ambiente. O trabalho de Mansano, Bagga e Serdijn (2013) mostra medições realizadas em estações de metrô em regiões urbanas e suburbanas dos espectros eletromagnéticos de Londres na Inglaterra. Na Figura 4, podemos observar o espectro medido do lado de fora da estação *Northfields London*, em que é capaz de ver uma grande quantidade de energia captada nas bandas GSM (MARTINS, 2021). Na faixa de 900 MHz o nível do sinal chega próximo a -30 dBm/cm<sup>2</sup>.

O nível de potência disponível em um sinal de RF pode ser estimado através da equação de Friis (Equação 5).

$$P_r = P_t \times G_r \times G_t \times \left( \frac{\lambda}{4\pi d} \right)^2 \rightarrow P_r \propto \frac{1}{d^2 \cdot f^2} \quad (5)$$

Onde  $P_r$  é o nível de potência disponível na recepção (em Watt),  $P_t$  é a potência do transmissor em Watt,  $G_r$  é o ganho da antena do receptor,  $G_t$  é o ganho da antena do transmissor,  $d$  é a distância da fonte geradora de RF até o *harvester* e  $\lambda$  é o comprimento de onda relacionado à frequência de operação ( $f$ ). Com esta equação, pode-se perceber que

Figura 10 – Distribuição espectral média medida fora da estação de *Northfields London*.



Fonte: Adaptado de Piñuela, Mitcheson e Lucyszyn (2013).

o nível de potência do sinal de RF é reduzido em uma taxa proporcional ao quadrado da distância e ao quadrado da frequência do sinal, pois  $\lambda$  é inversamente proporcional à frequência.

### 2.1.3 Síntese do capítulo

Neste capítulo foi abordado o típico sistema RF-EH, bem como o seu bloco principal, o retificador. Também foi vista a revisão bibliográfica das principais topologias de retificadores utilizadas para fins de circuitos integrados. Para este trabalho, utilizaremos a topologia de retificador MOS, multiplicadora de tensão por acoplamento cruzado, devido às suas características de operação, sendo capaz de ser cascateada para multiplicar a tensão de saída, bem como ser capaz de manter uma baixa fuga de corrente quando acionado e também uma baixa resistência. Na revisão da literatura apresentada, esse retificador é apresentado como sendo o de maior eficiência de conversão de energia.

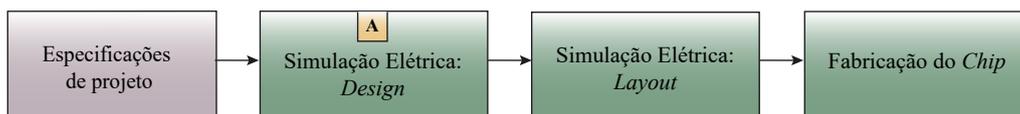
### 3 METODOLOGIA

Os conversores DC-DC comumente são associados à eletrônica de potência. Estes dispositivos são definidos como sistemas compostos por semicondutores de potência atuando como chaves, bem como capacitores, indutores e diodos. Tem como sua finalidade o controle de fluxo de tensão de uma fonte de entrada para uma fonte de saída. Entretanto, não só apenas em tensões elevadas que se aplica o conceito de conversores. Dispositivos eletrônicos vestíveis, dispositivos biomédicos implantáveis, identificação passiva por RF (RFID) e a internet das coisas (IoT), são exemplos de aplicações que possuem sua alimentação por RF e não requerem fonte interna, podendo assim ser trabalhada em baixa tensão e ultrabaixa tensão. Em quase todas essas aplicações citadas, é necessário um circuito de conversão de energia RF para DC. Este circuito extrai o máximo de energia DC possível das ondas eletromagnéticas incidentes para a devida captação de energia e utiliza as bandas ISM de frequência ultra-alta (UHF).

Portanto, neste trabalho empregaremos o conceito de conversão RF-DC, como mostrado na Figura 1, com uso da tecnologia de circuitos integrados, especialmente em tecnologia CMOS, devido ao seu baixo custo de fabricação. Foi empregada a tecnologia de 180 nm, por apresentar um bom custo-benefício para finalidades simples.

A metodologia de projeto utilizada é baseada no conhecimento do projetista e utiliza ambiente de simulação. O fluxo seguido de projeto de circuitos integrados analógicos, é descrito na Figura 11. Onde, primeiramente dispõe-se das especificações essenciais do projeto. Baseado nisso, parte-se para a elaboração do esquemático do circuito desejado e entendimento da tecnologia que se pretende trabalhar. Assim, é realizada a etapa de simulação elétrica *design*. Possuindo essa etapa concluída, passa para as demais etapas do fluxo de desenvolvimento de um CI (*layout* e fabricação do *chip*).

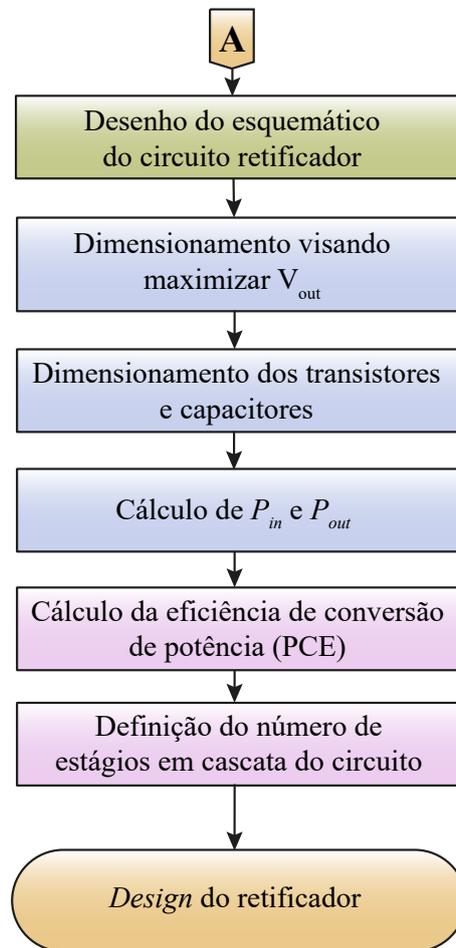
Figura 11 – Fluxo de projeto de circuitos integrados analógicos



Neste projeto, a concentração será apenas na elaboração do *design* do bloco retificador, de acordo com a Figura 12. A análise se constitui inicialmente através de dimensionamento visando a maximização da tensão de saída com carga. Essa análise, é desenvolvida a partir do uso do ambiente de simulação, utilizando de medições no esquemático do circuito, uso de ferramenta de variação paramétrica, e cálculo das potências

de entrada e de saída e eficiência de conversão. A partir dessa análise é examinada a necessidade do circuito de ultra-baixa tensão de saída possuir mais estágios de retificação.

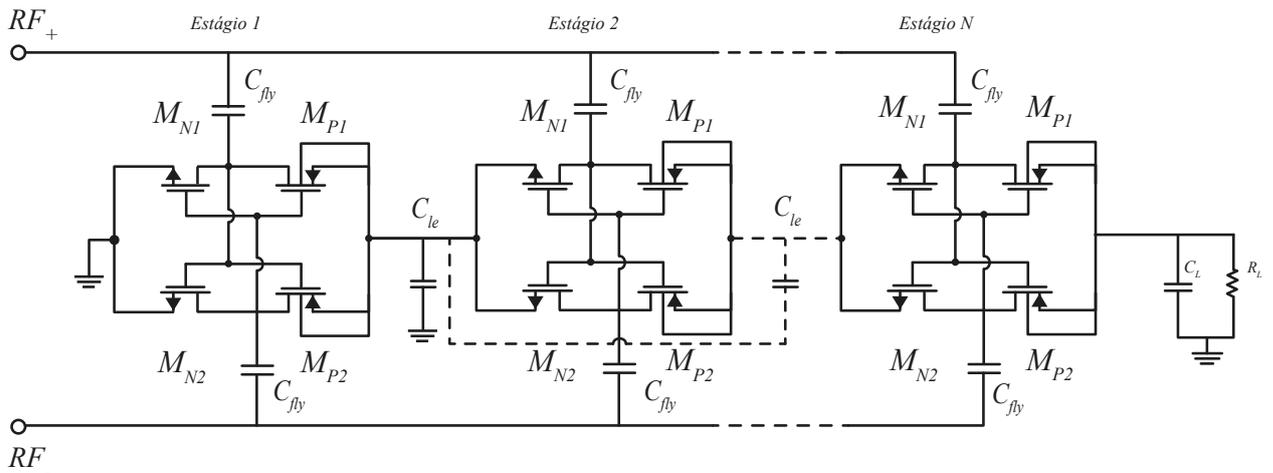
Figura 12 – Fluxo do bloco simulação elétrica: *Design*, do projeto proposto.



Para convertermos um sinal RF para uma tensão contínua, faz-se o uso de retificadores multiplicadores de tensão. O retificador utilizado é baseado na topologia utilizada por Kotani, Sasaki e Ito (2009), tendo em sua estruturação transistores de tecnologia CMOS do tipo P (MP1 e MP2) e tipo N (MN1 e MN2). Seu princípio de funcionamento é descrito na subseção 2.1.1.4 deste trabalho.

Para a nossa análise, consideraremos o retificador em um, três e cinco estágios de retificação, conforme a Figura 13. A ideia da construção por estágios se deve ao fato almejar que a tensão de entrada, seja multiplicada suficientemente para gerar uma tensão de saída maior. Entretanto, nossa análise também verificará se isso também é válido quando desejamos trabalhar com tensões ultra baixas. Os critérios de projeto baseados nas especificações iniciais, são descritos a seguir.

Figura 13 – Esquemático do circuito retificador multiplicador de tensão em cascatas.



Fonte: Adaptado de Al-Absi et al. (2021).

### 3.1 Critérios de Projeto

Os critérios utilizados neste projeto são descritos na Tabela 3 e suas devidas escolhas são provenientes do esquemático desenvolvido na Figura 13.

Tabela 3 – Critérios iniciais de projeto.

Especificações	
Frequência (MHz)	915
Carga típica $R_L$ (k $\Omega$ )	10
Tensão de saída (V)	0,4
Potência de saída ( $\mu$ W)	16

A frequência ISM de 915 MHz para o projeto do circuito coletor de energia, foi escolhida devido à análise realizada na seção 2.2.1, por (PIÑUELA; MITCHESON; LUCYSZYN, 2013), na qual a banda GSM da Figura 10 (na faixa de frequências de 900 MHz a 1800 MHz), possui uma quantidade de energia captada superior às demais.

A saída do circuito alimentado pelo sistema RF-EH é definida em *Ultra-Low Voltage* com a meta de 0,4 V de tensão de saída. Portanto, a carga típica designada para esse projeto é de 10 k $\Omega$ , equivalente a uma potência de saída na faixa de 16  $\mu$ W, que conforme Severo e Noiye (2021) é compatível com alguns circuitos de ultrabaixa potência.

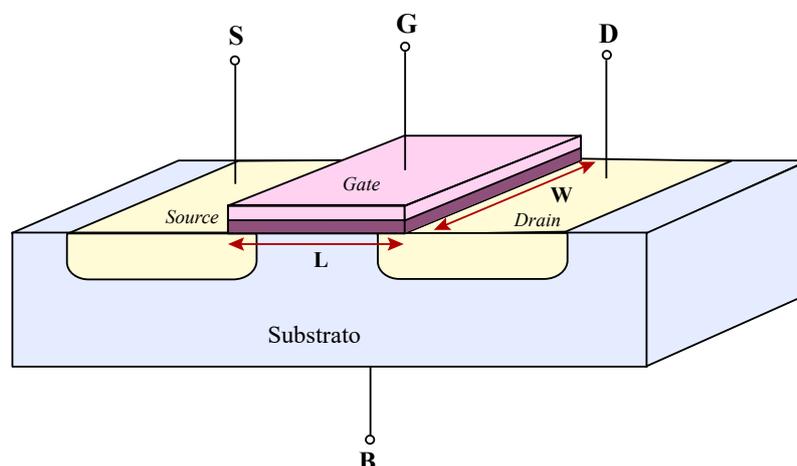
Seguindo o fluxo de projeto, parte-se para os dimensionamentos, visando a tensão máxima de saída do retificador com a carga  $R_L$  igual a 10 k $\Omega$ . Para isso, inicialmente dimensionaremos os transistores presentes no projeto que operam como diodos, alternando o seu estado entre condução ou corte na frequência do sinal de RF. Uma estrutura sim-

plificada do transistor MOS do tipo N (NMOS) é ilustrado na Figura 14. Desenvolvido através do *bulk* (substrato tipo P), o dispositivo constitui-se em duas regiões N fortemente dopadas, que compõe os terminais de *Source* e *Drain*. O *Gate* é constituído no caminho entre *Source-Drain*. Sua dimensão lateral é chamada de comprimento do canal ( $L$ ) e sua dimensão perpendicular é chamada de largura do canal ( $W$ ) (RAZAVI, 2005). Ainda, segundo Severo (2012), para dimensionarmos os transistores CMOS, devemos obter o valor de  $W$  e de  $L$  da tecnologia do transistor trabalhado. O transistor ainda pode ter a sua largura de canal aumentada através da utilização de múltiplos ( $M$ ) ou dedos (*fingers* -  $N_f$ ). Por questões de simplicidade, neste trabalho apenas a associação com transistores múltiplos foi adotada para aumentar a largura equivalente do canal. Adicionalmente, neste projeto foram utilizados os transistores do tipo *Low- $V_T$*  para permitir a operação com tensões reduzidas.

### 3.2 Síntese do capítulo

Nesse capítulo foi demonstrada a metodologia baseada no conhecimento do projetista de CIs empregada neste projeto. Uma metodologia de análise de conversores RF-DC também é abordada. Foi definida a tecnologia empregada e seus demais critérios de projeto. Os devidos dimensionamentos também são descritos, considerando a teoria da tecnologia CMOS.

Figura 14 – Estrutura do transistor MOS.



Fonte: Adaptado de Razavi (2005).

## 4 PROJETO E RESULTADOS

### 4.1 Dimensionamento visando máximo de $V_{out}$

Nesta seção é demonstrado o dimensionamento do circuito visando maximizar a tensão de saída com carga quando a entrada possui um sinal RF com amplitude constante. Esta metodologia permite otimizar as variáveis de projeto (dimensão dos transistores e capacitores) com o intuito de melhorar a sensibilidade e eficiência de conversão.

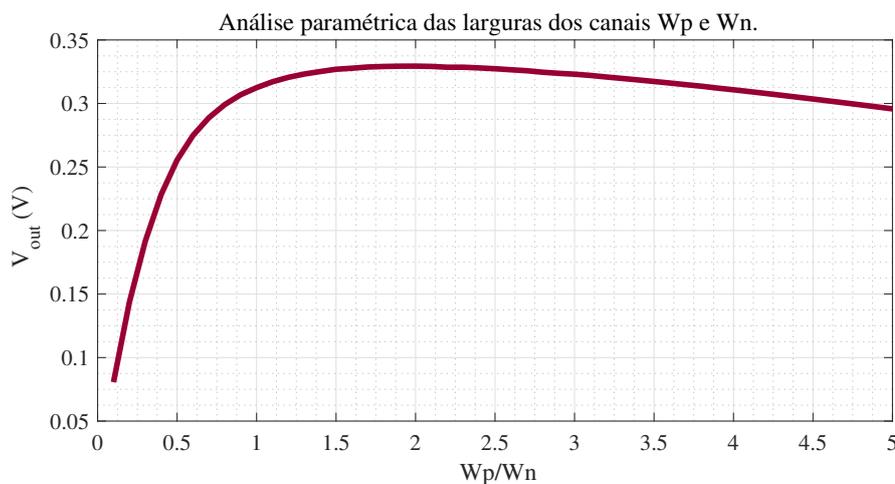
#### 4.1.1 Dimensionamento dos transistores

Seguindo o fluxo de um projeto de um circuito integrado analógico, após a escolha da topologia do circuito, parte-se para o dimensionamento. Os transistores de tecnologia CMOS, por sua vez, são os elementos principais nesses circuitos, e suas principais características são mencionadas no Capítulo 3. Nesta etapa, tomamos como base o modelo de otimização baseado em simulação elétrica. A largura do canal ( $W$ ) e o comprimento do canal ( $L$ ) são os únicos parâmetros capazes de serem alterados na fabricação de um dispositivo CMOS.

Em circuitos RF são utilizados transistores com o menor comprimento possível de canal para reduzir o valor das capacitâncias parasitas, as quais são proporcionais à área de porta (gate). Com isso, a largura do canal ( $W$ ) é responsável por condicionar a passagem de corrente no transistor. Consequentemente, para reduzir a resistência do transistor, deve-se aumentar essa largura de canal, proporcionando uma maior capacidade de condução de corrente.

Os transistores do tipo PMOS costumam apresentar menor capacidade de condução de corrente do que os transistores NMOS, em função da menor mobilidade de portadores no canal. Sendo assim, primeiramente o efeito da relação de  $W_p/W_n$  na tensão de saída foi analisado, considerando um estágio de retificação, onde  $W_p$  é a largura do canal do transistor PMOS e  $W_n$  é a largura do canal do transistor NMOS. Nesta análise foi adotado como referência  $W_n = 10 \mu\text{m}$ , valor típico adotado em trabalhos relacionados, e  $W_p$  foi alterado de  $5 \mu\text{m}$  a  $50 \mu\text{m}$ , resultando em uma variação de  $W_p/W_n$  na faixa de 0,5 a 5. A tensão de saída foi analisada com base na simulação transiente do retificador e a variação de  $W_p$  foi obtida utilizando a ferramenta de análise paramétrica (*parametric analysis*) do *software* Cadence® Virtuoso®.

Figura 15 – Nível da tensão de saída obtido a partir da variação da relação de  $W_p/W_n$ .



A Figura 15 mostra o resultado da variação da tensão de saída do retificador em função da relação de  $W_p/W_n$ . O valor máximo foi obtido com  $W_p/W_n = 2$ , mas observa-se um pequeno aumento após o valor de  $W_p/W_n = 1,3$ . Desta forma,  $W_p/W_n = 1,3$  é adotado neste trabalho, visando manter um nível de condução equivalente entre os transistores NMOS e PMOS e reduzir a área de porta.

Através da análise paramétrica da Figura 15, percebe-se que o retificador atinge aproximadamente uma tensão de saída de 0,33 V, não cumprindo a especificação de projeto primordial de tensão de saída de 0,4 V. Assim, para contornar esse cenário, o próximo passo do fluxo de projeto está na associação de transistores em paralelo através do parâmetro de multiplicidade (*multiplier* - M). Para melhorar a precisão da análise, foram adotados transistores NMOS e PMOS unitários com largura de canal igual a 1/10 do valor analisado anteriormente -  $W_n = 1 \mu\text{m}$  e  $W_p = 1,3 \mu\text{m}$ , mantendo a relação  $W_p/W_n = 1,3$  e a mesma quantidade de múltiplos. A variação paramétrica de M foi realizada e a variação na tensão de saída é demonstrada na Figura 16.

Dessa maneira, constata-se que a tensão de saída aumenta com o aumento de M na faixa de 1 a 21. Após isso, há uma queda significativa no valor da tensão de saída com o aumento de M, devido ao aumento das capacitâncias parasitas. Portanto, o valor de M igual a 21 é adotado neste projeto de forma a garantir a máxima tensão de saída.

A Figura 17 mostra a análise paramétrica executada para diversos valores de  $V_{in}$ . A partir desse gráfico, pode-se concluir que quando a tensão de entrada atinge 0,5 V, a tensão de saída ainda não alcança a especificada. Entretanto, quando  $V_{in}$  atinge 0,6 V a tensão de saída atinge a especificada, implicando assim que o sistema precisaria de uma tensão de entrada mais elevada.

Figura 16 – Sinal da tensão de saída gerado com a análise paramétrica do *multiplier* M.

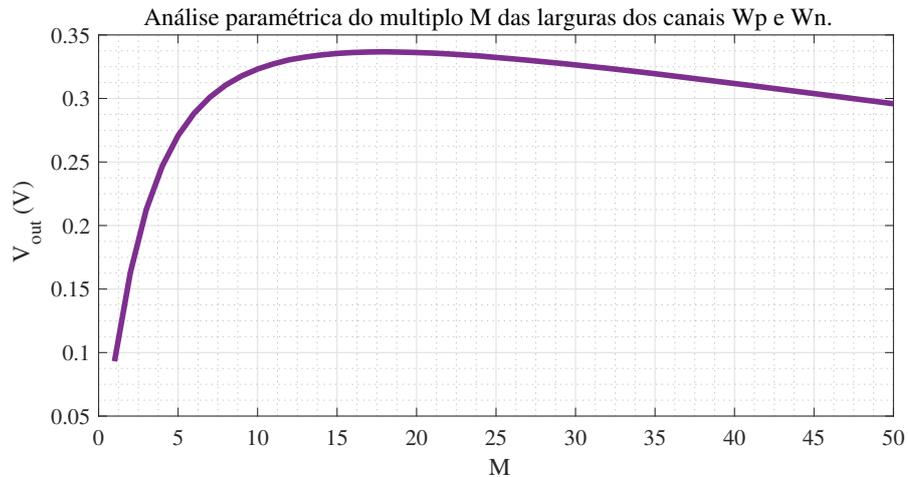
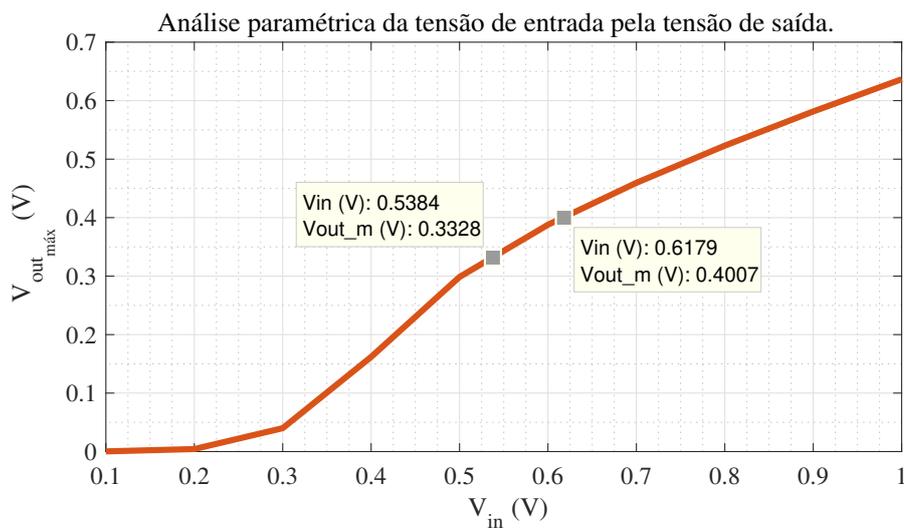


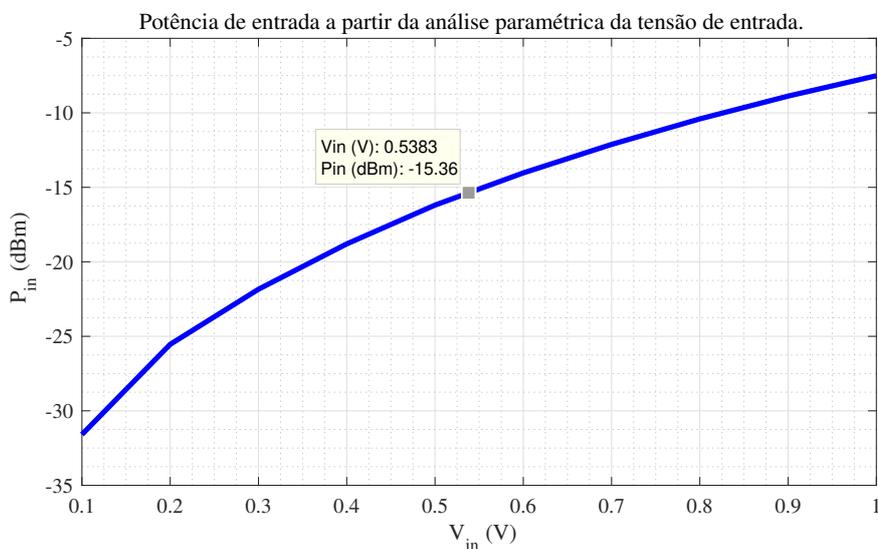
Figura 17 – Sinal da tensão de saída gerado com a análise paramétrica da tensão de entrada.



A partir do valor da tensão de entrada de 0,5 V, obtemos o valor da potência de entrada de -15,36 dBm, como mostra a Figura 18.

Baseado nesses resultados, conclui-se que estamos atingindo as especificações. Entretanto, pode-se observar que a amplitude da tensão de entrada precisaria ser um valor elevado, e como estamos visando o valor máximo que ele pode ser reduzido para atingir as especificações, faz-se o dimensionamento dos capacitores presentes no projeto. Futuramente a tensão de saída pode ser melhorada e reduzida a partir do projeto de casamento de impedância.

Figura 18 – Sinal da potência de entrada em relação ao valor obtido através da análise paramétrica da tensão de entrada.



#### 4.1.2 Dimensionamento dos capacitores

Os capacitores presentes no sistema, são necessários no princípio de funcionamento do retificador CMOS. A topologia de retificador com acoplamento cruzado analisada neste trabalho, mostrada na Figura 13, possui 3 valores de capacitâncias a serem dimensionadas. Em circuitos totalmente integrados, como neste trabalho, o dimensionamento adequado dos capacitores é muito importante para otimizar a área do circuito, uma vez que a área ocupada pelos capacitores costuma ser muito maior que a área ocupada pelos transistores.

Os capacitores  $C_{Fly}$  são utilizados na polarização do circuito, por  $RF_+$  e  $RF_-$ , para manter o nível de tensão de saída. Para verificar o efeito de  $C_{Fly}$  na tensão de saída, foi realizada a variação paramétrica de 1 pF a 15 pF. A Figura 19, mostra a tensão de saída obtida para diferentes valores para este capacitor.

Nessa verificação, podemos constatar a partir da curva obtida, que a tensão de saída aumenta significativamente quando a capacitância varia de 1 pF até 5 pF. Após 5 pF ainda é observado aumento, mas em uma taxa menor. Com isso, para manter um compromisso entre as especificações de tensão máxima de saída e área do circuito, foi escolhido o valor de 5 pF para  $C_{Fly}$ .

Os capacitores  $C_{le}$  e  $C_l$  também foram analisados com base na variação paramétrica, onde  $C_{le}$  variou de 1 pF a 15 pF e  $C_l$  variou de 100 pF a 500 pF, conforme mostra a Figura 20. O capacitor  $C_{le}$  não consta quando o circuito possui apenas um estágio de

retificação, apenas o capacitor  $C_l$  na saída  $V_{out}$ . Quando se deseja analisar o circuito em cascata, faz-se o uso do capacitor  $C_{le}$ , logo é considerado nesta seção.

Através desta Figura 20 pode-se verificar que não são observadas variações significativas na tensão de saída quando o valor de capacitância é alterado. Portanto, o valor adotado para estes capacitores foi de 1 pF. Este valor está na faixa dos valores adotados em trabalhos semelhantes da literatura e apresenta baixo *ripple* no sinal de saída.

## 4.2 Resultado final

Os valores obtidos para as variáveis de projeto do retificador por acoplamento cruzado considerando apenas um estágio de retificação é mostrado na Tabela 4. Os comprimentos dos canais, foram escolhidos como o menor valor da tecnologia para facilitar a operação em alta frequência. Já as larguras foram dimensionadas e otimizadas de forma a obter a maior tensão de saída. O capacitor  $C_{Fly}$  foi dimensionado para um valor com bom desempenho de carregamento visando a obtenção da tensão de saída, e os capacitores  $C_{le}$  e  $C_l$  foram adotados com valores mínimos de trabalhos semelhantes.

A análise da tensão de entrada mínima para gerar a tensão de saída requerida de 0,4 V, considerando um, três e cinco estágios de multiplicação e  $RL = 10 \text{ k}\Omega$  é demonstrada na Figura 21. Para estas simulações a amplitude do sinal RF de entrada foi ajustada de 0,1 a 2 V. Como esperado, foram obtidos maiores valores de tensão de saída com o aumento do número de estágios. Para manter a tensão de saída em 0,4 V é necessário um valor

Figura 19 – Sinal da tensão de saída gerado a partir da análise paramétrica do capacitor de carregamento dos estágios de retificação.

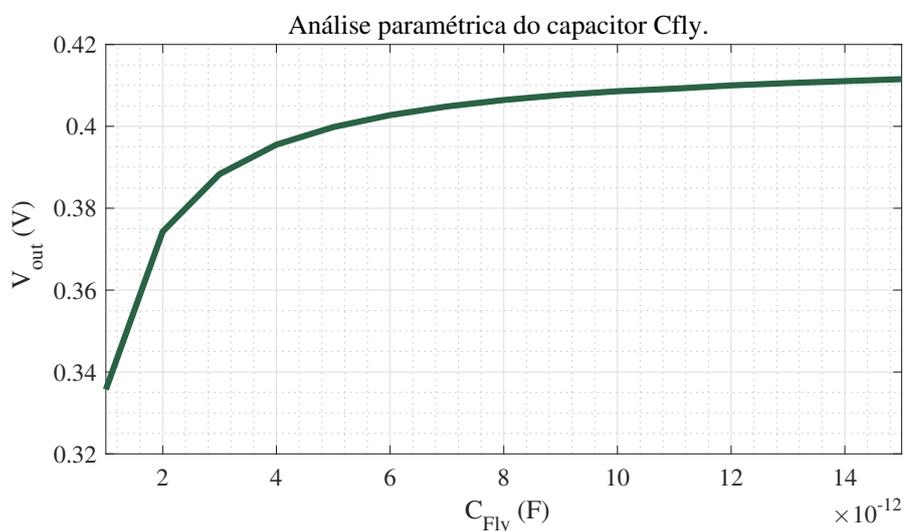
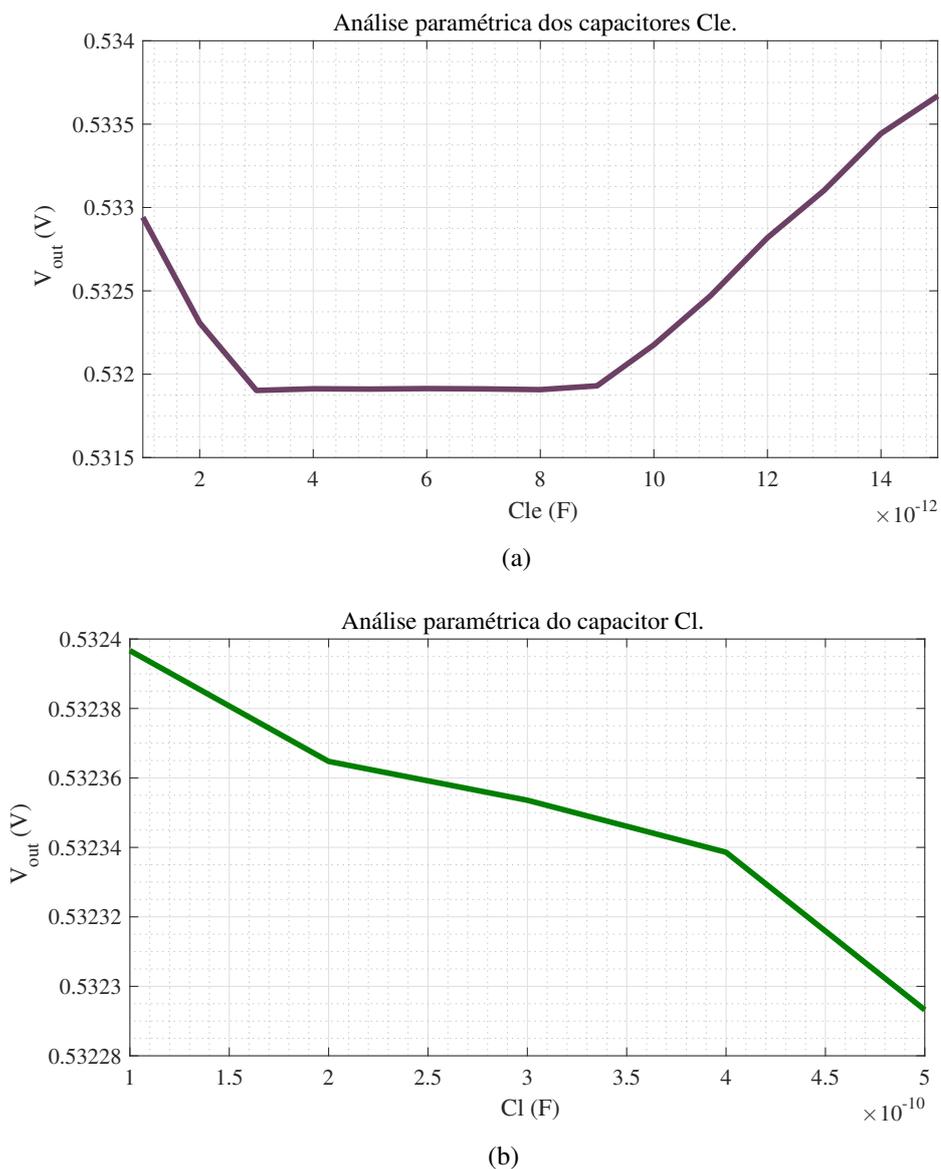


Tabela 4 – Variáveis do projeto obtidas através do dimensionamento visando a tensão de saída máxima para um estágio de retificação.

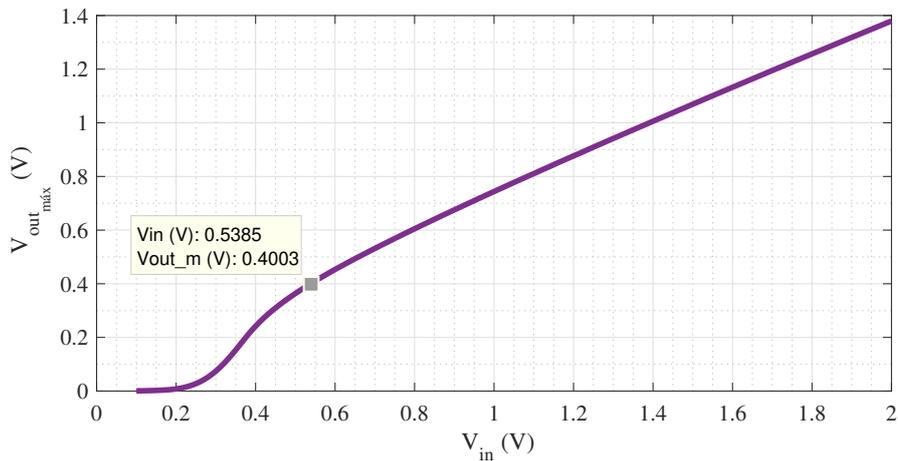
Variável de projeto	Valor obtido
$W_p$	27,3 $\mu\text{m}$
$L_p$	250 nm
$W_n$	21 $\mu\text{m}$
$L_n$	300 nm
$C_{le}$	1 pF
$C_{fly}$	5 pF
$C_l$	100 pF

Figura 20 – Sinal da tensão de saída gerado a partir da análise paramétrica dos capacitores  $C_{le}$  e  $C_l$ .

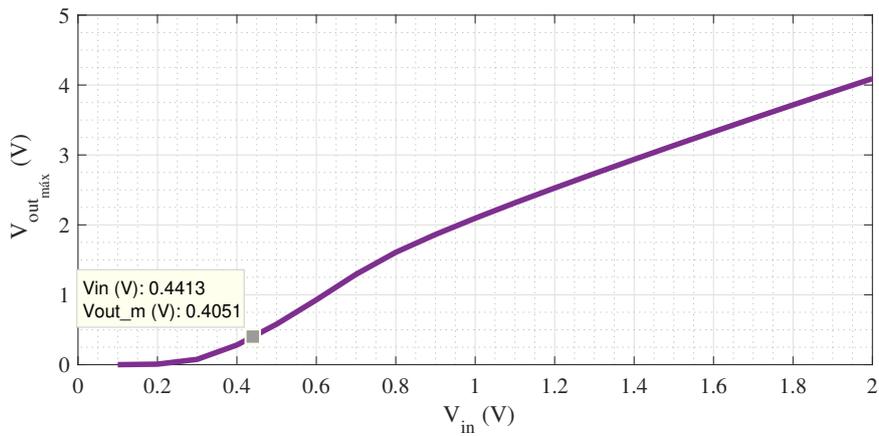


aproximadamente igual a 0,54 V quando apenas 1 estágio é utilizado e 0,44 V quando 3 ou 5 estágios são adotados.

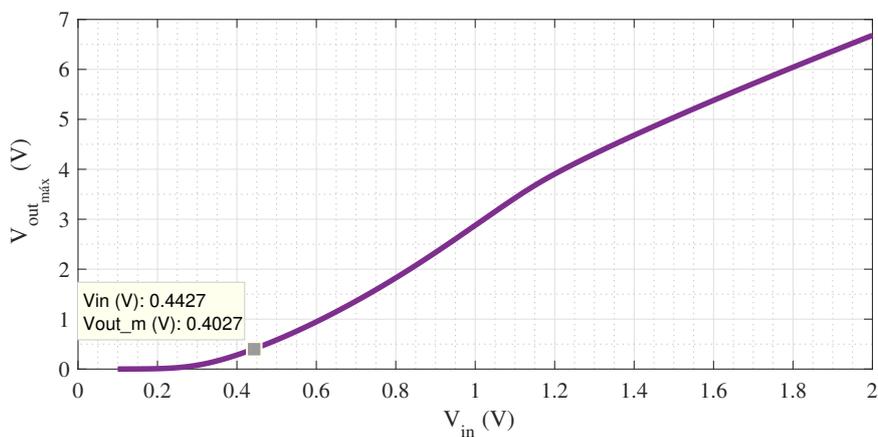
Figura 21 – Análise da tensão de entrada RF necessária para gerar tensão de saída de 0,4 V, para um, três e cinco estágios de retificação.



(a) 1 estágio.

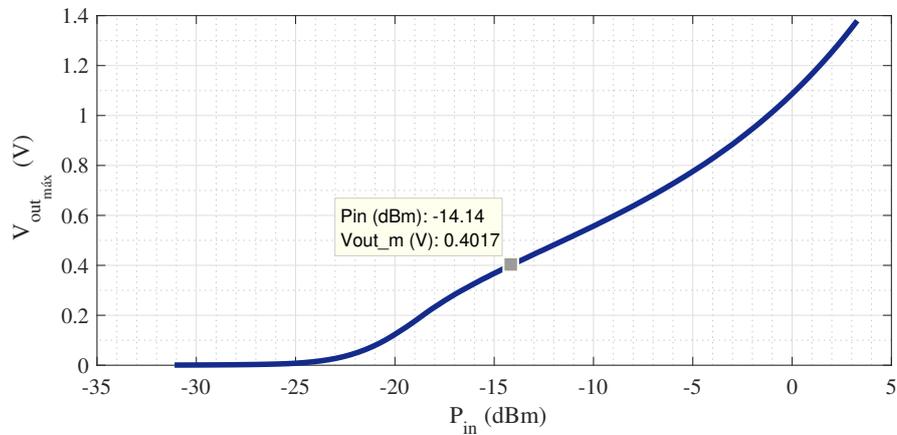


(b) 3 estágios.

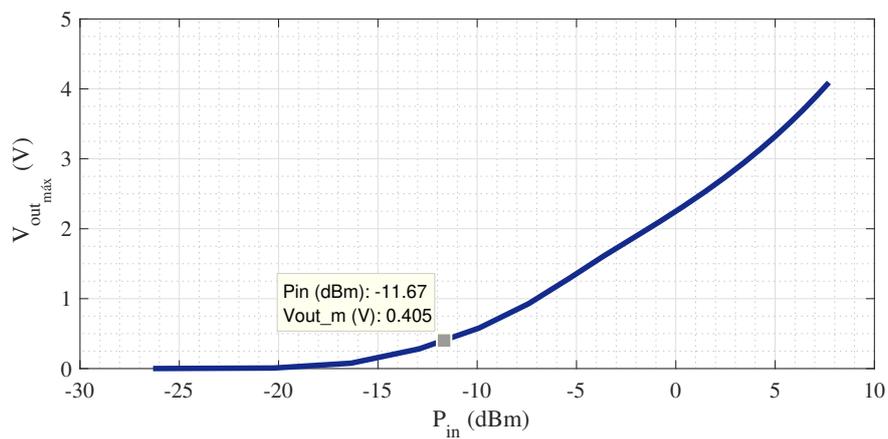


(c) 5 estágios.

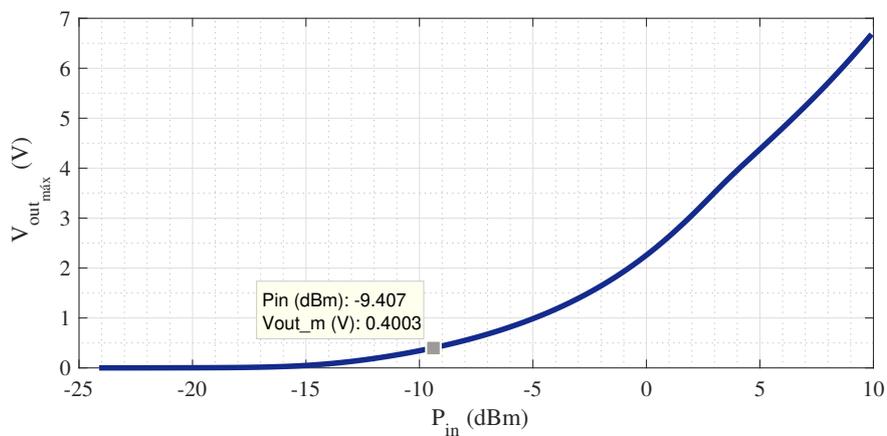
Figura 22 – Análise da potência de entrada a partir da tensão máxima de saída para um, três e cinco estágios de retificação.



(a) 1 estágio.



(b) 3 estágios.



(c) 5 estágios.

Porém, o nível de tensão de entrada não é o parâmetro mais importante quando são considerados sinais da faixa de RF, uma vez que este pode ser ajustado com os circuitos

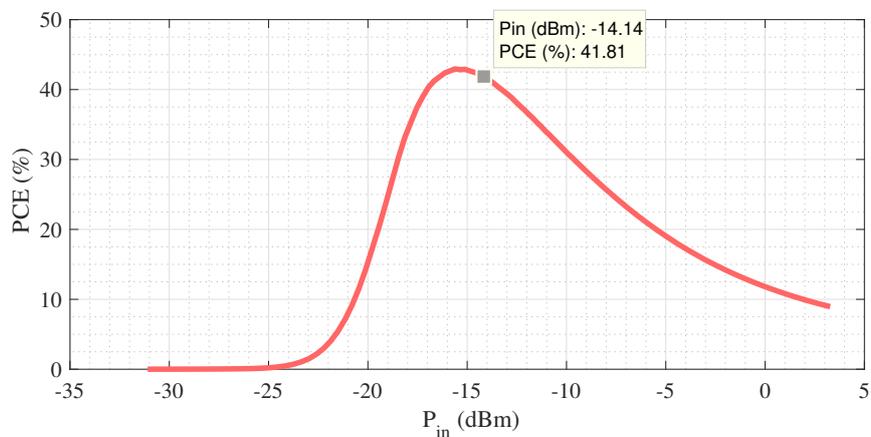
de casamento de impedância. Em função disso, foi analisado através da simulação o valor da potência de entrada quando a tensão de entrada varia de 0,1 a 2 V. O resultado desta análise é mostrado na Figura 22. Nestas figuras pode-se verificar que o nível de potência na entrada necessário para obter a tensão de saída de 0,4 V é para conversores com menor número de estágios, sendo iguais a -14,14 dBm, -11,67 dBm e -9,407 dBm quando 1, 3 e 5 estágios são considerados, respectivamente. Deste modo, percebe-se que a sensibilidade do circuito (menor nível de potência de entrada) para geração de tensões de saída ultra baixas pode ser consideravelmente aumentada quando apenas 1 estágio é utilizado. Tal observação é válida apenas para a faixa de ultra-baixa tensão, pois para tensões de saída acima de 0,6 V a sensibilidade aumenta à medida que o número de estágios aumenta.

Além da sensibilidade, a eficiência de conversão é muito importante para circuitos de RF-EH. Desta forma, com base na simulação elétrica, foram obtidas as curvas da eficiência de conversão de potência do retificador com 1, 3 e 5 estágios, com o uso da Equação 2, conforme mostra a Figura 23. Percebe-se que o valor máximo da eficiência de conversão é maior à medida que o número de estágios aumenta. O valor máximo de eficiência passa de cerca de 42% para cerca de 62% quando o número de estágios é elevado de 1 para 5. Por outro lado, quando a PCE é analisada para o nível de potência de entrada necessário para obter a tensão de 0,4 V na saída, verifica-se que a máxima eficiência é obtida no retificador com apenas 1 estágio. Neste ponto a PCE é cerca de 2 vezes maior que o valor obtido com 3 estágios e 3 vezes maior que o valor obtido com 5 estágios.

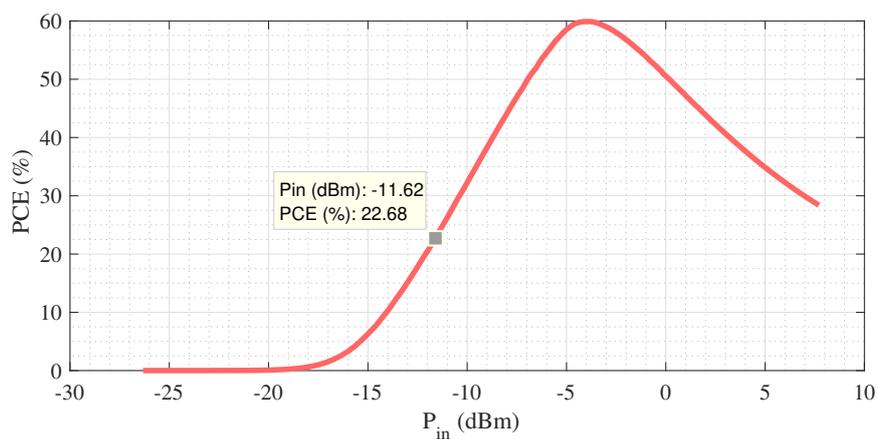
Por fim, é demonstrado o comportamento das curvas de tensão de saída no tempo, para diferentes valores de tensão de entrada. Primeiramente considerando  $RL = 10 \text{ k}\Omega$  através da Figura 24, onde é notório que para tensões de entrada maiores, o valor da tensão de saída diminui para menores estágios de multiplicação. Posteriormente considerando  $RL = 100 \text{ k}\Omega$  na Figura 25, essa análise também se satisfaz.

Em suma, todos os resultados obtidos pelo dimensionamento visando a maximização da tensão de saída é representado através da Tabela 5, considerando valores de carga iguais a  $10 \text{ k}\Omega$  (objetivo do projeto) e  $100 \text{ k}\Omega$ . Com base nos valores obtidos nesta tabela, pode-se verificar que a maior sensibilidade e melhor eficiência para tensão de saída de 0,4 V é mantida no circuito de único estágio com carga  $10 \text{ k}\Omega$  e  $100 \text{ k}\Omega$ .

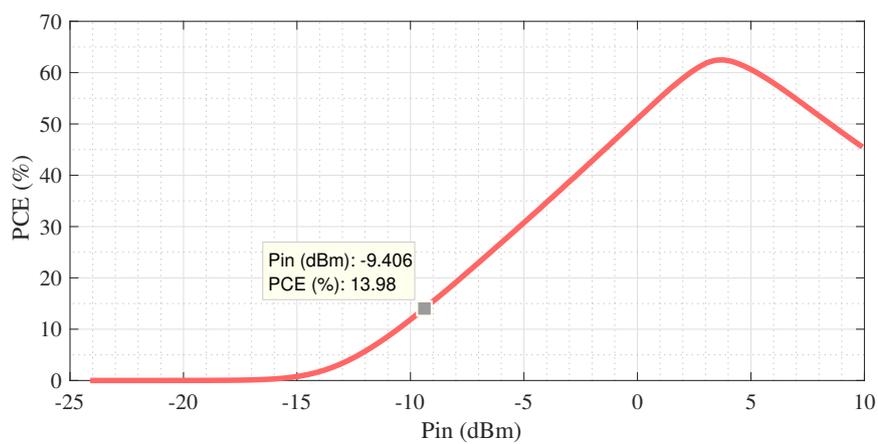
Figura 23 – Análise da eficiência de conversão de energia a partir da potência de entrada RF para um, três e cinco estágios de retificação.



(a) 1 estágio.

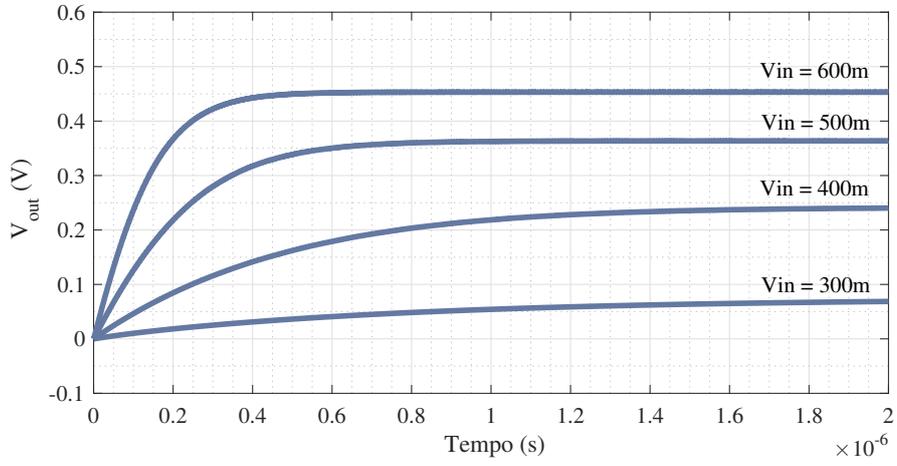


(b) 3 estágios.

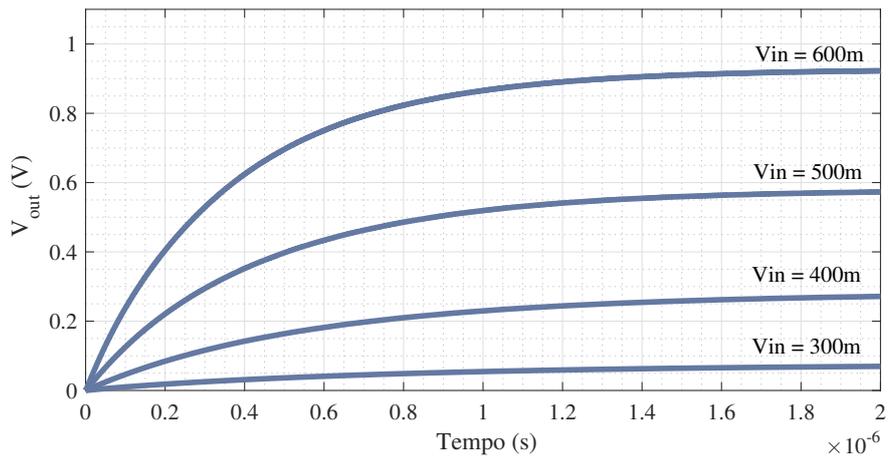


(c) 5 estágios.

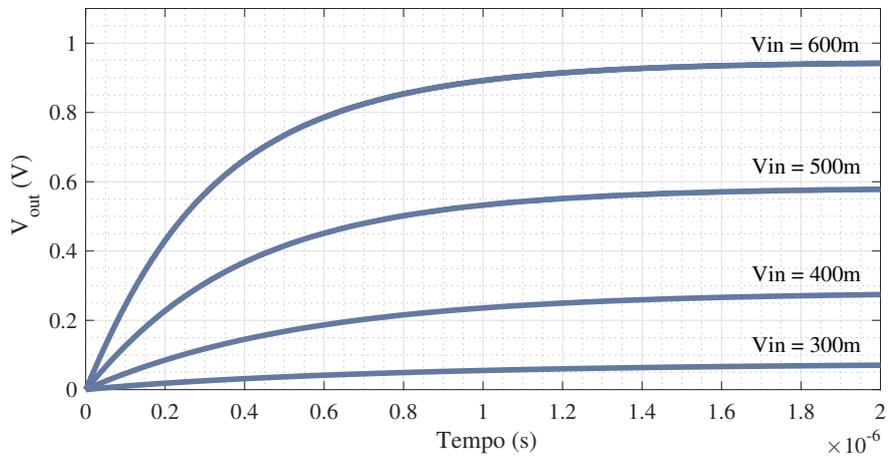
Figura 24 – Análise da tensão de saída no tempo para diferentes valores de tensão de entrada, considerando  $RL = 10k\Omega$ .



(a) 1 estágio.

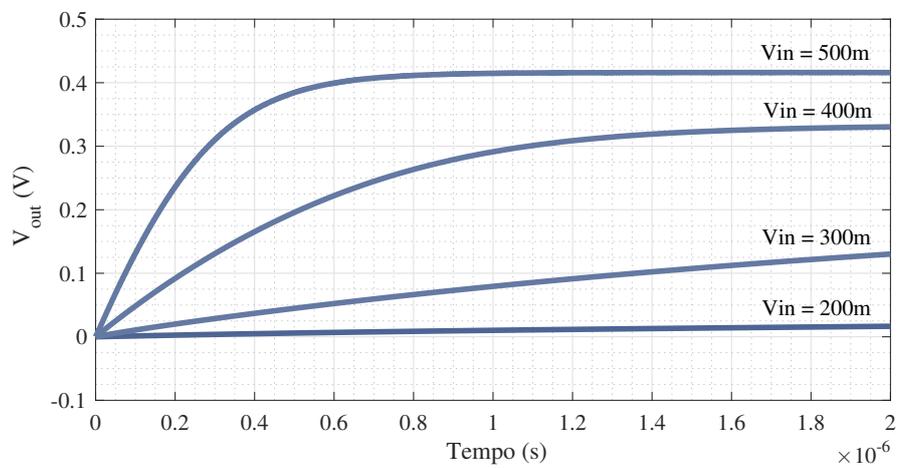


(b) 3 estágios.

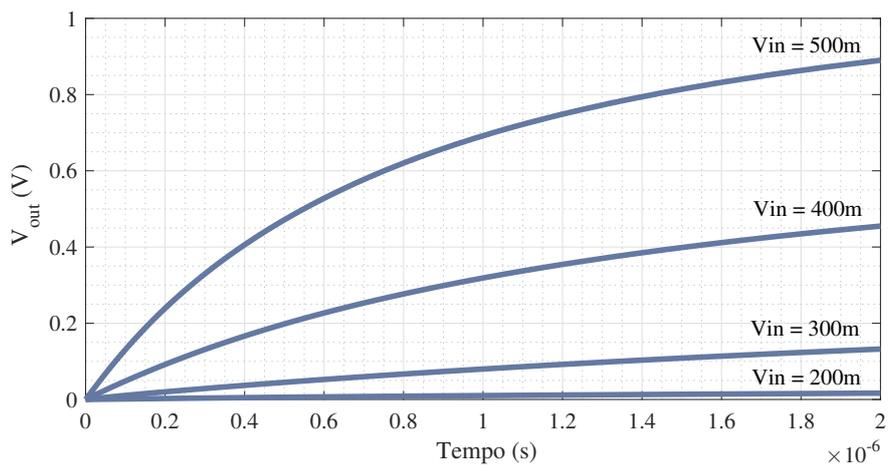


(c) 5 estágios.

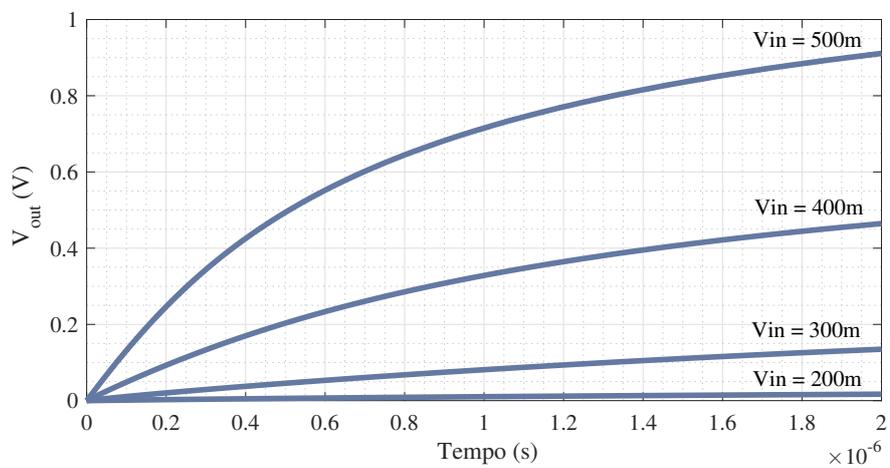
Figura 25 – Análise da tensão de saída no tempo para diferentes valores de tensão de entrada, considerando  $RL = 100 \text{ k}\Omega$ .



(a) 1 estágio.



(b) 3 estágios.



(c) 5 estágios.

Tabela 5 – Especificações do retificador projetado com um, três e cinco estágios para obter tensão de saída de 0,4 V, considerando cargas de 10 k $\Omega$  e 100 k $\Omega$ .

Nº de Estágios	$V_{in}$ (mV)	RL (k $\Omega$ )	$P_{in}$ (dBm)	$P_{out}$ ( $\mu$ W)	$V_{out_{max}}$ (mV)	PCE (%)
1	540	10	-14,13	16,13	401,66	41,81
	480	100	-16,21	1,60	400,26	6,69
3	441	10	-11,67	16,6	405,00	22,68
	335	100	-15,42	1,63	403,94	5,69
5	442	10	-9,40	16,04	400,58	13,98
	336	100	-13,20	1,67	409,44	3,51

#### 4.2.1 Comparação com trabalhos semelhantes

A Tabela 6 mostra o desempenho do retificador projetado em relação a outros trabalhos semelhantes disponíveis na literatura.

Pode-se verificar que dentre os trabalhos que apresentam nível de tensão de saída na faixa de ULV, o circuito proposto neste trabalho obteve o melhor nível de PCE. Por outro lado, o circuito apresenta a necessidade de maior nível de tensão de entrada.

Para a sensibilidade, o projeto de Andam, Canja e Capilayan (2017) que opera em ULV apresenta uma sensibilidade inferior ao resultado encontrado neste trabalho. Já o trabalho de (AL-ABSI et al., 2021) que apresenta a mesma tecnologia e a mesma frequência de operação, a sensibilidade apresenta ser melhor. Entretanto esse trabalho não está operando em ULV.

Tabela 6 – Comparação de desempenho com trabalhos semelhantes.

Referência	<b>Este trabalho</b>	[1]	[2]	[3]	[4]
Tecnologia	<b>180 nm</b>	65 nm	180 nm	180 nm	180 nm
Frequência	<b>915 MHz</b>	2,4 GHz	915 MHz	915 MHz	915 MHz
$V_{in}$	<b>540 mV</b>	200 mV	200 mV	-	-
$V_{out}$	<b>400 mV</b>	338 mV	500 mV	3,2 V	1,2 V
$P_{in}$	<b>-14,13 dBm</b>	-3,97 dBm	-1 dBm	-27,5 dBm	0 dBm
PCE	<b>41,81 %</b>	15,81 %	-	78,20 %	28,41 %
Nº de estágios	<b>1</b>	1	5	5	10

[1] - (ANDAM; CANJA; CAPILAYAN, 2017)

[2] - (CHOUHAN; HALONEN, 2013)

[3] - (AL-ABSI et al., 2021)

[4] - (MARTINS, 2021)

### **4.3 Síntese do capítulo**

Este capítulo apresentou o procedimento realizado para dimensionar os transistores e capacitores do retificador por acoplamento cruzado para maximizar o nível da tensão de saída. Foram realizadas diversas simulações para o circuito dimensionado. Através da Tabela 5 verifica-se que para atingir tensões ultra baixas a melhor opção se dá pela utilização de retificadores com apenas 1 estágio, resultando em melhores valores de sensibilidade e eficiência de conversão.

## 5 CONCLUSÃO

Este trabalho apresentou o desenvolvimento do projeto de um retificador por acoplamento cruzado utilizando tecnologia CMOS de 180 nm, sendo este o bloco principal da arquitetura de um sistema RF *Energy Harvesting* para aplicações IoT.

Foi também apresentado neste trabalho a fundamentação teórica e revisão bibliográfica das topologias de circuitos retificadores utilizados em baixa tensão. O retificador por acoplamento cruzado proposto por Kotani, Sasaki e Ito (2009) foi adotado neste trabalho devido a apresentar uma boa eficiência de conversão.

Foi apresentada neste trabalho uma metodologia de projeto para o dimensionamento dos transistores e capacitores do circuito baseado-se no conhecimento do projetista e utilizando ambiente de simulação elétrica. A metodologia empregada visa maximizar o nível de tensão de saída através da exploração das variáveis de projeto.

O circuito projetado foi simulado com cargas resistivas de 10 k $\Omega$  e 100 k $\Omega$  e os resultados demonstraram que não há a necessidade de se utilizar múltiplos estágios de conversão quando é desejado baixo nível de tensão de saída. Os resultados também mostraram que a utilização de apenas 1 estágio resultou nos melhores valores de sensibilidade e eficiência de conversão quando o nível de 0,4 V é desejado na saída. Até onde se sabe, esta é a primeira vez em que este tipo de análise é realizado em conversores por acoplamento cruzado para alimentação de circuitos de baixa potência operando com ultra-baixa tensão de alimentação.

### 5.1 Sugestão de trabalhos futuros

Para trabalhos futuros neste tema de pesquisa, sugere-se a realização da modelagem do transistor CMOS em níveis de inversão fraca e moderada para verificação analítica dos resultados obtidos neste trabalho. Além disso, sugere-se o estudo de circuitos de casamento de impedância para o sistema RF-EH, visando a maximização da tensão de entrada, o estudo de topologias que sejam capazes de reduzir a tensão de *threshold* dos transistores, explorar o dimensionamento dos transistores e capacitores visando a máxima eficiência. Por fim, sugere-se o desenvolvimento do *layout* do circuito e análise de simulações pós-layout.

## REFERÊNCIAS

- AL-ABSI, M. A. et al. A cmos rectifier employing body biasing scheme for rf energy harvesting. **IEEE Access**, IEEE, v. 9, p. 105606–105611, 2021.
- ALMEIDA, P. M. de. Condicionamento da energia solar fotovoltaica para sistemas interligados rede elétrica. **Universidade Federal de Juiz de Fora**, 2011.
- ANDAM, M. E. C.; CANJA, C. M. P.; CAPILAYAN, M. A. A design of self-biased cross coupled rectifier with integrated dual threshold voltage for rf energy harvesting application. **Procedia Computer Science**, Elsevier, v. 109, p. 384–391, 2017.
- AWAD, M.; BENECH, P.; DUCHAMP, J. Design of dickson rectifier for rf energy harvesting in 28 nm fd-soi technology. In: IEEE. **2018 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS)**. [S.l.], 2018. p. 1–4.
- BARROCA, N. et al. Antennas and circuits for ambient rf energy harvesting in wireless body area networks. In: **2013 IEEE 24th Annual International Symposium on Personal, Indoor, and Mobile Radio Communications (PIMRC)**. [S.l.: s.n.], 2013. p. 532–537.
- CAVALLI, O. Internet das coisas e inovação na américa latina. **SI: sn**, 2016.
- CHOUHAN, S. singh; HALONEN, K. A modified cross coupled rectifier based charge pump for energy harvesting using rf to dc conversion. In: IEEE. **2013 European Conference on Circuit Theory and Design (ECCTD)**. [S.l.], 2013. p. 1–4.
- DAI, H. et al. A review and design of the on-chip rectifiers for rf energy harvesting. In: **2015 IEEE International Wireless Symposium (IWS 2015)**. [S.l.: s.n.], 2015. p. 1–4.
- HATA, M. Empirical formula for propagation loss in land mobile radio services. **IEEE transactions on Vehicular Technology**, IEEE, v. 29, n. 3, p. 317–325, 1980.
- KAROLAK, D. et al. Design comparison of low-power rectifiers dedicated to rf energy harvesting. In: IEEE. **2012 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012)**. [S.l.], 2012. p. 524–527.
- KOTANI, K.; SASAKI, A.; ITO, T. High-efficiency differential-drive cmos rectifier for uhf rfids. **IEEE Journal of Solid-State Circuits**, IEEE, v. 44, n. 11, p. 3011–3018, 2009.
- MANSANO, A.; BAGGA, S.; SERDIJN, W. A high efficiency orthogonally switching passive charge pump rectifier for energy harvesters. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 60, n. 7, p. 1959–1966, 2013.
- MANSANO, A. R. Radio frequency energy harvesting and low power data transmission for autonomous wireless sensor nodes. 2016.
- MARTINS, R. D. D. Projeto e análise de circuitos de coleta de energia de rádio frequência para aplicações iot. Universidade do Vale do Rio dos Sinos, 2021.

PIÑUELA, M.; MITCHESON, P. D.; LUCYSZYN, S. Ambient rf energy harvesting in urban and semi-urban environments. **IEEE Transactions on Microwave Theory and Techniques**, v. 61, n. 7, p. 2715–2726, 2013.

RADIOM, S.; VANDENBOSCH, G.; GIELEN, G. Impact of antenna type and scaling on scavenged voltage in passive rfid tags. In: IEEE. **2008 International Workshop on Antenna Technology: Small Antennas and Novel Metamaterials**. [S.l.], 2008. p. 442–445.

RAZAVI, B. **Design of analog CMOS integrated circuits**. [S.l.]: , 2005.

RODRIGUES, J. F. et al. Circuito rf para reaproveitamento de energia sem fio. Florianópolis, SC, 2017.

SANGARE, F.; HAN, Z. Rf energy harvesting networks: Existing techniques and hardware technology. In: **Wireless Information and Power Transfer: A New Paradigm for Green Communications**. [S.l.]: Springer, 2018. p. 189–239.

SANTOS, B. P. et al. Internet das coisas: da teoria à prática. 2016.

SEVERO, L. C. Uma ferramenta para o dimensionamento automático de circuitos integrados analógicos considerando análise de produtividade. Universidade Federal do Pampa, 2012.

SEVERO, L. C.; NOIJE, W. A. M. V. **Ultra-low Voltage Low Power Active-RC Filters and Amplifiers for Low Energy RF Receivers**. [S.l.]: Springer Nature, 2021.

TRAN, L.-G.; CHA, H.-K.; PARK, W.-T. Rf power harvesting: a review on designing methodologies and applications. **Micro and Nano Systems Letters**, Springer, v. 5, n. 1, p. 1–16, 2017.

WENTZLOFF, D. D. et al. Ultralow-power receivers: Overcoming battery limitations to facilitate self-powered operation. **IEEE Solid-State Circuits Magazine**, v. 13, n. 3, p. 33–37, 2021.

WONG, Y. et al. Dickson charge pump rectifier using ultra-low power (ulp) diode for ban applications. **Journal of Telecommunication, Electronic and Computer Engineering (JTEC)**, v. 8, n. 9, p. 77–82, 2016.

YAN, H. et al. An integration scheme for rf power harvesting. In: **Proc. STW Annual Workshop on Semiconductor Advances for Future Electronics and Sensors**. [S.l.: s.n.], 2005. v. 2005, p. 64–66.