

MATHEUS CORTEZ

**Projeto de um Regulador de Tensão em
Tecnologia CMOS de 180 nm para Circuitos
Biomédicos Implantáveis que Empregam
Transferência de Energia Sem Fio (WPT)**

Alegrete, RS

12 de dezembro de 2017

MATHEUS CORTEZ

**Projeto de um Regulador de Tensão em Tecnologia
CMOS de 180 nm para Circuitos Biomédicos
Implantáveis que Empregam Transferência de Energia
Sem Fio (WPT)**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para a obtenção do título de bacharel em Engenharia Elétrica.

Área de concentração: Microeletrônica

Universidade Federal do Pampa – Unipampa

Curso de Engenharia Elétrica

Orientador: Prof. Me. Paulo César Comassetto de Aguirre

Alegrete, RS

12 de dezembro de 2017

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

C828p Cortez, Matheus

Projeto de um Regulador de Tensão em Tecnologia CMOS de 180
nm para Circuitos Biomédicos Implantáveis que Empregam
Transferência de Energia Sem Fio (WPT) / Matheus Cortez.
75 p.

Trabalho de Conclusão de Curso(Graduação)-- Universidade
Federal do Pampa, ENGENHARIA ELÉTRICA, 2017.

"Orientação: Paulo César Comassetto de Aguirre".

1. Regulador de Tensão. 2. Amplificador Operacional. 3.
Circuito Referência de Tensão. 4. Tecnologia CMOS. 5.
Circuitos Integrados Analógicos. I. Título.

MATHEUS CORTEZ

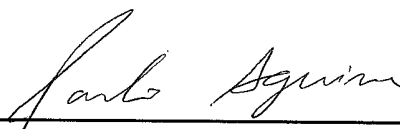
PROJETO DE UM REGULADOR DE TENSÃO EM TECNOLOGIA
CMOS DE 180 nm PARA CIRCUITOS BIOMÉDICOS IMPLANTÁVEIS
QUE EMPREGAM TRANSFERÊNCIA DE ENERGIA SEM FIO (WPT)

Trabalho de Conclusão de Curso apresentado
ao Curso de Engenharia Elétrica da Univer-
sidade Federal do Pampa, como requisito
parcial para a obtenção do título de bacharel
em Engenharia Elétrica.

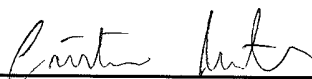
Área de concentração: Microeletrônica

Trabalho de conclusão de curso defendido e aprovado em: 29 de novembro de 2017.

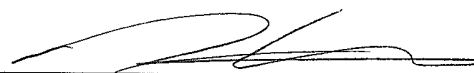
Banca examinadora:



Prof. Me. Paulo César Comassetto de
Aguirre
Orientador



Prof. Me. Cristian Müller
UNIPAMPA



Prof. Dr. Alessandro Gonçalves Girardi
UNIPAMPA

Resumo

Este trabalho apresenta o projeto de um regulador de tensão do tipo *low-dropout* em tecnologia CMOS de 180 nm para aplicação em circuitos biomédicos implantados que possuem a tecnologia de transferência de energia sem fio à uma frequência de operação de 13,56 MHz. O regulador de tensão analisado é composto por um elemento de passagem, uma referência de tensão do tipo *bandgap*, um amplificador de erro e uma rede de realimentação. O princípio de funcionamento de cada bloco é analisado em detalhes, e após é apresentado o projeto destes blocos levando em consideração o seu impacto no desempenho do regulador de tensão. Efetuou-se o projeto de duas referências de tensão do tipo *bandgap* e dois amplificadores operacionais de transcondutância, sendo um de um único estágio e o outro de dois estágios com compensação *Miller*. Com isto, foi possível obter quatro reguladores de tensão. Os circuitos projetados foram simulados em nível de esquemático com o simulador Spectre de modo a avaliar as principais métricas de desempenho do regulador de tensão. A configuração que utiliza um OTA-*Miller* como amplificador de erro e um circuito de tensão de referência do tipo *bandgap* com amplificador operacional possui uma tensão de saída de 1,5 V para uma corrente de carga de 500 μA e uma queda de tensão de 300 mV. O regulador de tensão projetado consome 65,44 μA e apresenta uma atenuação a ruídos provenientes da fonte de alimentação (*PSRR*) de 73,96 dB em baixas frequências e 14,78 dB em 13,56 MHz. Para avaliar o comportamento do regulador de tensão, e dos blocos que o compõem, sob variações de processo foram efetuadas simulações de Monte Carlo com 1000 rodadas e simulação de *corners*. O regulador de tensão projetado foi comparado com demais reguladores projetados em tecnologia CMOS de 180 nm disponíveis na literatura, obtendo desempenho similar quando considerados a tensão de *dropout* e a atenuação a ruídos da fonte de alimentação (*PSRR*).

Palavras-chave: Tecnologia CMOS. Regulador de tensão. Amplificador operacional. Circuito referência de tensão. Rejeição a ruídos da fonte. Transferência de energia sem fio.

Abstract

This work presents the design of a low-dropout voltage regulator in 180 nm CMOS technology for application in implanted biomedical circuits with wireless energy transfer at an operating frequency of 13.56 MHz. The analyzed voltage regulator is composed of a pass element, a bandgap type voltage reference, an error amplifier and a feedback network. The operating principle and the design procedures of those individual circuits taking into account its impact on the voltage regulator performance are given. The design of two bandgap voltage references and two transconductance operational amplifiers (OTAs) was performed, one being a single stage and the other a two stage with Miller compensation. Thus, it was possible to design four voltage regulators. The designed circuits were simulated at the schematic level with the Spectre simulator to evaluate the voltage regulator performance. The configuration using an OTA-Miller as an error amplifier and a bandgap voltage reference circuit with an operational amplifier has an output voltage of 1.5 V presenting a dropout voltage of 300 mV for a load current of 500 μA . The designed voltage regulator drains 65.44 μA and exhibits a power supply rejection ratio (PSSR) of 73.96 dB at low frequencies and 14.78 dB at 13.56 MHz. Also, corner and Monte Carlo simulations with 1000 runs were performed to evaluate the voltage regulator behavior under process variations. The designed voltage regulator was compared with related works designed in 180 nm CMOS technology and achieve similar performance when considering dropout voltage and PSRR.

Key-words: CMOS technology. Voltage regulator. Operational amplifier. Voltage reference circuit. Rejection of source noise. Wireless Power Transfer

Lista de ilustrações

Figura 1 – Modelo simples de regulador.	19
Figura 2 – Estrutura básica realimentada.	19
Figura 3 – Regulador linear básico.	20
Figura 4 – Regiões de operação do regulador de tensão.	22
Figura 5 – Representação gráfica da regulação de linha de um regulador.	23
Figura 6 – Representação gráfica da regulação de carga de um regulador.	23
Figura 7 – Tensão de saída x Corrente de saída.	24
Figura 8 – Amplificador operacional ideal.	26
Figura 9 – múltiplos estágios amplificadores.	26
Figura 10 – Análise do ganho em frequência de A_1 , A_2 e A_V	27
Figura 11 – OTA <i>Miller</i>	27
Figura 12 – (a) simbologia do transistor NMOS e (b) seu modelo de pequenos sinais simplificado.	28
Figura 13 – Modelo de pequenos sinais equivalente do OTA- <i>Miller</i>	29
Figura 14 – Efeito <i>Miller</i> : (a) Capacitância de compensação <i>Miller</i> e (b) efeito da capacitância no circuito.	30
Figura 15 – Esquema de obtenção da tensão de referência.	36
Figura 16 – Obtenção da tensão CTAT com PNP.	36
Figura 17 – Exemplo de $V_{EB} \times T$	38
Figura 18 – Obtenção de PTAT. (a) Utilizando dois transistores. (b) Utilizando n transistores em paralelo.	39
Figura 19 – Topologia I de tensão se referência do tipo <i>bandgap</i>	41
Figura 20 – Espelhos autopolarizados	41
Figura 21 – <i>bandgap</i> com o circuito de <i>start-up</i>	43
Figura 22 – Topologia II de referência de tensão do tipo <i>bandgap</i>	44
Figura 23 – Esquema simplificado dos parâmetros especificados.	47
Figura 24 – Esquemático utilizado para obtenção das dimensões.	48
Figura 25 – Simulação de Monte Carlo para V_{REF}	49
Figura 26 – (a) $PSRR$ (b) Regulação de linha	51
Figura 27 – Resultados da simulação para (A) o $PSRR$ e (B) V_{REF}	52
Figura 28 – (A) ganho e (B) Fase do circuito.	54
Figura 29 – Rejeição de ruídos da fonte de alimentação ($PSRR$).	55
Figura 30 – Simulação de Monte Carlo para (A) o ganho e (B) o GBW	56
Figura 31 – (a) $PSRR$ e (b) Regulação de linha da topologia II.	57
Figura 32 – Resultados da simulação para (a) o $PSRR$ e (b) V_{REF}	58

Figura 33 – (A) ganho e (B) Fase do OTA= <i>Miller</i> empregado no projeto do regulador de tensão.	60
Figura 34 – Rejeição de ruídos da fonte de alimentação (<i>PSRR</i>).	60
Figura 35 – Simulação de Monte Carlo para (A) o ganho e (B) o <i>GBW</i>	61
Figura 36 – Fonte de corrente.	62
Figura 37 – Rede de realimentação.	63
Figura 38 – Simulação de Monte de Carlo da rede de realimentação.	64
Figura 39 – Simulação das configurações de reguladores.	65
Figura 40 – (a) <i>PSRR</i> e (b) regulação de linha.	66
Figura 41 – (a) Tensão de ruído na saída e (b) Tempo de acomodação do regulador de tensão.	66
Figura 42 – Simulação de Monte Carlo de (a) <i>PSRR</i> e (b) tensão de saída.	67

Lista de tabelas

Tabela 1 – Especificações do regulador.	47
Tabela 2 – Parâmetros do projeto.	48
Tabela 3 – Parâmetros do transistor PMOS.	49
Tabela 4 – Resultados de V_{REF} para os <i>corners</i>	50
Tabela 5 – Tamanho dos transistores da topologia I.	51
Tabela 6 – Parâmetros de desempenho do circuito	51
Tabela 7 – Resultados do $PSRR$ para os <i>corners</i>	52
Tabela 8 – Resultados de V_{REF} para os <i>corners</i>	53
Tabela 9 – Dimensionamento do circuito.	53
Tabela 10 – Dimensionamento dos transistores do amplificador empregado na topologia II.	54
Tabela 11 – Resumo dos resultados.	55
Tabela 12 – Resultados do ganho A_V para os <i>corners</i>	56
Tabela 13 – Resultados do GBW para os <i>corners</i>	56
Tabela 14 – Parâmetros de desempenho do circuito	57
Tabela 15 – Resultados do $PSRR$ para os <i>corners</i>	58
Tabela 16 – Resultados de V_{REF} para os <i>corners</i>	58
Tabela 17 – Componentes do circuito.	59
Tabela 18 – Resumo dos resultados.	60
Tabela 19 – Resultados do ganho A_V para os <i>corners</i>	61
Tabela 20 – Resultados do GBW para os <i>corners</i>	61
Tabela 21 – dimensionamento da fonte de corrente.	62
Tabela 22 – Dimensão dos transistores.	63
Tabela 23 – Resumo dos resultados.	63
Tabela 24 – Resultados de $V_{amostra}$ para os <i>corners</i>	64
Tabela 25 – Resultados das configurações dos reguladores.	65
Tabela 26 – Resumo dos resultados do regulador de tensão.	67
Tabela 27 – Resultados do $PSRR$ para os <i>corners</i>	68
Tabela 28 – Resultados da tensão de saída para os <i>corners</i>	68
Tabela 29 – Comparações com demais reguladores.	68

Lista de abreviaturas e siglas

AIMD	<i>Active Implantable Medical Device</i> , Dispositivos Médicos Implantáveis Ativos
WPT	<i>Wireless Power Transfer</i> , Transferência de Energia Sem Fio
LDO	<i>Low Drop-Out</i> , Baixa Queda de Tensão
HDO	<i>High Drop-Out</i> , Alta Queda de Tensão
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> , Semicondutor Metal-Óxido complementar
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
OTA-Miller	<i>Operational Transconductance Amplifier Miller Compensation</i> , Amplificador Operacional de Transcondutância com Compensação <i>Miller</i>
PSRR	<i>Power Supply Rejection Ratio</i> , Rejeição à Ruídos da Fonte de Alimentação
RMS	<i>Root Mean Square</i> , Raíz quadrada média
Amp Op	Amplificador Operacional
NMOS	<i>N-type MOSFET</i>
PMOS	<i>P-type MOSFET</i>
V_t	Tensão de <i>threshold</i>
Gm	Transcondutância
W	<i>Width</i> , Largura
L	<i>Length</i> , Comprimento
V_A	tensão de Early
GBW	<i>Gain-Bandwidth Product</i> , Produto ganho largura de banda
PM	<i>Phase Margin</i> , Margem de Fase
SR	<i>Slew-Rate</i> , Taxa de Velocidade

PTAT	<i>Proportional To Absolute Temperature</i> , Proporcional a Temperatura Ambiente
CTAT	<i>Complementary To Absolute Temperature</i> , Complementar a Temperatura Ambiente
LR	<i>Line Regulation</i> , Regulação de Linha
OTA	<i>Operational Transconductor Amplifier</i> , Amplificador Operacional de Transcondutância

Sumário

1	Introdução	15
1.1	Organização do trabalho	16
2	Regulador de tensão	19
2.1	Blocos do regulador	20
2.1.1	Circuito de referência de tensão	20
2.1.2	Amplificador de Erro	20
2.1.3	A rede de realimentação	21
2.1.4	Elemento de passagem	21
2.2	Sequência de funcionamento de um regulador de tensão	21
2.3	Grandezas de desempenho do regulador de tensão	22
2.3.1	Tensão de <i>Dropout</i>	22
2.3.2	Regulação de linha	22
2.3.3	Regulação de carga	23
2.3.4	Rejeição de fonte (PSRR)	24
2.3.5	Tensão de ruído na saída	24
3	Amplificador operacional	25
3.1	Amplificador ideal	25
3.2	Amplificador de múltiplos estágios	26
3.2.1	Amplificador de dois estágios	27
3.2.2	Descrição da topologia	28
3.2.3	Análise de pequenos sinais	28
3.2.4	Análise em frequência	30
3.3	Grandezas de desempenho do OTA- <i>Miller</i>	31
3.3.1	<i>Slew-rate</i>	32
3.4	Procedimento de projeto para o OTA- <i>Miller</i>	32
4	Referência de tensão bandgap	35
4.1	Conceito do <i>bandgap</i>	35
4.2	Componente de tensão CTAT	36
4.3	Componente de tensão PTAT	38
4.4	Referência de tensão do tipo <i>bandgap</i>	39
4.5	Topologia I	40
4.5.1	<i>Start-up</i>	42
4.5.1.1	Circuito de <i>Start-up</i>	42
4.6	Topologia II	43
4.6.1	Funcionamento do circuito	44
4.7	Características do <i>bandgap</i>	44

4.7.1	Regulação de linha	45
4.8	Projeto referência de tensão do tipo <i>bandgap</i>	45
4.8.1	Topologia I	45
4.8.2	Topologia II	45
5	Resultados	47
5.1	Elemento de passagem	47
5.1.1	Monte Carlo	49
5.1.2	<i>Corner</i>	49
5.2	Projeto da referência de tensão do tipo <i>bandgap</i>	50
5.2.1	Topologia I	50
5.2.1.1	Resultados da topologia I	51
5.2.1.2	Monte Carlo	52
5.2.1.3	<i>Corner</i>	52
5.2.2	Topologia II	53
5.2.2.1	Amplificador operacional	53
5.2.2.2	Resultados da topologia II	57
5.2.2.3	Monte Carlo	57
5.2.2.4	<i>Corner</i>	58
5.3	Amplificador de erro	58
5.3.1	Resultados do OTA- <i>Miller</i>	59
5.3.2	Monte Carlo e <i>Corners</i>	60
5.4	Fonte de corrente	61
5.5	Rede de realimentação	62
5.6	Regulador de tensão	64
5.6.1	Monte Carlo e <i>corners</i>	67
5.6.2	Comparação de resultados	68
6	Conclusão	71
6.1	Trabalhos futuros	71
	Referências	73

1 Introdução

A interação entre a tecnologia e a medicina, como é o caso dos circuitos provenientes da eletrônica/microeletrônica e biossensores, permitem o desenvolvimento de dispositivos de diagnóstico capazes de monitorar patógenos e doenças. Esses circuitos podem ser colocados externamente ou implantados no corpo humano (CREPALDI et al., 2012).

Os dispositivos que se pretende implantar total ou parcialmente, de forma médica ou cirúrgica em humanos e que pretende permanecer implantados após o procedimento, são chamados de dispositivos médicos implantáveis ativos (*Active Medical Implantable Devices* - AMID). Os AMIDs podem possuir armazenadores de energia ou podem ser alimentados via links de RF (LANDT, 2005).

Os AMIDs que realizam análises no paciente, transmitem os resultados e utilizam alimentação via links de RF são chamados de *lab-on-chip* (COLOMER-FARRARONS et al., 2009). Uma vez que o dispositivo implantado faz parte de um sistema de aquisição de dados biológicos (biotelemetria), ele deve atender a restrições importantes, como tamanho reduzido, baixo consumo de energia e estabilidade da tensão.

Um dos grandes problemas dos AMIDs é a vida útil de suas baterias. Estes dispositivos por serem implantados não podem possuir grandes armazenadores de cargas e a reposição da carga dessa bateria é realizada através de intervenção cirúrgica. Com a finalidade de evitar o procedimento cirúrgico para troca do armazenador de energia, uma solução adequada é a utilização da tecnologia de transferência de energia sem fio (*wireless power transfer* - WPT).

Na tecnologia WPT, a energia é transferida de uma bobina emissora externa ao implante para uma bobina localizada no implante e assim por acoplamento ressonante magnético é feita a transferência de energia (CAMPI et al., 2014). No circuito receptor, localizado no implante, a energia elétrica CA com flutuações é retificada e estabilizada por um regulador de tensão para posteriormente alimentar os circuitos funcionais ou recarregar as baterias dos AIMDs (LU; KI; YI, 2011).

Em aplicações reais dos AIMDs, o acoplamento magnético varia conforme a distância e o alinhamento entre as bobinas, uma vez que, a espessura de pele, gordura e músculo variam de um paciente para outro. A carga pode mudar com o tempo dependendo da aplicação. Tanto o acoplamento como as variações de carga tornam a tensão de saída do retificador instável (LI; TSUI; KI, 2015). Assim é necessário o uso do regulador de tensão para solucionar o problema do processamento da energia elétrica.

Uma das características dos reguladores de tensão é sua tensão de *dropout*. Designa-

se por tensão de *dropout*, a diferença entre a tensão de saída nominal e a menor tensão de entrada necessária para que o regulador funcione corretamente. Considera-se que a tensão de *dropout* é baixa quando inferior a 0,6 V (LDO) e alta (HDO) quando superior a este valor. Apesar de um *low dropout voltage* (LDO) ser considerado de baixa tensão de *dropout* quando inferior a 0,6 V, o seu valor típico situa-se entre 200 e 300 mV (FLOYD; BUCHLA, 1999).

De uma maneira simples, um regulador linear de tensão é constituído por um elemento de passagem, um amplificador de erro, uma tensão de referência e por uma malha de realimentação. O projeto de um regulador de tensão tem como especificações a tensão de entrada, tensão de saída e a corrente de carga.

Baseado nestas considerações, este trabalho de conclusão de curso apresenta o projeto de um regulador de tensão em tecnologia CMOS da TSMC 180nm tendo como alvo a aplicação em circuitos receptores implantados que empregam a tecnologia de transferência de energia sem fio (WPT).

1.1 Organização do trabalho

Este trabalho é constituído de 5 capítulos que refletem a sequência necessária para a realização do projeto de um regulador de tensão.

- Capítulo 2: Regulador de tensão.

Neste capítulo é apresentada uma breve revisão teórica de reguladores de tensão lineares com a dedução da estratégia para a elaboração da topologia, uma análise de cada bloco que compõe um regulador de tensão *low drop*, o princípio de funcionamento do circuito e as mais importantes grandezas de desempenho de um regulador.

- Capítulo 3: Amplificador operacional.

Neste capítulo são apresentadas as motivações para o estudo de amplificadores operacionais, a topologia *OTA-Miller* e a metodologia de projeto dessa topologia.

- Capítulo 4: Referência de tensão *bandgap*.

Neste capítulo é apresentada uma revisão teórica sobre referências de tensão do tipo *bandgap*, as grandezas que mensuram o desempenho e o projeto de duas topologias de referência *bandgap*.

- Capítulo 5: Resultados.

Neste capítulo são descritos a sequência necessária de projeto do regulador, os resultados obtidos para os blocos individuais e para o regulador de tensão projetado. Adicionalmente, é fornecida uma comparação entre os resultados obtidos com trabalhos similares presentes na literatura.

- Capítulo 6: Conclusões.

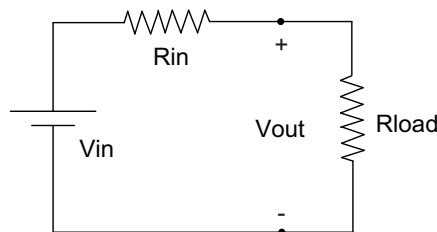
Por fim, neste capítulo são feitas considerações finais do projeto do regulador de tensão e dadas algumas sugestões para trabalhos futuros.

2 Regulador de tensão

O regulador de tensão pode ser definido como uma fonte de tensão que ajusta sua resistência interna para qualquer variação de impedância de carga e de tensão de entrada de tal modo que a tensão de saída se mantenha constante (KUNDELSTADT, 1999).

O modelo mais rudimentar de um regulador de tensão é um circuito divisor resistivo, ilustrado pela Figura 1, onde sua resistência interna varia de acordo com a variação da impedância de carga com a finalidade de manter uma tensão de saída livre de flutuações.

Figura 1 – Modelo simples de regulador.



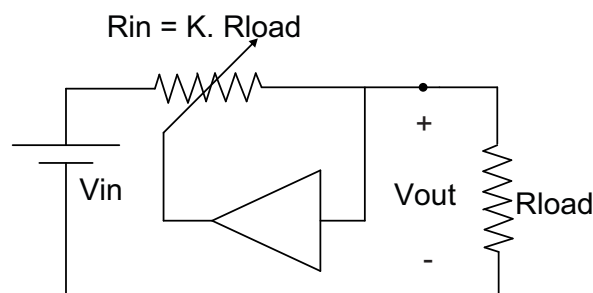
Fonte: O autor.

Analisando o comportamento da tensão de saída onde $V_{out} = V_{in} \cdot \frac{R_{load}}{R_{in} + R_{load}}$, pode-se notar que variando a resistência R_{in} é possível manter a tensão V_{out} estável e respeitando a igualdade $V_{out} = V_{in}$ para o circuito da Figura 1.

Sendo assim é necessário que se obtenha uma topologia para o regulador de tensão que detecte esse aumento de carga ou variação na tensão de entrada e mantenha uma relação constante entre a resistência interna e a impedância de carga, $R_{in}/R_{load} = K$. Uma estratégia possível é utilizar uma realimentação onde a resistência interna é alterada, mantendo a relação constante.

A Figura 2 mostra um esboço de como deverá ser a estrutura de realimentação que irá detectar as variações da impedância de carga e da tensão de entrada.

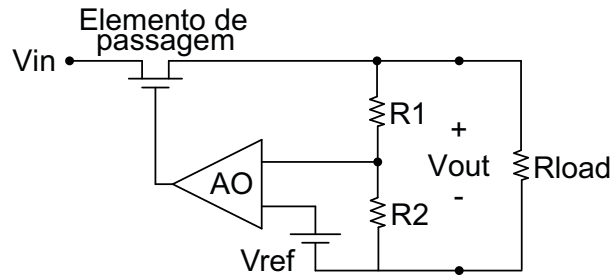
Figura 2 – Estrutura básica realimentada.



Fonte: O autor.

Um circuito que soluciona o problema da detecção do aumento de carga pela realimentação é mostrado na Figura 3. Essa estrutura forma um regulador de tensão linear e mostra toda a estrutura de realimentação e os blocos que a compõem.

Figura 3 – Regulador linear básico.



Fonte: O autor.

2.1 Blocos do regulador

Na estrutura de regulador de tensão mostrado na Figura 3 é possível identificar os blocos que compõem a topologia, são eles: A referência de tensão, o amplificador de erro, a rede de realimentação e o elemento de passagem.

2.1.1 Circuito de referência de tensão

Esse bloco é o ponto de partida de todos os reguladores. O circuito de referência de tensão é geralmente do tipo *bandgap*, uma vez que este tipo de referência tem a capacidade de trabalhar para baixas tensões de alimentação e fornece precisão suficiente e estabilidade térmica para atender às exigências de desempenho dos reguladores. Circuito de referência de tensão do tipo *bandgaps* tipicamente têm um erro inicial de 0,5 – 1,0 % e um coeficiente de temperatura de 25 – 50ppm/°C (KUNDELSTADT, 1999).

2.1.2 Amplificador de Erro

Em um regulador de tensão o principal papel do amplificador é gerar um sinal de controle para o transistor de passagem. O amplificador diferencial recebe a realimentação da tensão de saída ($V_{amostra}$) e uma tensão de referência (V_{ref}). Assim compara esses dois sinais e gera um sinal de controle (V_{erro}) para o transistor de passagem. O sinal gerado pelo amplificador, equação 2.1, é utilizado para acionar um transistor, o elemento de passagem conforme Figura 3, que tem a finalidade de manter a tensão de saída regulada. Portanto, o ganho e a frequência máxima de operação do amplificador possuem um impacto direto

sobre o funcionamento dos reguladores (XIANGNING; KUAN; YANLI, 2010). Adiante, na seção 2.2, é feita uma análise da atuação do amplificador de erro no regulador de tensão.

$$V_{erro} = Av \cdot (V_+ - V_-) \quad (2.1)$$

A equação 2.1 descreve de modo geral o comportamento de V_{erro} considerando um ganho de malha aberta infinito, tal assunto será tratado no próximo capítulo.

2.1.3 A rede de realimentação

Sua função é retirar uma amostra da tensão de saída utilizando uma relação de resistores dada por R_1 e R_2 conforme a Figura 3. Essa amostra será comparada, pelo amplificador de erro, com a tensão gerada pelo circuito de referência de tensão. A equação que descreve a amostra gerada é dada pela equação 2.2.

$$V_{amostra} = V_{out} \frac{R_2}{R_1 + R_2} \quad (2.2)$$

2.1.4 Elemento de passagem

O elemento de passagem em série tem a finalidade de alterar sua capacidade de condução de corrente elétrica de V_{in} para V_{out} , ou seja, altera sua resistência de acordo com a necessidade para manter a tensão de saída V_{out} estável. Seu controle é feito pelo sinal gerado no amplificador de erro que ao ser aplicado ao terminal de porta do elemento de passagem altera sua resistência, isto é, altera a capacidade de condução de corrente elétrica que flui entre seus terminais de dreno e fonte.

2.2 Sequência de funcionamento de um regulador de tensão

Ao ocorrer uma oscilação na fonte de alimentação ou na carga do regulador, a tensão de saída irá oscilar. Por ser um sistema realimentado, toda e qualquer oscilação na tensão de saída será percebida e imediatamente regulada, pois o amplificador de erro e a rede de realimentação irão coletar uma amostra da tensão de saída com a finalidade de compará-la com a tensão de referência gerada pela referência do tipo *bandgap*. O amplificador, depois de feita a comparação, irá gerar um sinal de controle que será enviado ao terminal de porta do elemento de passagem e assim regular a tensão de saída para a especificada.

2.3 Grandezas de desempenho do regulador de tensão

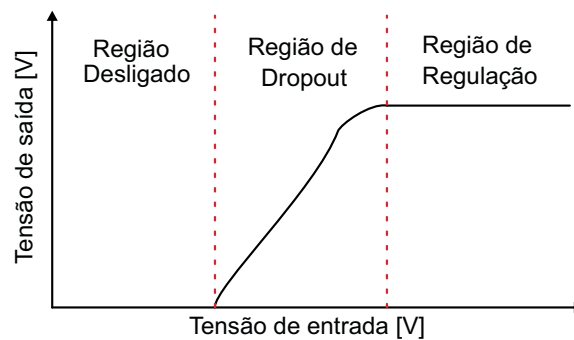
São elas as grandezas que caracterizam o funcionamento do regulador de tensão: tensão *Dropout*, corrente quiescente de entrada, eficiência, resposta a transientes, regulação de linha e de carga, rejeição de fonte, tensão de ruído na saída, exatidão na tensão de saída e máxima temperatura de junção.

2.3.1 Tensão de *Dropout*

A tensão de *Dropout* é a mínima diferença entre a tensão de entrada e a tensão de saída, para qual a tensão de saída se mantém regulada. A Figura 4 ilustra as regiões de operação do regulador de tensão, identifica o ponto onde há a mínima tensão de regulação, utilizada no cálculo da tensão de *Dropout*, enquanto a equação 2.3 modela a definição de tensão de *Dropout* (LEE, 1999).

$$V_{Dropout} = V_{in_{min}} - V_{o_{reg}} \quad (2.3)$$

Figura 4 – Regiões de operação do regulador de tensão.



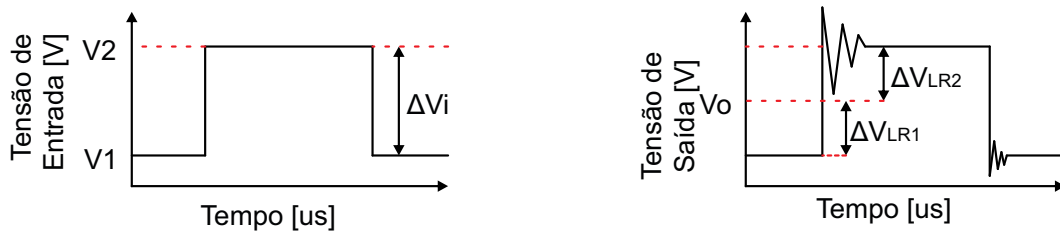
FONTE: Adaptado de (LEE, 1999)

2.3.2 Regulação de linha

A regulação de linha é uma medida da capacidade do circuito de manter a tensão de saída especificada com tensão de entrada variável (LEE, 1999). O regulamento de linha é definido pela equação 2.4 e ilustrado pela Figura 5.

$$RL = \frac{\Delta V_o}{\Delta V_i} \quad (2.4)$$

Figura 5 – Representação gráfica da regulação de linha de um regulador.



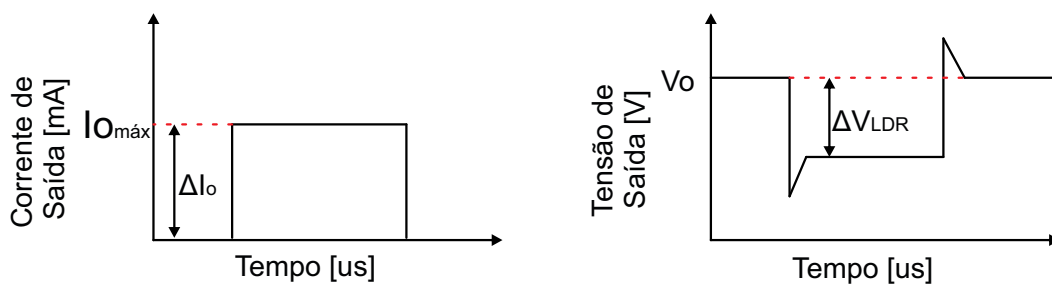
Fonte: Adaptado de (LEE, 1999).

2.3.3 Regulação de carga

A regulação de carga é uma medida da capacidade do circuito para manter a tensão de saída especificada em condições de carga variáveis (LEE, 1999). A regulação de carga é definida conforme a equação 2.5 e ilustrada pela Figura 6.

$$RL = \frac{\Delta V_o}{\Delta I_o} \quad (2.5)$$

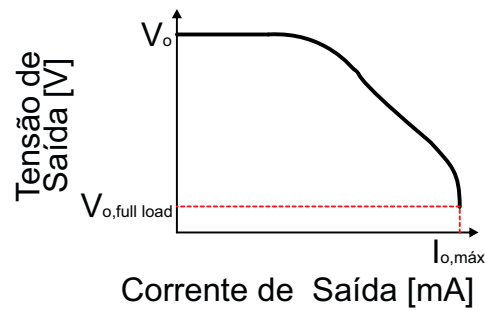
Figura 6 – Representação gráfica da regulação de carga de um regulador.



Fonte: Adaptado de (LEE, 1999).

A forma mais comum de encontrar essa definição é através de uma curva tensão de saída (V_o) por Corrente de saída (I_o), mostrado na Figura 7.

Figura 7 – Tensão de saída x Corrente de saída.



Fonte: Adaptado de (LEE, 1999).

2.3.4 Rejeição de fonte (PSRR)

Em aplicações reais, as trilhas e a própria fonte de alimentação possuem ruídos de alta frequência devido ao acoplamento de sinais, realimentação, oscilações na fonte de alimentação, etc. A taxa de rejeição do ruído da fonte de alimentação, ou *Power Supply Rejection Ratio* (PSRR), indica a capacidade do circuito de rejeitar os ruídos provenientes da fonte de alimentação. O PSRR é função da frequência e pode ser expresso em decibéis conforme sua definição.

$$PSRR = 20 \log \left(\frac{V_{REF}}{V_{DD}} \right) \quad (2.6)$$

2.3.5 Tensão de ruído na saída

A tensão de ruído na saída é o valor RMS do ruído no terminal de saída quando é aplicado uma tensão constante e sem ruídos na entrada do regulador de tensão. A maior parte do ruído de saída de um regulado de tensão é causado pelo circuito de referência de tensão. Normalmente, o ruído é mensurado em uma determinada faixa de frequência (10Hz à 100KHz) (LEE, 1999).

3 Amplificador operacional

Os amplificadores feitos com válvulas à vácuo eram utilizadas nos núcleos de integradores, diferenciadores e de outros circuitos que formavam sistemas cujo comportamento seguia certas equações matemáticas. Esses circuitos eram utilizados para o estudo da estatística de equações diferenciais, por exemplo, que surgiram em áreas como sistemas de controle ou sistemas de potência. Como cada amplificador implementava apenas uma operação aritmética foi dado então o nome de amplificador operacional (amp op) (RAZAVI, 2001).

Os amplificadores operacionais são elementos chave em muitos sistemas analógicos e o desempenho destes sistemas é fortemente influenciado pelo desempenho do amplificador operacional (ACOSTA, 1997). Atualmente, os amplificadores operacionais são usados para muitas finalidades, como amplificação de sinais analógicos, filtragem, regulação e etc. O design de amplificadores operacionais está se tornando cada vez mais desafiador com a diminuição da tensão de alimentação e do comprimento dos canais do transistor (GURUPRASAD; SHAMA, 2015).

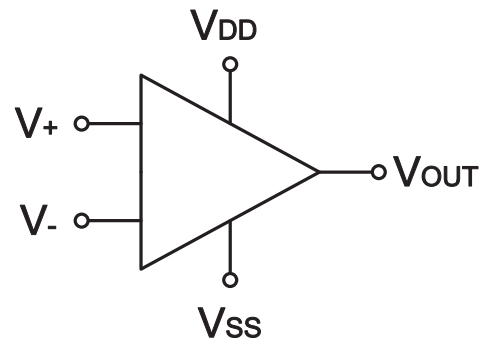
3.1 Amplificador ideal

O amplificador ideal é um circuito onde suas características podem ser resumidas em: alto ganho (A_V), impedância de entrada infinita (Z_{in}) e baixa impedância de saída (Z_{out}). A entrada é diferencial, sendo uma inversora (V_-) e outra não-inversora (V_+). Além disso, sua saída pode ser única ou diferencial.

Idealmente, o amplificador operacional é uma fonte de tensão controlada por tensão, livre de dependência da frequência, temperatura, distorção e ruído. Na prática os circuitos reais são aproximações dos ideais (SEDRA; SMITH, 2007). A equação 3.1 mostra a modelagem da tensão de saída e a Figura 8 apresenta o esquemático de um amplificador operacional de saída única e seus terminais.

$$V_{OUT} = A_V \cdot (V_+ - V_-) \quad (3.1)$$

Figura 8 – Amplificador operacional ideal.



Fonte: O autor.

Onde V_+ representa a entrada não-inversora, V_- a entrada inversora, V_{DD} a alimentação positiva, V_{SS} a alimentação negativa e V_{OUT} a saída única.

3.2 Amplificador de múltiplos estágios

Os circuitos de amplificadores operacionais são blocos básicos para projeto de circuitos complexos. Em algumas aplicações é necessário a inserção de múltiplos estágios amplificadores com a finalidade de obter alto ganho (ALEXANDER; SADIKU, 2013).

Uma conexão popular de múltiplos estágios amplificadores é a conexão em cascata. Basicamente, a conexão em cascata é uma conexão em série em que a saída de um estágio é o sinal de entrada do estágio seguinte, conforme mostrado pela Figura 9.

Figura 9 – múltiplos estágios amplificadores.



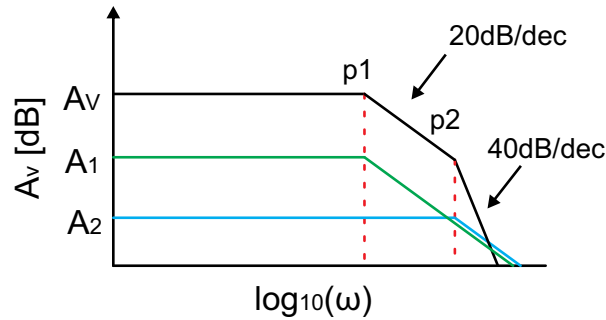
Fonte: O autor.

O ganho global dos múltiplos estágios em cascata é o produto dos ganhos individuais de cada estágio, como mostrado na equação 3.2, o que justifica a utilização dessa estratégia para alcançar um alto ganho (BOYLESTAD; NASHELSKY, 2004).

$$A_{v_{total}} = A_1 \cdot A_2 \cdot A_3 \cdot \dots \cdot A_n \quad (3.2)$$

Entretanto, o uso de amplificadores de múltiplos estágios pode ocasionar instabilidade devido à margem de fase. A Figura 10 apresenta a resposta em frequência de cada estágio e como ficarão quando conectados.

Figura 10 – Análise do ganho em frequência de A_1 , A_2 e A_V .



Fonte: O autor.

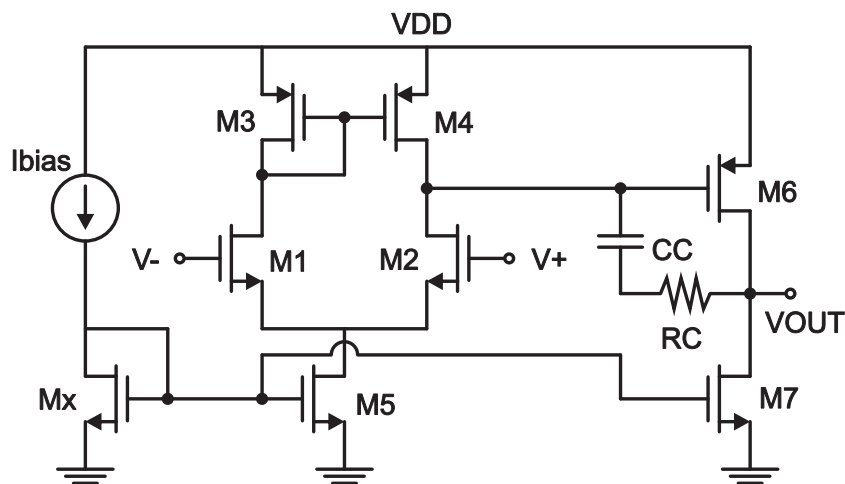
Nota-se que ao adicionar um estágio é inserido outro polo associado ao circuito que será adicionado. Cada polo ocasiona um decréscimo de 20dB/dec no ganho e $90^\circ/\text{dec}$ na fase do sistema.

A alteração da localização dos polos é feita adicionando componentes passivos ao sistema, porém são necessário ajustes finos no dimensionamento desses componentes.

3.2.1 Amplificador de dois estágios

A topologia de dois estágios mais utilizada é o amplificador operacional de transcondutância com compensação *Miller*, mostrado na Figura 11 (*Operational Transconductance Amplifier Miller compensated - OTA Miller*), pois esta configuração apresenta uma boa tensão de modo comum, excursão de saída, ganho de tensão e estabilidade. (ACOSTA, 1997).

Figura 11 – OTA *Miller*.



Fonte: O autor.

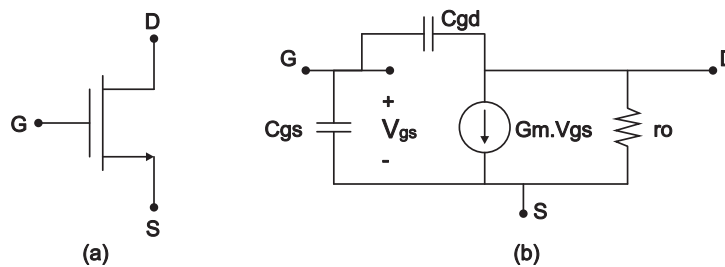
3.2.2 Descrição da topologia

O primeiro estágio é o estágio diferencial com entrada NMOS, composto pelos transistores M1 e M2. O espelho de corrente é composto pelos transistores M3 e M4, que atuam como carga ativa no primeiro estágio. O transistor Mx gera a corrente de polarização onde junto com M5 e M7 formam um espelho de corrente. O segundo estágio apresenta um amplificador inversor *Common-source* com entrada PMOS dada pelo transistor M6 e possui o transistor M7 como carga ativa. O conjunto C_C e R_C formam uma estrutura de compensação da estabilidade do tipo *Miller* e tem a função de proporcionar ao amplificador operacional um polo dominante, garantindo um modo estável de operação para todos os possíveis tipos de realimentação externa. A técnica de inserção do capacitor de compensação é denominada *pole splitting* ou separação de polos (TRANQUILLIN, 2008). A finalidade de R_C é deslocar o valor desse polo inserido por C_C (GURUPRASAD; SHAMA, 2015)

3.2.3 Análise de pequenos sinais

O modelo de pequenos sinais do transistor é utilizado com a finalidade de simplificar a análise de grandes circuitos (GRAY et al., 2009). Para uma melhor compreensão do modelo de pequenos sinais do circuito da Figura 11, a Figura 12 apresenta o modelo de pequenos sinais simplificado de um transistor NMOS.

Figura 12 – (a) simbologia do transistor NMOS e (b) seu modelo de pequenos sinais simplificado.



Fonte: O autor.

Onde G, D e S são os terminais de porta, dreno e fonte, respectivamente. C_{gs} é a capacitância entre porta-fonte e C_{gd} é a capacitância de porta-dreno. O termo G_m visto na Figura 12 é a transcondutância do transistor e é expressa pela equação 3.3 (GRAY et al., 2009).

$$G_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{2 \cdot I_d}{V_{gs} - V_{th}} \quad (3.3)$$

onde I_d é a corrente de *dreno* na região de saturação do transistor ignorando o

efeito da modulação de canal e é expressa pela equação 3.4

$$I_d = k' \frac{W}{2L} (V_{gs} - V_{th})^2 \quad (3.4)$$

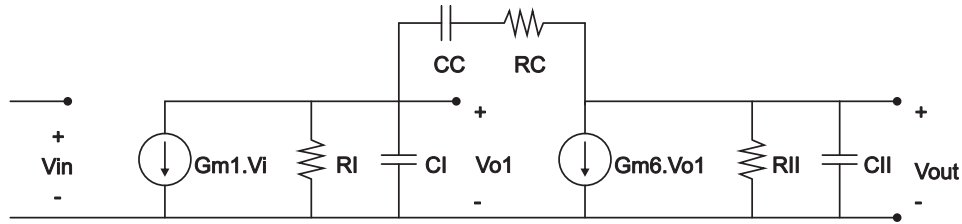
onde k' é uma constante dependente da tecnologia de fabricação, W e L são a largura e o comprimento do canal, respectivamente, referente as dimensões do transistor, V_{gs} é a tensão entre os terminais de porta-fonte e V_t é a tensão de *threshold*.

O termo r_o apresentado na Figura 12 é a resistência de saída do transistor.

$$r_o = \frac{V_A}{I_d} \quad (3.5)$$

V_A na equação 3.5 é a tensão de Early e I_d a corrente de dreno (GRAY et al., 2009). A Figura 13 apresenta o modelo de pequenos sinais equivalente do circuito da Figura 11.

Figura 13 – Modelo de pequenos sinais equivalente do OTA-Miller.



Fonte: O autor.

onde V_{in} é a diferença entre V_+ e V_- , Gm_1 é a transcondutância do transistor M1, R_I é a resistência de saída do primeiro estágio, C_I é a capacitância de saída do primeiro estágio, Gm_6 é a transcondutância do transistor M6, R_{II} é resistência de saída do segundo estágio, C_{II} é a capacitância de entrada do segundo estágio, R_C e C_C são a resistência e capacitância de compensação, respectivamente.

A resistência de saída do primeiro estágio é apresentada pela equação 3.6. A resistência de saída do segundo estágio é apresentada pela equação 3.7. O ganho A_v é expresso pela equação 3.8.

$$R_I = r_{o2} \parallel r_{o4} \quad (3.6)$$

$$R_{II} = r_{o6} \parallel r_{o7} \quad (3.7)$$

$$A_v \approx -\frac{V_{out}}{V_{in}} \approx -gm_1 \cdot R_I \cdot gm_6 \cdot R_{II} \quad (3.8)$$

3.2.4 Análise em frequência

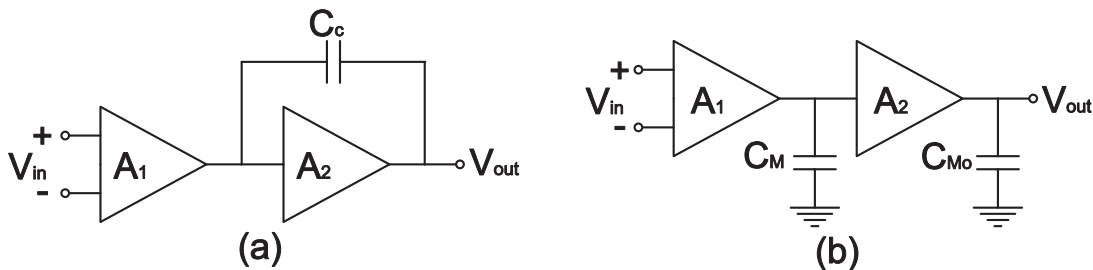
Para encontrar a resposta em frequência do amplificador de dois estágios é necessário conhecermos quais capacitâncias estão presentes no circuito. As equações 3.9 e 3.10 apresentam a capacitância de saída do primeiro estágio e capacitância de entrada do segundo estágio, respectivamente apresentado na Figura 13.

$$C_I = C_{gd2} + C_{gd4} + C_{gs6} + CM \quad (3.9)$$

$$C_{II} = C_{gd7} + C_{gd6} + CM \quad (3.10)$$

Nas equações 3.9 e 3.10 o termo CM é o efeito *Miller* produzido por C_C . O efeito *Miller* divide a capacitância C_C em CM e CM_o . A Figura 14(a) apresenta o esquemático de um amplificador de dois estágios com capacitor de compensação *Miller* e em 14(b) o efeito que essa capacitância produz no circuito. Assim a função de transferência do circuito da Figura 13 é dada pela equação 3.13.

Figura 14 – Efeito *Miller*: (a) Capacitância de compensação *Miller* e (b) efeito da capacitância no circuito.



Fonte: O autor.

Onde:

$$CM = (1 + A_2)C_C \quad (3.11)$$

$$CM_o = \left(1 + \frac{1}{A_2}\right) C_C \quad (3.12)$$

$$F(S) = \frac{A_v \cdot (1 - s/z_1)}{(1 - s/p_1) \cdot (1 - s/p_2)} \quad (3.13)$$

Onde p_1 e p_2 são os polos, z_1 o zero e A_v o ganho de malha aberta para baixas frequências. Na equação 3.14 e 3.15 é apresentada uma simplificação das expressões do primeiro e segundo polo a equação 3.16 apresenta a expressão do zero (ALLEN; HOLBERG, 2002).

$$p_1 \approx \frac{1}{R_C \cdot gm_6 \cdot R_{II} \cdot C_C} \quad (3.14)$$

$$p_2 \approx \frac{gm_6}{C_{II}} \quad (3.15)$$

$$z_1 = \frac{gm_2}{C_C} \quad (3.16)$$

Em posse da expressão do polo dominante, equação 3.14, é possível estimar o valor da frequência onde o ganho é igual a 0 (*gain-bandwidth product - GBW*).

$$GBW \approx |A_v| \cdot p_1 \approx \frac{gm_1}{C_C} \quad (3.17)$$

A margem de fase (*phase margin - PM*) é o valor da fase em relação a 180° para a qual o ganho de tensão do amplificador é unitário. Para que a margem de fase seja adequada, o polo dominante deve se encontrar em baixa frequência enquanto o polo secundário e o zero devem ficar acima da frequência de ganho unitário, *GBW*. A margem de fase será maior em proporção a relação entre o polo secundário e o *GBW* (LAKER; SANSEN, 1994). A equação 3.18 apresenta a margem de fase.

$$PM = 90^\circ - tg^{-1} \left(\frac{GBW}{z_1} \right) - tg^1 \left(\frac{GBW}{p_2} \right) \quad (3.18)$$

3.3 Grandezas de desempenho do OTA-Miller

São elas as grandezas que caracterizam o funcionamento do amplificador operacional: taxa de rejeição à fonte de alimentação (PSRR), como ja descrito em 2.3.4, e *Slew rate*.

3.3.1 Slew-rate

O *Slew-rate* normalmente é determinado pela corrente máxima disponível para carregar ou descarregar um capacitor (ALLEN; HOLBERG, 2002). O *slew-rate* é dado pela equação 3.19.

$$SR \approx \frac{I_{bias}}{C_C} \quad (3.19)$$

3.4 Procedimento de projeto para o OTA-Miller

O projeto é dividido em 2 etapas:

- Procedimento de cálculo para a topologia proposta
- Otimização dos resultados utilizando simulações elétrica em software para possíveis ajustes finos.

Para dar início ao projeto seguindo a primeira etapa são necessárias algumas especificações do circuito da Figura 11, como: ganho A_v , GBW , a tensão de entrada mínima e máxima $V_{in,min}$ e $V_{in,max}$, capacitância de carga C_L , *slew-rate*, tensão de saída máxima e mínima $V_{out,min}$ e $V_{out,max}$.

Para uma melhor performance do circuito é necessário que todos os transistores estejam operando na região de saturação. O único transistor que não pode ser forçado a saturação por conexões internas ou tensões externas é o transistor M4, portanto é necessário algumas condições para forçar o transistor M4 estar na região de saturação (ALLEN; HOLBERG, 2002). Para a satisfazer a condição em que o transistor M4 está saturado é assumido que a tensão entre o terminal de fonte e porta dos transistores M4 e M6 são iguais, assim pode-se dizer que o terminal de gate e o terminal de dreno do transistor M4 estará num mesmo potencial, o que garante a saturação. Satisfazendo as condição de $V_{SG4} = V_{SG6}$ então a corrente que circula pelo transistor M6 é expressa pela equação 3.20. A equação 3.21 apresenta uma dependência da corrente I_7 de I_4 .

$$I_6 = \left(\frac{W_6/L_6}{W_4/L_4} \right) \cdot I_4 \quad (3.20)$$

$$I_7 = \left(\frac{W_7/L_7}{W_5/L_5} \right) \cdot 2I_4 \quad (3.21)$$

Como $I_7 = I_6$ chega-se na equação 3.22 que se satisfeita garantirá $V_{DG4} = 0$ e o transistor M4 estará saturado.

$$\left(\frac{W_6/L_6}{W_4/L_4}\right) = 2 \left(\frac{W_7/L_7}{W_5/L_5}\right) \quad (3.22)$$

Dando seguimento ao projeto, em posse de C_L e para que a margem de fase seja adequada, acima de 60° , é necessário que se posicione o zero z_1 ao menos uma década acima do GBW . Como a posição do zero e do GBW dependem das transcondutâncias dos dois estágios, é necessário que a relação da equação 3.23 seja satisfeita (AMAYA; RESTITUTO; VAZQUEZ, 2009).

$$gm_6 \geq 10 \cdot gm_1 \quad (3.23)$$

Satisfazendo a equação 3.23 pode-se simplificar a equação 3.18 eliminando o termo dependente do zero, assim temos:

$$PM \approx 90^\circ - tg^{-1} \left(\frac{GBW}{p_2} \right) \quad (3.24)$$

Aplicando a equação 3.23 em 3.24 é obtido o valor mínimo aproximado para o capacitor de compensação em função da carga do amplificador C_L .

$$C_C \geq 2,2 \cdot C_L \quad (3.25)$$

A corrente I_5 é encontrada através de uma manipulação matemática na equação 3.19, assim temos:

$$I_5 = SR \cdot C_C \quad (3.26)$$

Os transistores M3 e M4 possuem as mesmas dimensões. O projeto das dimensões de M3 e M4, dado pela equação 3.27, utiliza a máxima tensão de entrada $V_{in,max}$.

$$W_3/L_3 = \frac{I_5}{K'_3 \cdot [V_{DD} - V_{in,max} - |V_{th3,max}| + V_{th1,min}]^2} \quad (3.27)$$

Ao encontrar gm_1 com a equação 3.17 é possível dimensionar as dimensões dos transistores M1 e M2 e a resistência R_C , mostrado nas equações 3.28 e 3.29. A dimensão do transistor M5 e Mx são definidas através da equação 3.30.

$$W_1/L_1 = W_2/L_2 = \frac{gm_1^2}{K_1 \cdot I_5} \quad (3.28)$$

$$R_C = \frac{1}{10 \cdot gm_1} \quad (3.29)$$

$$W_5/L_5 = \frac{2 \cdot I_5}{K'_5 [V_{DS5}(SAT)]^2} \quad (3.30)$$

Assumindo que $V_{SG4} = V_{SG6}$ e que $gm_6 = 10 \cdot GBW$, são encontradas as dimensões do transistor M6.

$$W_6/L_6 = \frac{gm_6}{gm_4} \cdot W_4/L_4 \quad (3.31)$$

Satisfazendo a mínima tensão de saída especificada e em posse do resultado da equação 3.20 e 3.26 é dimensionado o transistor M7 através da equação 3.32. O ganho total do circuito é dado pela equação 3.33 e o consumo dado por 3.34.

$$W_7/L_7 = \frac{I_6}{I_5} \cdot W_5/L_5 \quad (3.32)$$

$$A_v = \frac{2gm_1gm_6}{I_5(\lambda_2 + \lambda_4)I_6(\lambda_6 + \lambda_7)} \quad (3.33)$$

Onde, λ é o fator de modulação de canal e é dado por: $\lambda = 1/V_A$.

$$Consumo = I_5 + I_7 \quad (3.34)$$

Com o resultado das dimensões e as especificações, é passado para a segunda etapa do projeto, onde o valor das dimensões são refinados e o projeto é otimizado através de simulações em nível de esquemático para atingir as especificações do projeto.

4 Referência de tensão *bandgap*

Os circuitos de referência de tensão são circuitos que fornecem uma tensão de saída precisa e estável. O termo “referência” é usado para distinguir de “fonte”, enquanto fonte possui uma menor estabilidade e precisão. A tensão estável fornecida pelas referências de tensão é utilizada para polarizar outros sub-circuitos e gerar resultados previsíveis e repetíveis (ALLEN; HOLBERG, 2002).

Estas referências são quantidades de corrente contínua que apresentam baixa dependência da fonte de alimentação, parâmetros de processo, passagem do tempo e uma bem definida dependência da variação de temperatura (RAZAVI, 2001).

Conversores analógico/digital e digital/analógico, sensores, amplificadores operacionais, reguladores de tensão, comparadores, entre outros, necessitam de tensões e/ou correntes de referência. A referência de tensão *bandgap* é uma das mais populares implementações de referência de tensão.

A origem dessa técnica foi proposta por Hilbiber em 1964 (HILBIBER, 1964). Visto a necessidade de reduzir o número de componentes externos dos CIs Robert Widlar propôs em 1971 um circuito de referência de tensão *bandgap* integrado (WIDLAR, 1970).

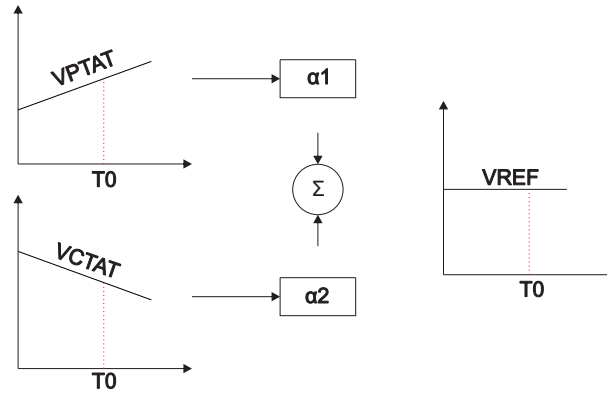
4.1 Conceito do *bandgap*

A ideia principal do *bandgap* é obter uma referência de tensão estável para variações de temperatura, sendo que é possível realizar isso através da soma ponderada entre duas componentes de tensão com coeficientes de temperatura opostos (ANDRADE, 2013).

Uma tensão que possua derivada positiva (aumenta com a elevação da temperatura) é conhecida como PTAT (*Proportional To Absolute Temperature*), enquanto outra que possua derivada negativa (reduz com a elevação da temperatura) é conhecida como CTAT (*Complementary To Absolute Temperature*) (RAZAVI, 2001). Dessa forma pode-se chegar a uma tensão de referência quase independente à variações de temperatura de acordo com a equação 4.1.

$$V_{REF} = \alpha_1 \cdot V_{PTAT} + \alpha_2 \cdot V_{CTAT} \quad (4.1)$$

Figura 15 – Esquema de obtenção da tensão de referência.



Fonte: O autor.

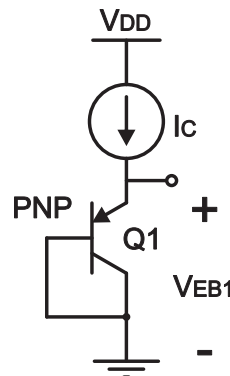
De acordo com a equação 4.1 e a Figura 15 α_1 e α_2 são constantes a serem obtidas para o correto ponderamento da equação 4.1 gerando uma tensão de referência (V_{REF}) independente da variação de temperatura. Entretanto, como as tensões a serem utilizadas não apresentam características lineares com a variação da temperatura, é escolhida uma temperatura de operação, normalmente 300K, onde é satisfeito essa condição mostrada pela equação 4.2 (ANDRADE, 2013).

$$\left. \frac{\partial V_{REF}}{\partial T} \right|_{T=T_0} = \alpha_1 \cdot \left. \frac{\partial V_{PTAT}}{\partial T} \right|_{T=T_0} + \alpha_2 \cdot \left. \frac{\partial V_{CTAT}}{\partial T} \right|_{T=T_0} = 0 \quad (4.2)$$

4.2 Componente de tensão CTAT

A tensão CTAT (*Complementary To Absolute Temperature*) utilizada na referência de tensão *bandgap* é encontrada na junção emissor-base do transistor bipolar polarizado em configuração diodo, como mostrado na Figura 16.

Figura 16 – Obtenção da tensão CTAT com PNP.



Fonte: O autor.

Para uma melhor compreensão da utilização do transistor bipolar para a obtenção

da tensão CTAT é necessário analisar as expressões do transistor bipolar. A equação 4.3 apresenta o comportamento da corrente de coletor do transistor.

$$I_C = I_S \cdot \exp \frac{V_{EB}}{V_t} \quad (4.3)$$

Onde I_C é a corrente de coletor, I_S é a corrente de saturação do transistor, V_{EB} é a tensão emissor-base e V_t é a tensão térmica. A expressão que representa a tensão térmica é mostrada pela equação 4.4.

$$V_t = \frac{k \cdot T}{q} \quad (4.4)$$

Onde k é a constante de Boltzman e equivale a $1,38062 \cdot 10^{-23}$ J/K, $q = 1,60219 \cdot 10^{-19}$ C é a carga do elétron e T é a temperatura em Kelvin (K) (TSIVIDIS, 1980).

De acordo com (TSIVIDIS, 1980) é possível aproximar a equação da corrente de saturação, I_S , em:

$$I_S = C \cdot T^\eta \cdot \exp \frac{-V_{GO}}{v_t} \quad (4.5)$$

Onde C é uma constante independente da temperatura, T é a temperatura em Kelvin, $\eta = 4 - n$, sendo n uma constante dada pelo processo e V_{GO} é a tensão de *bandgap* do silício extrapolada a 0 Kelvin. A aparição de V_{GO} na equação 4.5 é dada por aproximações matemáticas vistas em (TSIVIDIS, 1980).

A partir das equações 4.3, 4.4 e 4.5 é possível analisar a dependência da corrente de coletor com a temperatura, encontrado na equação 4.6 .

$$I_C(T) = C \cdot T^\eta \exp \frac{(V_{EB(T)} - V_{GO}) \cdot q}{k \cdot T} \quad (4.6)$$

A partir da equação 4.6 é possível encontrar a tensão V_{EB} em função da temperatura.

$$V_{EB}(T) = V_{GO} + \frac{k \cdot T}{q} \cdot \ln \left(\frac{I_C(T)}{C \cdot T^\eta} \right) \quad (4.7)$$

Para uma melhor análise de V_{EB} em função da temperatura é possível obter uma melhor aproximação aplicando a equação 4.8 em 4.7, onde a T_{REF} é uma temperatura de

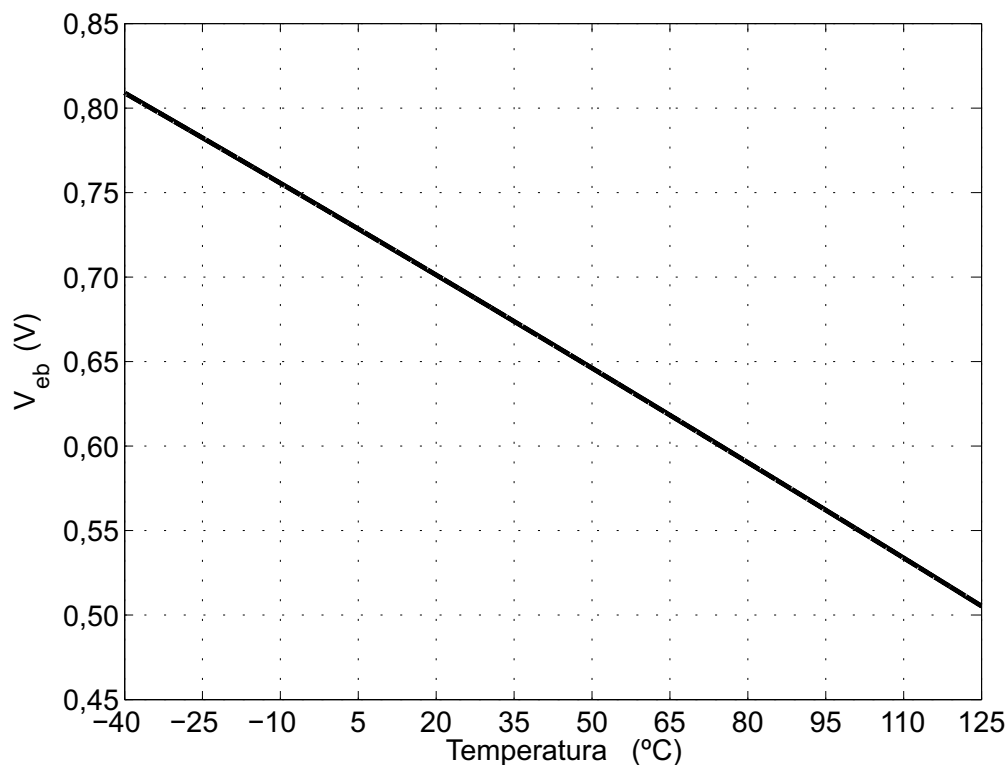
referência em que o valor de $V_{EB}(V_{REF})$ é conhecido. Tornando a expressão mais particular com $I_C(T) = aT^\delta$ nos mostra a expressão dada pela equação 4.9 (TSIVIDIS, 1980).

$$V_{EB}(T)T_{REF} - V_{EB}(T_{REF})T \quad (4.8)$$

$$V_{EB}(T) = V_{EB}(T_{REF}) \cdot \left(\frac{T}{T_{REF}}\right) + V_{GO} \cdot \left(1 - \frac{T}{T_{REF}}\right) - (\eta - \delta) \cdot \frac{k \cdot T}{q} \cdot \left(\frac{T}{T_{REF}}\right) \quad (4.9)$$

Na equação 4.9 é possível notar o comportamento CTAT de V_{EB} , pois $V_{EB}(T_{REF}) < V_{GO}$, assim um aumento em T eleva a parte negativa de V_{GO} mais do que a parte positiva de V_{EB} , fazendo a função $V_{EB}(T)$ diminuir com a temperatura. Analisando os fatores da equação 4.9 é visto que a dependência da temperatura não é linear devido à $(\eta - \delta) \cdot V_t \cdot \ln\left(\frac{T}{T_{REF}}\right)$ (ANDRADE, 2013).

Figura 17 – Exemplo de $V_{EB} \times T$

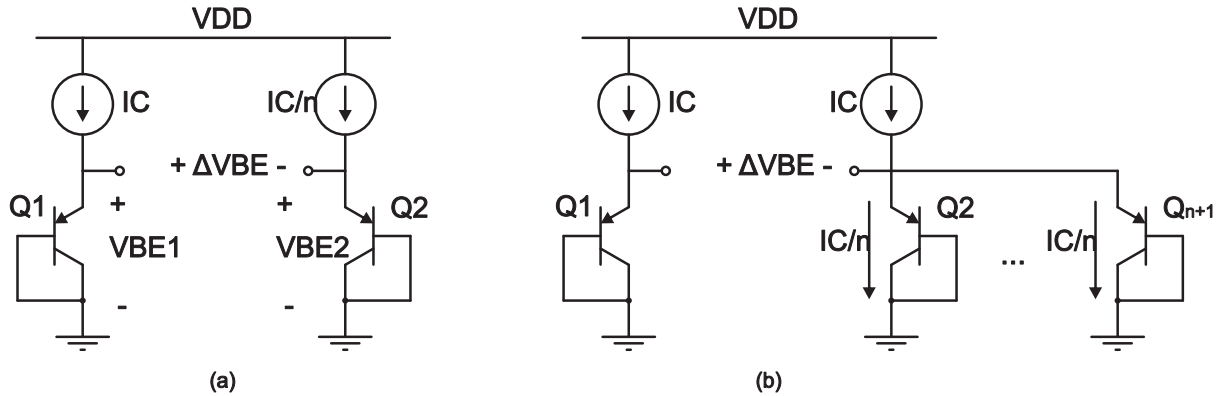


FONTE: (ANDRADE, 2013)

4.3 Componente de tensão PTAT

A componente de tensão PTAT (*Proportional To Absolute Temperature*) é obtida a partir da polarização de dois transistores bipolares com densidades de corrente diferentes e subtraindo suas tensões (RAZAVI, 2001). A figura 18 apresenta o esquema descrito.

Figura 18 – Obtenção de PTAT. (a) Utilizando dois transistores. (b) Utilizando n transistores em paralelo.



Fonte: O autor.

Onde V_{EB1} e V_{EB2} são mostrados pelas equações 4.10 e 4.11. Na Figura 18 (a) a forma de gerar a corrente para polarizar Q2 é degradada pelo fator n , já na Figura 18 (b) a estratégia utilizada para gerar densidades de corrente diferentes em cada transistor é utilizar n transistores idênticos em paralelo.

$$V_{EB1} = V_t \cdot \ln\left(\frac{I_C}{I_S}\right) \quad (4.10)$$

$$V_{EB2} = V_t \cdot \ln\left(\frac{I_C}{n \cdot I_S}\right) \quad (4.11)$$

Tendo em vista a diferença na densidade de corrente de cada transistor a equação 4.12 apresenta ΔV_{EB}

$$\Delta V_{EB} = V_{EB1} - V_{EB2} = v_t \cdot \ln(n) = \frac{k \cdot T}{q} \cdot \ln(n) \quad (4.12)$$

Com o resultado da equação 4.12 é possível analisar que seu coeficiente de temperatura é positivo e varia conforme o fator $\frac{k}{q} \cdot \ln(n)$.

4.4 Referência de tensão do tipo *bandgap*

A partir do dimensionamento dos parâmetros PTAT e CTAT, é possível encontrar e expressão teórica para a tensão de referência *bandgap*. Como o coeficiente de temperatura de

V_{EB} a 300K é da ordem de $-1,5mV/^\circ C$, e ΔV_{EB} esta é $0,087mV/^\circ C$, para a ponderação da equação 4.1 utiliza-se α_2 igual a 1 formando a equação 4.13 (RAZAVI, 2001).

$$V_{REF} = V_{EB} + \alpha_1 \cdot \ln(n) \cdot V_t \quad (4.13)$$

O valor necessário para α_1 é expresso pela equação 4.14 (ANDRADE, 2013).

$$\alpha_1 = \frac{1}{\ln(n)} \cdot \left[(\eta - \delta) \cdot \left(1 + \ln \left(\frac{T_0}{T_{REF}} \right) \right) - (V_{EB}(T_{REF}) - V_{GO}) \cdot \frac{T_0}{T_{REF}} \right] \quad (4.14)$$

Aplicando a equação 4.14 em 4.13 encontramos:

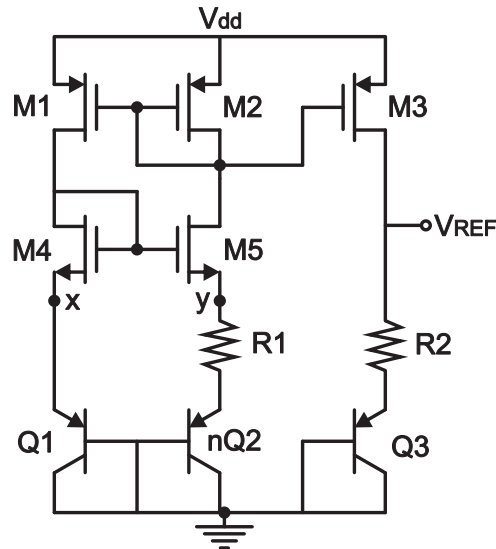
$$V_{REF} = V_{GO} + (\eta - \delta) \cdot \frac{k \cdot T}{q} \cdot \left(1 - \ln \left(\frac{T}{T_0} \right) \right) \quad (4.15)$$

A equação 4.15 depende apenas de constantes de processo e se tendermos a temperatura a 0K a tensão de referência tende a V_{GO} dando origem a nomenclatura do circuito.

Depois de analisado e discutido a forma de geração das componentes PTAT e CTAT e a ponderação utilizando as constantes α_1 e α_2 , agora se faz necessário encontrar uma estratégia de tornar o circuito independente da fonte de alimentação e fazer a soma de PTAT e CTAT ponderadas.

4.5 Topologia I

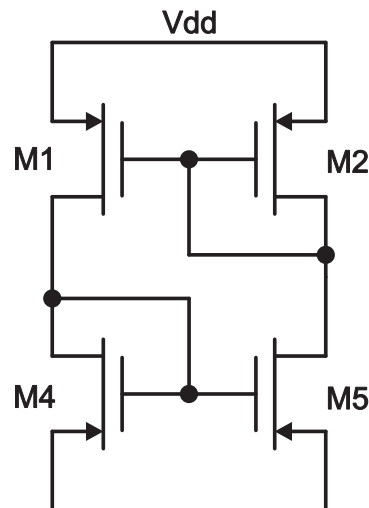
O circuito da Figura 19 apresenta a primeira topologia que é capaz de realizar a soma ponderada de CTAT e PTAT e reduzir a sensibilidade da fonte de alimentação.

Figura 19 – Topologia I de tensão de referência do tipo *bandgap*.

Fonte: O autor.

A estrutura montada pelos transistores M1, M2, M4 e M5 é chamada de espelhos autopolarizados. Essa estrutura, ilustrada na Figura 20, é constituída por dois espelhos de corrente. Pode-se perceber uma dependência mútua de um espelho de corrente com o outro e, portanto diz-se que o circuito é autopolarizado (RAZAVI, 2001).

Figura 20 – Espelhos autopolarizados



Fonte: O autor.

Como a existência e o valor das correntes que passam pelos espelhos estão condicionadas a elas mesmas é notável que esta característica garante a baixa sensibilidade em relação a variações da fonte de alimentação.

A corrente de polarização será definida por R1 e os transistores Q1 e Q2 ... Qn. Como as correntes nos dois ramos são iguais, é possível perceber a estrutura da Figura 18 (b), desta forma, é possível extrair uma tensão PTAT. Como a tensão nos nós X e Y

mostrados na Figura 20 são iguais, conclui-se que a tensão sobre o resistor R1 é igual a $V_{EB1} - V_{EB2} = k \cdot T \cdot \ln(n)/q$ e sua corrente dada pela equação 4.16.

$$I_{R_1} = \frac{V_t \cdot \ln(n)}{R_1} \quad (4.16)$$

Admitindo que R1 não varie com a temperatura a corrente expressa pela equação 4.16 possui um comportamento PTAT. A componente de tensão PTAT é transformada em corrente e copiada pelo transistor M5. Assim a tensão de referência será a tensão sobre o transistor bipolar Q3, CTAT, somada à tensão sobre o resistor R2, PTAT devido a I_{R_1} . A tensão de referência será dada pela equação 4.17.

$$V_{REF} = V_{EB3} + \frac{R_2}{R_1} \cdot \ln(n) + V_t \quad (4.17)$$

Onde R_2/R_1 será determinado satisfazendo à equação 4.14 e conseqüentemente a equação 4.2.

4.5.1 *Start-up*

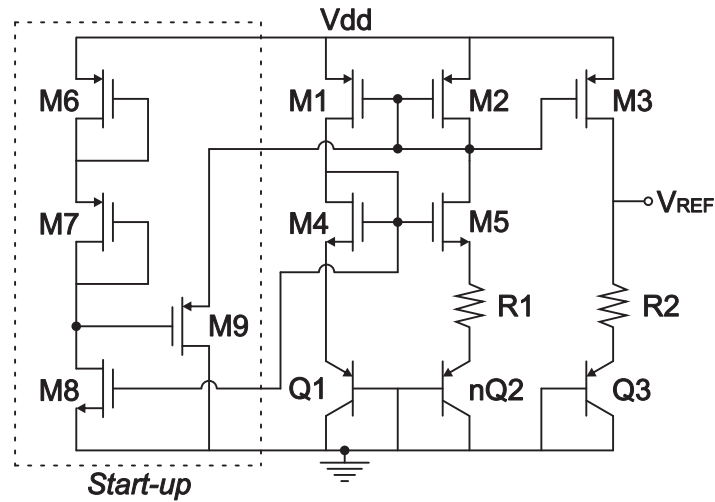
Um problema encontrado na polarização com a estrutura da Figura 20 é a existência de uma região de polarização degenerada.

Quando a fonte de alimentação estiver desligada, não havendo nenhuma circulação de corrente, e posteriormente ligar, haverá uma indeterminação na operação do circuito, visto que, se não houver nenhuma corrente no laço de realimentação, entre os transistores M1, M2, M3 e M4, não haverá caminho para passagem de corrente deixando o circuito desligado.

Isto é conhecido como problema de *start-up* e é resolvido se adicionado um mecanismo que retire o circuito desse ponto de polarização degenerada, ligando-o sem influenciar no seu funcionamento (RAZAVI, 2001).

4.5.1.1 Circuito de *Start-up*

A respeito da estabilidade essa topologia de circuito de referência de tensão *bandgap* possui dois estados possíveis de funcionamento: tendo correntes de polarização igual a zero ou corrente de polarização conforme definido no modelo da mesma. Assim, com a finalidade de eliminar o primeiro estado possível onde as correntes de polarização são iguais a zero, é utilizado um circuito de *start-up* para forçar a operação correta do circuito (COLOMBO, 2009). Um circuito de referência de tensão do tipo *bandgap* e com o *start-up* é mostrado na Figura 21.

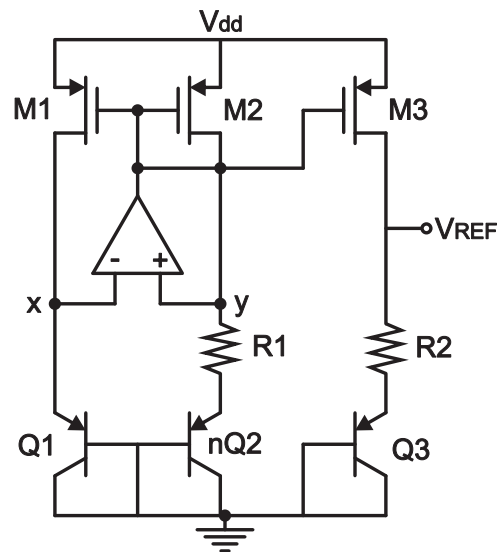
Figura 21 – *bandgap* com o circuito de *start-up*

Fonte: O autor.

No primeiro instante, quando o circuito é ligado, não há circulação de corrente no circuito. Assim, não há passagem de corrente pelo transistor M8 ($I_{D8} = 0$), então a tensão entre os terminais de porta e fonte do transistor M9 possui o potencial da fonte ($V_{GS9} = V_{DD}$) o que faz com que a tensão nos terminais de porta e fonte dos transistores M1 e M2 seja reduzida, forçando com que haja circulação de corrente no circuito. Através da circulação de corrente, a tensão na porta do transistor M4 aumenta até que o transistor M8 conduza corrente fazendo com que exista queda de tensão sob os transistores M6 e M7 e para de conduzir corrente no transistor M9, desconectando o circuito de *start-up* da referência *bandgap*.

4.6 Topologia II

As estruturas de geração de PTAT e CTAT do circuito da Figura 22 são praticamente as mesmas o circuito da Figura 21. Entretanto, é empregado o uso de um amplificador operacional para garantir que as tensões nos nós X e Y sejam iguais regulando a tensão aplicada ao terminal de porta dos transistores M1 e M2, compensando as variações de tensão da alimentação do circuito V_{DD} .

Figura 22 – Topologia II de referência de tensão do tipo *bandgap*.

Fonte: O autor.

O amplificador operacional possui uma alta impedância de entrada, assim não há fuga de corrente para suas entradas e um ganho suficiente para garantir as tensões nos nós X e Y sejam iguais validando a modelagem realizada na Seção 4.5.

4.6.1 Funcionamento do circuito

Supondo inicialmente que a tensão de alimentação aumente, a magnitude da tensão entre os terminais de porta e fonte dos transistores M1 e M2 eleva-se, conseqüentemente a corrente no circuito se eleva, aumentando a tensão sobre o resistor R2 e o transistor bipolar Q3 e, assim, também elevará a tensão de referência V_{REF} . No entanto, devido as variações da tensão dos transistores bipolares serem menores em relação a variação de tensão no resistor R1, a tensão no nó Y será maior que a tensão no nó X, conseqüentemente a tensão de saída do amplificador aumentará, diminuindo a corrente no circuito e assim retornando a tensão de referência ao valor nominal (ANDRADE, 2013).

Para o ideal funcionamento do circuito é necessário que a realimentação do amplificador seja negativa. Dessa forma, se considerarmos a alimentação V_{DD} constante, uma redução da tensão na saída do amplificador, por algum motivo, fará com que a corrente no circuito aumente, o que elevará mais a tensão no nó Y do que no nó X. Dessa forma o ganho será positivo, aumentando a tensão de saída.

4.7 Características do *bandgap*

Para critério de comparação entre projetos de referência de tensão do tipo *bandgap* alguns parâmetros são importantes para avaliação de seu desempenho (KOK; TAM, 2012). São eles: regulação de linha e o PSRR como descrito em 2.3.4.

4.7.1 Regulação de linha

A regulação de linha mede a sensibilidade da tensão de referência em relação à sua tensão de alimentação e é definida pela equação 4.18 e medida em V/V .

$$RL = \frac{V_{REF}(V_{DD_{máx}}) - V_{REF}(V_{DD_{mín}})}{V_{DD_{máx}} - V_{DD_{mín}}} = \frac{\Delta V_{REF}}{\Delta V_{DD}} \quad (4.18)$$

Onde $V_{DD_{máx}}$ e $V_{DD_{mín}}$ são, respectivamente, as tensões máximas e mínimas da alimentação a serem consideradas e $V_{REF}(V_{DD_{máx}})$ e $V_{REF}(V_{DD_{mín}})$ são os valores da tensão de referência quando a tensão de alimentação é a máxima e a mínima definidas anteriormente (KOK; TAM, 2012).

4.8 Projeto referência de tensão do tipo *bandgap*

Para início do procedimento do projeto da referência de tensão do tipo *bandgap* é necessário especificar a tensão de alimentação, a quantidade de transistores para a geração da componente de tensão PTAT e a corrente de polarização do circuito. A primeira consideração sobre o projeto diz respeito aos transistores M1, M2 e M3, que devem possuir a mesma dimensão e, assim a mesma corrente, ou seja, $I_{M1} = I_{M2} = I_{M3}$.

4.8.1 Topologia I

Para satisfazer a autopolarização dos espelhos da Figura 20 os nós x e y devem ter o mesmo potencial ($V_{S4} = V_{S5}$) para isso é necessário que os transistores M4 e M5 tenham as mesmas dimensões.

A corrente PTAT é dada pela equação 4.16. A componente de tensão CTAT é dada pelo transistor Q3 da Figura 21 e pela equação 4.7. Em posse de 4.16 e 4.7 é possível, a partir da equação 4.19, ter o resultado da tensão de referência V_{REF}

$$V_{REF} = V_{EBQ3} + R_2 I_{R1} \quad (4.19)$$

4.8.2 Topologia II

O projeto da topologia que utiliza o amplificador operacional se torna mais simples, se não for levado em consideração o projeto do amplificador. Sendo assim, se os nós X e Y possuírem o mesmo potencial a saída do amplificador resultará em $V_{DD}/2$ e em posse do valor da corrente de polarização do circuito é obtido as dimensões dos transistores M1, M2

e M3 utilizando a equação da corrente de dreno na região de saturação apresentada pela equação 4.20.

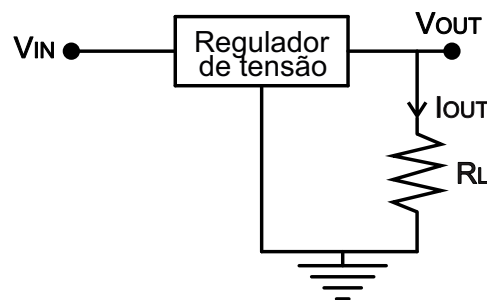
$$I_d = k' \frac{W}{2L} (V_{gs} - V_{th})^2 \quad (4.20)$$

A metodologia de projeto de uma topologia de amplificador operacional foi apresentada na seção 3.4.

5 Resultados

O projeto do regulador de tensão será desenvolvido utilizando a tecnologia CMOS da TSMC 180nm, a ferramenta de simulação Spectre/Cadence e terá especificações iniciais apresentadas na Tabela 1 e o esquema correspondente dado pela Figura 23. O dimensionamento do regulador de tensão é feito considerando seus blocos individualmente e, posteriormente, no seu todo.

Figura 23 – Esquema simplificado dos parâmetros especificados.



Fonte: Adaptado de (MOTA, 2012).

Tabela 1 – Especificações do regulador.

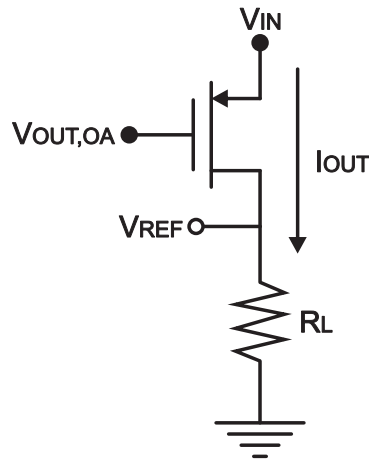
Parâmetro	Valor
V_{IN}	1,8-2,1V
frequência	13,56 MHz
V_{OUT}	1,5V
I_{OUT}	500 μA

5.1 Elemento de passagem

A escolha do elemento de passagem é muito importante pois influencia diretamente no rendimento e na tensão de *dropout*. Esse elemento pode ser escolhido como apenas um transistor ou por um conjunto de transistores que formam um *array* (LIN; ZHENG; CHEN, 2008). Quando é empregado apenas um transistor aumenta-se a eficiência de corrente, pois a corrente quiescente diminui. Entretanto, quando utilizam-se vários transistores em *array*, há uma melhora significativa da rejeição de ruídos da fonte (*PSRR*) e da resposta à variações de carga, tornando o regulador mais rápido (LIN; ZHENG; CHEN, 2008) (WONG; EVANS, 2006).

O transistor escolhido como elemento de passagem é um transistor PMOS pois é o que possui melhor compromisso entre tensão de *dropout* e velocidade. O PMOS será utilizado em configuração fonte-comum. Para o dimensionamento do elemento de passagem foram efetuadas simulações, conforme o esquemático apresentado pela Figura 24.

Figura 24 – Esquemático utilizado para obtenção das dimensões.



Fonte: O autor.

O elemento de passagem de um regulador possui uma grande largura pois é preciso assegurar que o regulador consiga fornecer uma quantidade suficiente de corrente (BAKER, 2010). Dessa forma, qualquer variação no comprimento acarretará em um incremento significativo nas capacitâncias parasitas do elemento de passagem. Como a carga do amplificador de erro será a capacitância parasita entre o terminal de porta e fonte, um aumento nessa capacitância irá reduzir, principalmente, o GBW do amplificador e conseqüentemente reduzirá a banda de funcionamento do regulador. Visto isso, para o dimensionamento do elemento de passagem foi especificado que o comprimento do transistor seja 3 vezes o mínimo da tecnologia, assim o valor utilizado foi de $0,54\mu m$. A Tabela 2 apresenta os parâmetros do projeto do elemento de passagem conforme as variáveis apresentadas pela Figura 24.

Tabela 2 – Parâmetros do projeto.

Parâmetro	Valor
V_{IN}	1,8 V
V_{REF}	1,5 V
$V_{OUT,OA}$	0,9 V
I_{OUT}	$500\ \mu A$
R_L	$3\ k\Omega$
Comprimento	$0,54\ \mu m$

A largura do elemento de passagem será de $53\ \mu m$. A medida que se aumenta a corrente de saída do regulador é necessário que aumente o tamanho do elemento de passagem. Contudo, além de elevar as capacitâncias parasitas, o elevado tamanho resulta numa pior estabilidade do sistema e pode, de acordo com as simulações, reduzir a tensão de saída V_{REF} . A Tabela 3 apresenta os parâmetros do elemento de passagem.

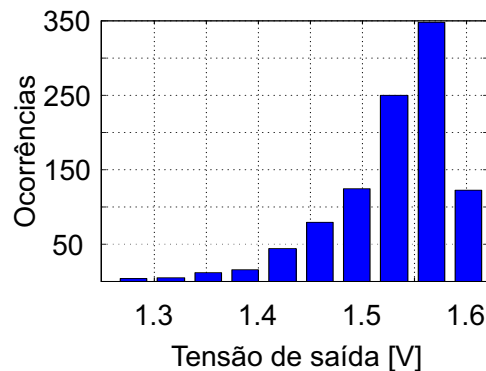
Tabela 3 – Parâmetros do transistor PMOS.

Parâmetro	Valor
<i>Largura</i>	53 μm
<i>Comprimento</i>	0,54 μm
<i>C_{porta-fonte}</i>	191,79 fF

5.1.1 Monte Carlo

O método de Monte Carlo foi desenvolvido na segunda guerra mundial, pelos cientistas do projeto Manhattan com a finalidade de solucionar problemas de natureza probabilística relacionados com o coeficiente de difusão do neutron em certos materiais (HAMMERSLEY; HANDSCOMB, 1964). Esse método constitui em escolher pontos de forma aleatória dentro de um cubo N-dimensional, e se esses pontos pertencerem ao sistema, esse ponto é considerado válido, caso contrário é descartado (RIBEIRO, 2015).

Para análise do elemento de passagem foram utilizadas 1000 iterações da simulação de Monte Carlo e verificado os impactos sobre a tensão de saída do regulador V_{REF} . O resultado é apresentado pela Figura 25.

Figura 25 – Simulação de Monte Carlo para V_{REF} .

Fonte: O autor.

5.1.2 Corner

Os *corners* são parâmetros que fazem variar os valores típicos dos componentes do circuito. É uma ferramenta útil para ter uma análise mais realista do projeto, fornece uma indicação de o que poderá acontecer em algumas diversidades determinadas, como variações no processo de fabricação por exemplo. Nos *corners* há a possibilidade de variar alguns parâmetros dos transistores como a temperatura e variações no processo, tal como a tensão de *threshold* e a velocidade dos transistores (MOTA, 2012).

Foram realizadas simulações com 3 corners para transistores PMOS: típico, lento e rápido. Cada *corner* utilizou 3 temperaturas: $27^{\circ}C$, $-27^{\circ}C$ e $77^{\circ}C$ totalizando 9 resultados. A Tabela 4 apresenta os resultados obtidos da tensão de saída V_{REF} para os *corners*.

Tabela 4 – Resultados de V_{REF} para os *corners*.

Temperatura	$27^{\circ}C$	$-27^{\circ}C$	$77^{\circ}C$	-
Corner	Valor	Valor	Valor	Unidade
Típico	1,51	1,47	1,52	V
Lento	1,28	1,18	1,36	V
Rápido	1,58	1,59	1,57	V

5.2 Projeto da referência de tensão do tipo *bandgap*

Foram utilizadas como requisitos para o projeto da tensão de referência do tipo *bandgap* uma tensão de alimentação de 1,95V, uma corrente de polarização de 10 μA a $27^{\circ}C$ e o múltiplo de transistores igual à 8 ($n=8$).

Devido à aplicação ser em dispositivos implantados, a temperatura é bastante estável, isto é, a temperatura do corpo humano, o que torna a otimização da rejeição de ruídos da fonte de alimentação (*PSRR*) mais importante.

5.2.1 Topologia I

Esta secção apresenta os resultados de simulação em nível de esquemático da topologia I do circuito de tensão de referência do tipo *bandgap* da Figura 21 utilizando a metodologia de projeto descrito pela Seção 4.8.1.

A partir das especificações, com a equação 4.16 é possível encontrar o valor do resistor R1. Para a referência de tensão seja independente da variação de temperatura, é necessário que $\partial V_{REF}/\partial V_T = 0$. Considerando que $n=8$ e $\partial V_{EB}(T)/\partial V_T = -1,73mV/K$, $\partial \Delta V_{EB}(T)/\partial V_T = 0,09mV/K$, e derivando a equação 4.17 é encontrado uma constante que relaciona R1 e R2 (RAZAVI, 2001). Assim o valor de R2 é encontrado a partir da equação 5.1. As dimensões dos transistores foram obtidas através de simulações e os resultados são apresentados na Tabela 5.

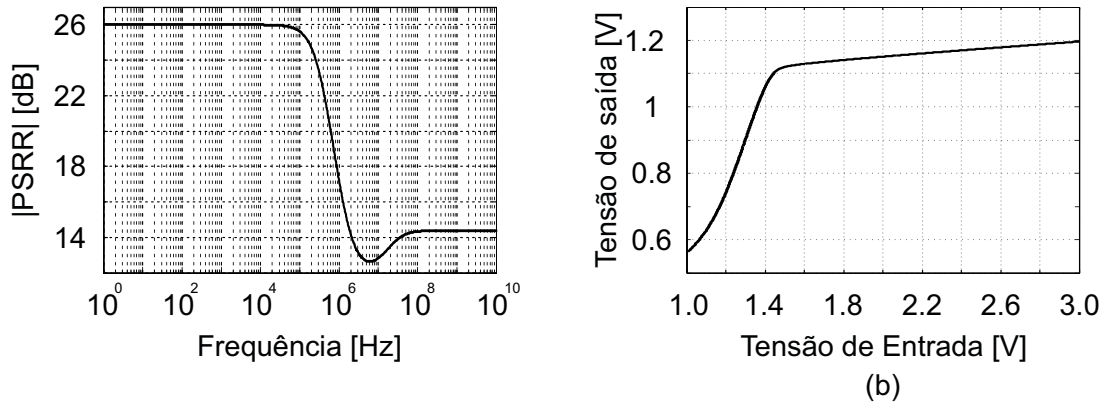
$$R_2 = 9,24 \cdot R_1 \quad (5.1)$$

Tabela 5 – Tamanho dos transistores da topologia I.

Parâmetro	Valor	Unidade
$W_1/L_1, W_2/L_2$ e W_3/L_3	50,00/3,00	$\mu m/\mu m$
W_4/L_4 e W_5/L_5	75,00/3,00	$\mu m/\mu m$
W_6/L_6 e W_7/L_7	1,00/12,00	$\mu m/\mu m$
W_8/L_8 e W_9/L_9	1,00/0,90	$\mu m/\mu m$
Q_1, nQ_2 e Q_3	10,00x10,00	$\mu m/\mu m$
R_1	5,38	$k\Omega$
R_2	49,50	$k\Omega$
n	8,00	-

5.2.1.1 Resultados da topologia I

Com esta configuração, foi possível atingir 25,99dB de atenuação à ruídos provenientes da fonte de alimentação em baixas frequências com um consumo de corrente de 31,05 μA e resultando em uma tensão de referência de 1,14V. Os parâmetros de desempenho foram obtidos através dos resultados extraídos por simulação. A Figura 26 apresenta (a) o $PSRR$ e (b) a regulação de linha. A Tabela 6 mostra um resumo dos resultados da topologia I da referência de tensão do tipo *bandgap*.

Figura 26 – (a) $PSRR$ (b) Regulação de linha

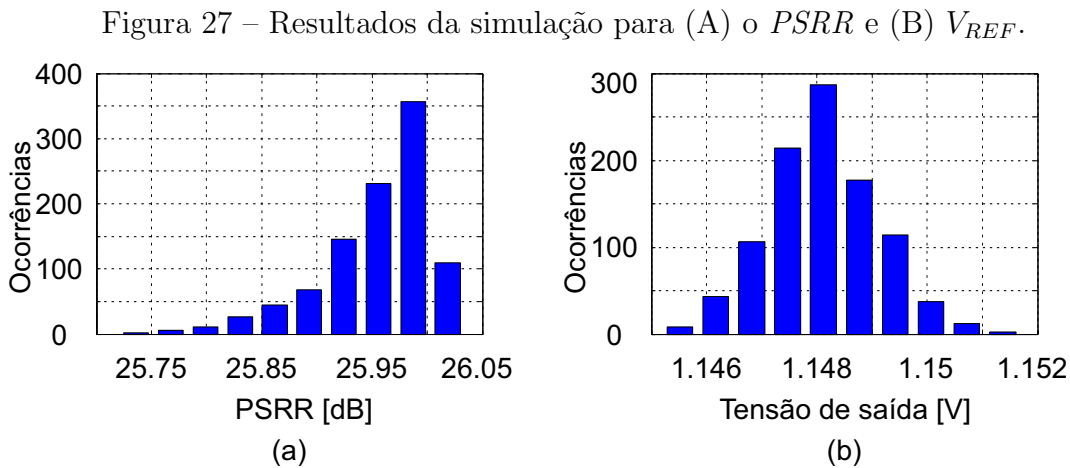
Fonte: O autor.

Tabela 6 – Parâmetros de desempenho do circuito

Parâmetro	Valor	Unidade
V_{DD}	1,95	V
V_{REF} @27°C	1,14	V
Consumo	31,05	μA
$PSRR$ @0Hz	25,99	dB
13,56MHz	13,08	dB
RL @1,8V	50,33	mV/V

5.2.1.2 Monte Carlo

Para o circuito da topologia I foram realizadas 1000 rodadas de simulações de Monte Carlo, avaliando o comportamento do $PSRR$ e da tensão de saída. A Figura 27 apresenta as distribuições estatísticas resultantes da simulação para o $PSRR$ (a) e a tensão de saída (b).



Fonte: O autor.

5.2.1.3 Corner

Combinando todas as possíveis variações para os transistores do tipo N e do tipo P são obtidos 5 *corners* diferentes, a primeira indicação é referente à velocidade do transistor do tipo N e a segunda para o transistor do tipo P. Sendo assim, as combinações são: Típico-Típico, Lento-Lento, Rápido-Rápido, Lento-Rápido e Rápido-Lento. Para cada *corner*, novamente, será avaliado em 3 temperaturas: $27^{\circ}C$, $-27^{\circ}C$ e $77^{\circ}C$. Devido a ausência dos *corners*, lento-rápido e rápido lento para os transistores bipolares foram utilizados a configuração típico-típico para que pudesse, ao menos, alterar as velocidades dos transistores MOS. A Tabela 7 apresenta os resultados dos *corners* para o $PSRR$ e a Tabela 8 para a tensão de saída V_{REF} .

Tabela 7 – Resultados do $PSRR$ para os *corners*.

Temperatura	$27^{\circ}C$	$-27^{\circ}C$	$77^{\circ}C$	-
<i>Corner</i>	Valor	Valor	Valor	Unidade
Típico-Típico	26,12	26,02	25,97	dB
Lento-Lento	26,24	26,11	26,10	dB
Rápido-Rápido	25,95	25,87	25,80	dB
Lento-Rápido	25,90	25,79	25,77	dB
Rápido-Lento	26,33	26,24	26,17	dB

Tabela 8 – Resultados de V_{REF} para os *corners*.

Temperatura	27°C	-27°C	77°C	-
<i>Corner</i>	Valor	Valor	Valor	Unidade
Típico-Típico	1,141	1,156	1,127	V
Lento-Lento	1,140	1,153	1,127	V
Rápido-Rápido	1,144	1,160	1,129	V
Lento-Rápido	1,142	1,156	1,128	V
Rápido-Lento	1,141	1,155	1,126	V

5.2.2 Topologia II

Dando sequência aos projetos dos circuitos de tensão de referência do tipo *bandgap*, essa Seção utiliza a metodologia para o projeto da topologia II conforme a Seção 4.8.2.

Para o projeto das dimensões dos transistores M1, M2 e M3 é considerado um amplificador operacional ideal, onde se o valor de suas entradas forem iguais ($V_+ = V_-$) a tensão de saída do amplificador será $V_{DD}/2$. Assim, é possível estimar a dimensão desses transistores utilizando a equação 3.4. Através de simulações foi obtido 10,4 μm de largura e 3 μm de comprimento. Como única diferença entre as topologias é como é gerada as correntes que polarizam os transistores bipolares.

A forma de geração das componentes CTAT e PTAT, o cálculo de R1 e o dimensionamento dos transistores bipolares permanecem iguais. Para obter a mesma tensão de saída V_{REF} se fez necessário um ajuste fino no valor do resistor R2 encontrado no projeto da topologia I. A Tabela 9 resume o valor dos componentes utilizados no circuito da Figura 22.

Tabela 9 – Dimensionamento do circuito.

Parâmetro	Valor	Unidade
$W_1/L_1, W_2/L_2$ e W_3/L_3	10,4/3	$\mu m/\mu m$
Q_1, nQ_2 e $Q3$	10x10	$\mu m/\mu m$
R_1	5,38	$k\Omega$
R_2	43,9	$k\Omega$
n	8	-

5.2.2.1 Amplificador operacional

Para o projeto do amplificador operacional foi utilizada a mesma metodologia do OTA-*Miller*, apresentada na Seção 3.4. Entretanto, devido a utilização do amplificador com realimentação, um alto ganho pode desestabilizar o circuito. Sendo assim foi realizado o projeto apenas do primeiro estágio (estágio diferencial) que não possui um ganho elevado.

Como a saída do amplificador é ligada ao terminal de porta de 2 transistores PMOS, a carga utilizada para o projeto (C_L) foi uma estimativa da capacitância parasita entre os

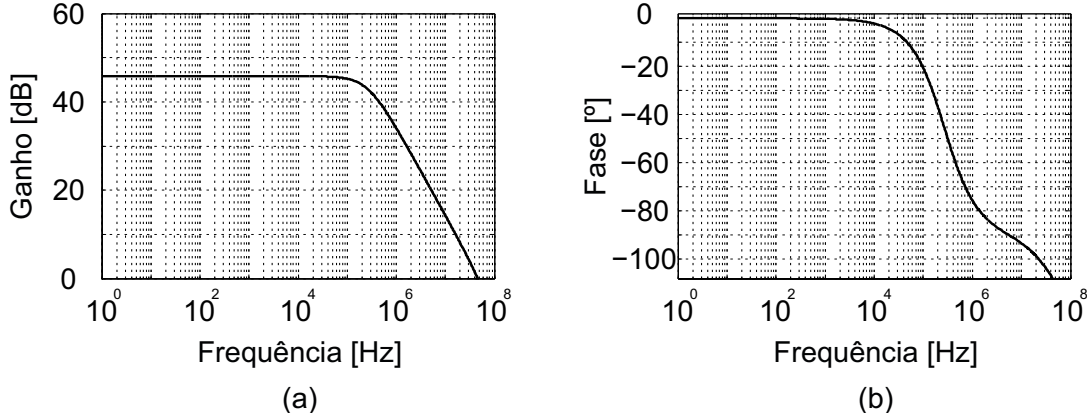
terminais de porta-fonte dos transistores M1, M2 e M3 que foram encontradas através de simulações de transistores PMOS. Visto isso, a carga do amplificador terá uma capacitância de 250 fF . Também foi especificado um valor de $GBW \gg 13,56 \text{ MHz}$, uma margem de fase maior que 60° e possuir uma corrente de polarização de $15 \mu\text{A}$. A Tabela 10 apresenta os valores das dimensões dos transistores.

Tabela 10 – Dimensionamento dos transistores do amplificador empregado na topologia II.

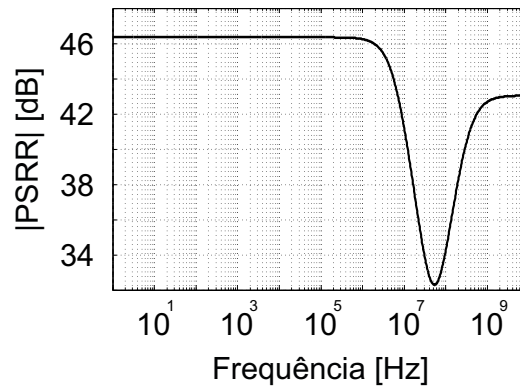
Parâmetro	Valor	Unidade	Múltiplo
W_1/L_1 e W_2/L_2	6,0/2,0	$\mu\text{m}/\mu\text{m}$	1
W_3/L_3 e W_4/L_4	2,0/2,0	$\mu\text{m}/\mu\text{m}$	1
W_5/L_5	2,5/2,0	$\mu\text{m}/\mu\text{m}$	15
W_x/L_x	2,5/2,0	$\mu\text{m}/\mu\text{m}$	1

Através desta configuração, foi possível atingir as especificações desejadas. O ganho alcançado foi de $45,81 \text{ dB}$ e o GBW é de $45,83 \text{ MHz}$, com uma margem de fase de $71,28^\circ$. O consumo de corrente em $14,3 \mu\text{A}$ alcançou o valor especificado. A Figura 28 apresenta o ganho e a fase do circuito e a Figura 29 apresenta o $PSRR$. A tabela 11 mostra um resumo dos valores obtidos através das simulações em nível de esquemático.

Figura 28 – (A) ganho e (B) Fase do circuito.



Fonte: O autor.

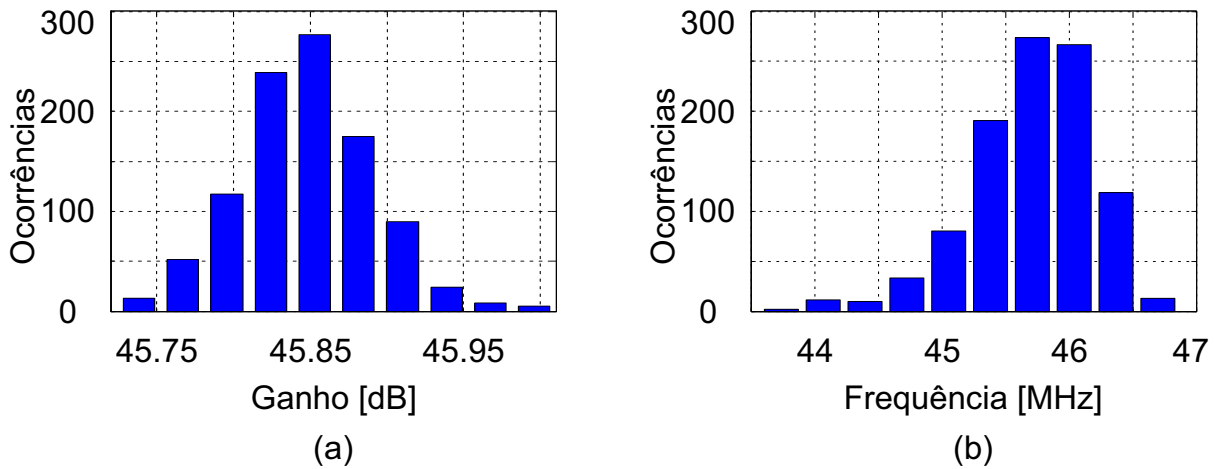
Figura 29 – Rejeição de ruídos da fonte de alimentação ($PSRR$).

Fonte: O autor.

Tabela 11 – Resumo dos resultados.

Parâmetro	Valor	Unidade
V_{DD}	1,95	V
I_{bias}	1,00	μA
Consumo	14,3	μA
$A_v @0Hz$	45,81	dB
GBW	45,83	MHz
$PSRR @0Hz$	46,34	dB
@13,56 MHz	39,27	dB
Margem de fase	71,28	°
Slew Rate	65,35	V/ μs

Para verificar a precisão dos resultados obtidos através das simulações para o amplificador operacional, foram realizadas 1000 iterações para cada simulação de Monte Carlo. Foram avaliados o Ganho A_v e o GBW mostrados pelos histogramas da Figura 30.

Figura 30 – Simulação de Monte Carlo para (A) o ganho e (B) o GBW .

Fonte: O autor.

Seguindo as análises de verificação da precisão dos resultados foram utilizados *corners*. Combinando as possibilidades para os transistores NMOS e PMOS resultou em 5 *corners*: Típico-Típico, Lento-Lento, Rápido-Rápido, Lento-Rápido e Rápido-Lento. E avaliado 3 temperaturas diferentes: $27^{\circ}C$, $-27^{\circ}C$ e $77^{\circ}C$. A Tabela 12 e 13 apresentam os resultados do ganho A_V e do GBW , respectivamente.

Tabela 12 – Resultados do ganho A_V para os *corners*.

Temperatura	$27^{\circ}C$	$-27^{\circ}C$	$77^{\circ}C$	-
Tipos NMOS-PMOS	Valor	Valor	Valor	Unidade
Típico-Típico	45,82	46,59	45,11	dB
Lento-Lento	45,97	46,75	45,27	dB
Rápido-Rápido	45,73	46,47	45,02	dB
Lento-Rápido	45,87	46,63	45,16	dB
Rápido-Lento	45,75	46,52	45,05	dB

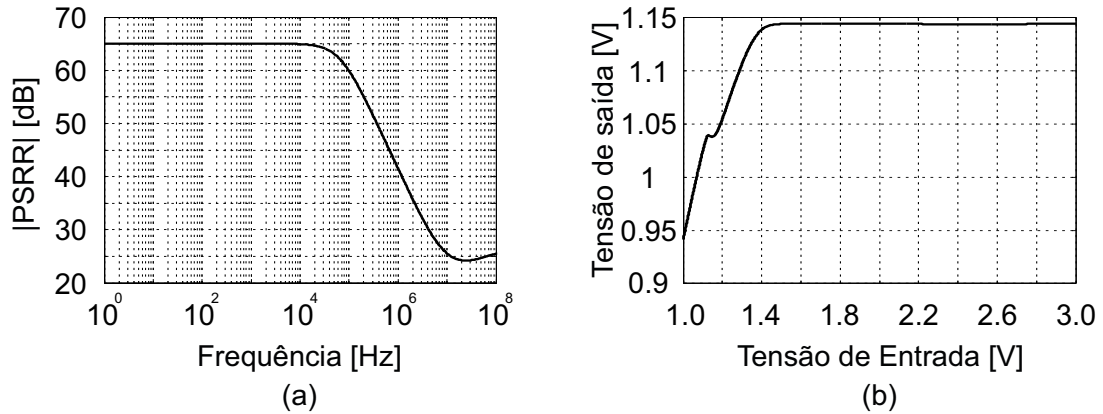
Tabela 13 – Resultados do GBW para os *corners*.

Temperatura	$27^{\circ}C$	$-27^{\circ}C$	$77^{\circ}C$	-
Tipos NMOS-PMOS	Valor	Valor	Valor	Unidade
Típico-Típico	45,83	52,44	43,43	MHz
Lento-Lento	43,76	49,50	39,70	MHz
Rápido-Rápido	46,91	53,64	42,41	MHz
Lento-Rápido	44,97	51,06	40,74	MHz
Rápido-Lento	46,21	52,91	41,74	MHz

5.2.2.2 Resultados da topologia II

Com esta configuração, foi possível atingir 65,02dB $PSRR$ à 0Hz com um consumo de corrente de 46,20 μA e resultando em uma tensão de referência de 1,14V. A Figura 31 apresenta (a) o $PSRR$ e (b) regulação de linha, e, a Tabela 14 mostra um resumo dos resultados da topologia II.

Figura 31 – (a) $PSRR$ e (b) Regulação de linha da topologia II.



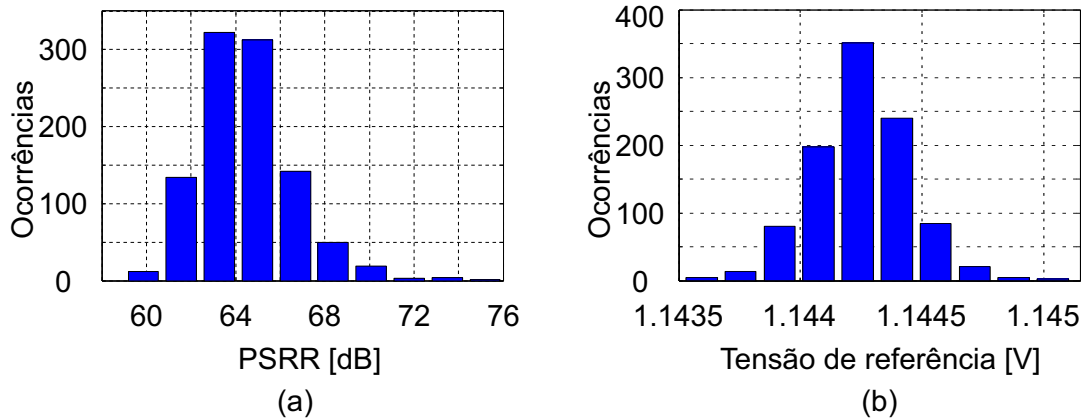
Fonte: O autor.

Tabela 14 – Parâmetros de desempenho do circuito

Parâmetro	Valor	Unidade
V_{DD}	1,95	V
$V_{REF@27^{\circ}C}$	1,14	V
Consumo	46,20	μA
$PSRR @0Hz$	65,02	dB
13,56 MHz	24,75	dB
$RL@1,8V$	0,567	mV/V

5.2.2.3 Monte Carlo

Como para o circuito da topologia I foram realizadas 1000 rodadas de simulações de Monte Carlo, avaliando o comportamento do $PSRR$ e da tensão de saída. A Figura 32 apresenta os resultados da simulação de Monte Carlo para o $PSRR$ (a) e a tensão de saída (b).

Figura 32 – Resultados da simulação para (a) o $PSRR$ e (b) V_{REF} .

Fonte: O autor.

5.2.2.4 Corner

As simulações para as variações de temperaturas e *corners* segue as mesmas diretrizes apresentadas na subseção 5.2.1.3. A Tabela 15 apresenta os resultados dos *corners* para o $PSRR$ e a Tabela 16 para a tensão de saída V_{REF} .

Tabela 15 – Resultados do $PSRR$ para os *corners*.

Temperatura	27°C	-27°C	77°C	-
Corner	Valor	Valor	Valor	Unidade
Típico-Típico	65,03	58,78	59,75	dB
Lento-Lento	64,62	57,64	57,63	dB
Rápido-Rápido	67,06	60,07	62,17	dB
Lento-Rápido	75,20	61,73	56,51	dB
Rápido-Lento	60,33	56,20	66,39	dB

Tabela 16 – Resultados de V_{REF} para os *corners*.

Temperatura	27°C	-27°C	77°C	-
Corner	Valor	Valor	Valor	Unidade
Típico-Típico	1,144	1,166	1,12	V
Lento-Lento	1,147	1,167	1,123	V
Rápido-Rápido	1,144	1,167	1,12	V
Lento-Rápido	1,144	1,165	1,11	V
Rápido-Lento	1,145	1,166	1,12	V

5.3 Amplificador de erro

O projeto do amplificador de erro segue a metodologia apresentada na Seção 3.4. O projeto tem como especificação uma alimentação de 1,95V, possuir um $GBW \ggg 13,56$ MHz, onde será a frequência de operação do regulador, um consumo de corrente no máximo $20 \mu A$, alto ganho DC e como critério de estabilidade, uma margem de fase maior que 60° .

5.3.1 Resultados do OTA-Miller

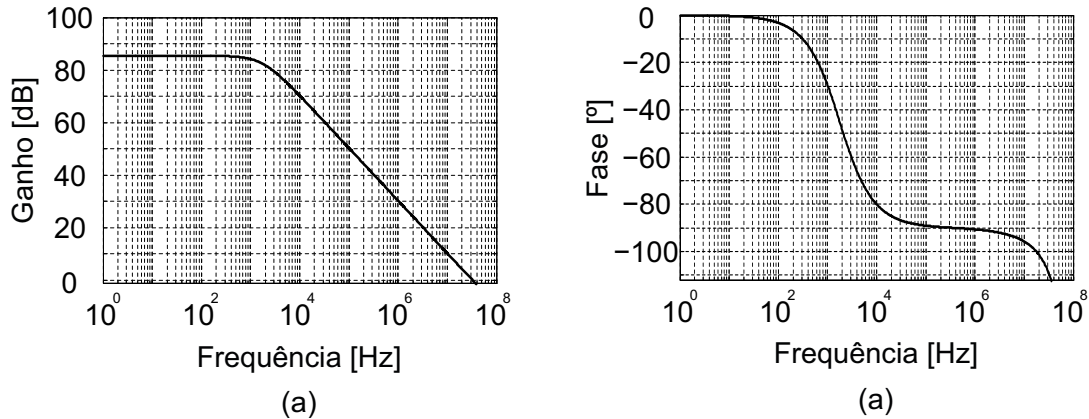
Como o estágio subsequente ao amplificador de erro é o elemento de passagem, a carga do amplificador será a capacitância parasita do elemento de passagem entre os terminais de porta e fonte, ou seja, $C_L = 191.79 \text{ fF}$. Entretanto, será deixado uma margem no valor da capacitância para prevenir de possíveis erros de processo. Contudo, o valor utilizado para C_L será de 250 fF . A Tabela 17 apresenta os valores das dimensões dos transistores.

Tabela 17 – Componentes do circuito.

Parâmetro	Valor	Unidade	Múltiplo
W_1/L_1 e W_2/L_2	1,5/2,0	$\mu\text{m}/\mu\text{m}$	1
W_3/L_3 e W_4/L_4	2,0/2,0	$\mu\text{m}/\mu\text{m}$	1
W_5/L_5	2,6/2,5	$\mu\text{m}/\mu\text{m}$	2
W_6/L_6	7,6/0,54	$\mu\text{m}/\mu\text{m}$	1
W_7/L_7	2,6/2,5	$\mu\text{m}/\mu\text{m}$	12
W_x/L_x	2,6/2,5	$\mu\text{m}/\mu\text{m}$	1
C_C	60	fF	-
R_C	100	$k\Omega$	-

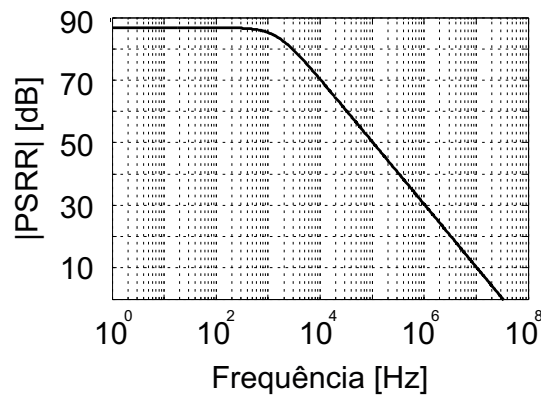
Através desta configuração, foi possível atingir as especificações desejadas. O alto ganho foi alcançado devido aos altos valores de comprimento de canal dos transistores M1, M2, M3 e M4. Isto reduz o efeito da modulação de canal λ elevando o ganho A_v dado pela equação 3.33. o GBW obtido é de 33,31 MHz, satisfazendo a especificação de projeto, e a margem de fase é de $69,5^\circ$. O consumo de corrente é de $15,01 \mu\text{A}$. A Figura 33 apresenta o ganho e a fase do circuito e a Figura 34 apresentam o $PSRR$. A Tabela 18 apresenta um resumo dos valores obtidos através das simulações.

Figura 33 – (A) ganho e (B) Fase do OTA=*Miller* empregado no projeto do regulador de tensão.



Fonte: O autor.

Figura 34 – Rejeição de ruídos da fonte de alimentação (*PSRR*).



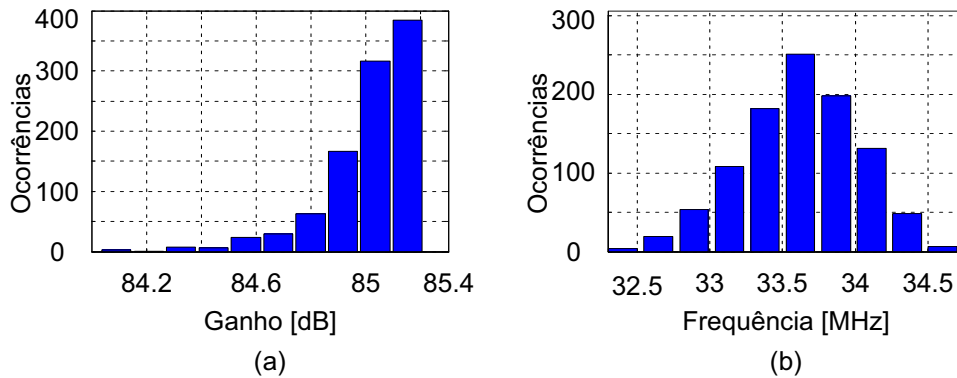
Fonte: O autor.

Tabela 18 – Resumo dos resultados.

Parâmetro	Valor	Unidade
V_{DD}	1,95	V
I_{bias}	1,00	μA
Consumo	15,1	μA
$A_v @0Hz$	85,43	dB
GBW	33,31	MHz
$PSRR @0Hz$	86,78	dB
@13,56 MHz	8,11	dB
Margem de fase	69,52	°
Slew Rate	46,77	V/ μs

5.3.2 Monte Carlo e *Corners*

Os resultados para o ganho e o GBW das simulações de Monte Carlo (1000 rodadas) são apresentados na Figura 35.

Figura 35 – Simulação de Monte Carlo para (A) o ganho e (B) o GBW .

Fonte: O autor.

A Tabela 19 e 20 apresentam os resultados do ganho A_V e do GBW , respectivamente para as simulações com *corners*

Tabela 19 – Resultados do ganho A_V para os *corners*.

Temperatura	$27^{\circ}C$	$-27^{\circ}C$	$77^{\circ}C$	-
<i>Corner</i>	Valor	Valor	Valor	Unidade
Típico-Típico	85,43	85,43	85,07	dB
Lento-Lento	81,20	65,29	84,08	dB
Rápido-Rápido	84,71	85,29	84,28	dB
Lento-Rápido	85,06	85,47	84,66	dB
Rápido-Lento	85,61	84,04	85,42	dB

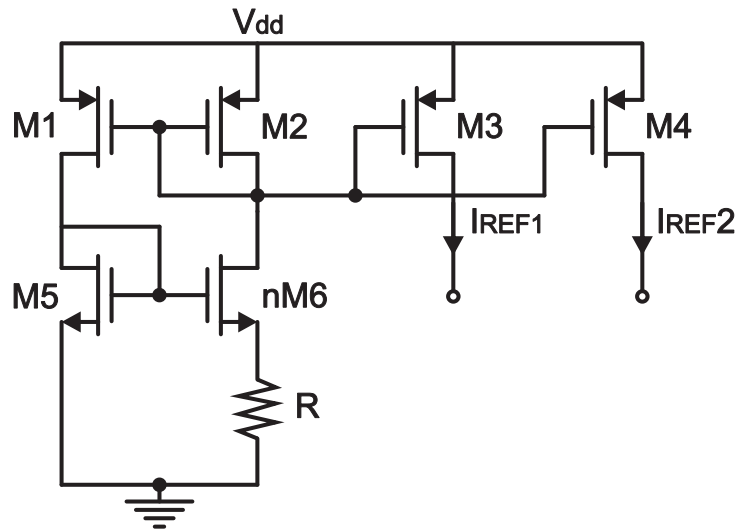
Tabela 20 – Resultados do GBW para os *corners*.

Temperatura	$27^{\circ}C$	$-27^{\circ}C$	$77^{\circ}C$	-
<i>Corner</i>	Valor	Valor	Valor	Unidade
Típico-Típico	33,31	39,55	29,88	MHz
Lento-Lento	31,02	30,19	28,49	MHz
Rápido-Rápido	34,44	41,02	30,89	MHz
Lento-Rápido	33,46	39,84	29,98	MHz
Rápido-Lento	33,15	38,39	29,77	MHz

5.4 Fonte de corrente

Para polarizar os amplificadores operacionais é necessário projetar uma fonte de corrente. Essa fonte de corrente deve fornecer uma corrente de $1 \mu A$ independente de variações da fonte de alimentação. Esse circuito deve possuir baixo consumo para não interferir na eficiência do rendimento do regulador. A Figura 36 mostra o circuito utilizado para a obtenção da fonte de corrente (RAZAVI, 2001).

Figura 36 – Fonte de corrente.



Fonte: O autor.

De modo a forçar o mesmo valor de corrente a passar pelo transistor M5 e M6 é adicionado um espelho de corrente pelos transistores M1 e M2, dessa forma é possível que V_{GS1} seja igual a $V_{GS2} + I_{REF} \cdot R$ e só ocorre se $V_{SG1} > V_{GS2}$. Assim, é usado transistores em paralelo ao transistor M2. Com isso, a corrente de referência é dada pela equação 5.2. A Tabela 21 apresenta o resultado do dimensionamento do circuito.

$$I_{REF} = \frac{2}{R^2 \cdot K_p \cdot \frac{W}{L}} \cdot \left(1 - \frac{1}{\sqrt{n}}\right)^2 \quad (5.2)$$

Tabela 21 – dimensionamento da fonte de corrente.

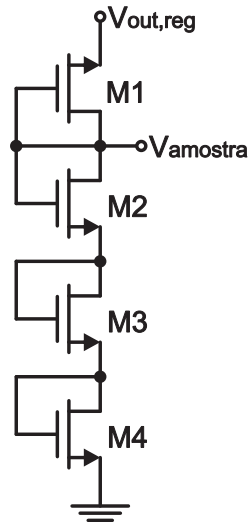
Parâmetro	Valor	Unidade	Múltiplo
$W_1/L_1, W_2/L_2, W_3/L_3$ e W_4/L_4	6,0/2,0	$\mu m/\mu m$	1
W_5/L_5	2,0/6,0	$\mu m/\mu m$	1
W_6/L_6	2,0/6,0	$\mu m/\mu m$	3
R	67,5	$k\Omega$	-

Com o dimensionamento apresentado pela Tabela 21 foi obtido I_{REF1} e I_{REF2} igual à $1,01 \mu A$ com um consumo, com carga, de $4,03 \mu A$ para uma tensão de alimentação de $1,95V$.

5.5 Rede de realimentação

A rede de realimentação é constituída por um divisor de tensão e tem como função retirar uma amostra da tensão de saída. O projeto de um divisor de tensão resistivo é simples, entretanto nesse projeto será implementado um divisor de tensão baseado em transistores o que acrescenta dificuldades ao projeto devido à polarização dos transistores. A Figura 37 apresenta o esquemático utilizado para o divisor de tensão.

Figura 37 – Rede de realimentação.



Fonte: O autor.

Para reduzir o consumo de corrente os transistores foram polarizados em região de inversão fraca. A Tabela 22 apresenta as dimensões dos transistores e a Tabela 23 mostra os resultados obtidos das simulações da rede de realimentação.

Tabela 22 – Dimensão dos transistores.

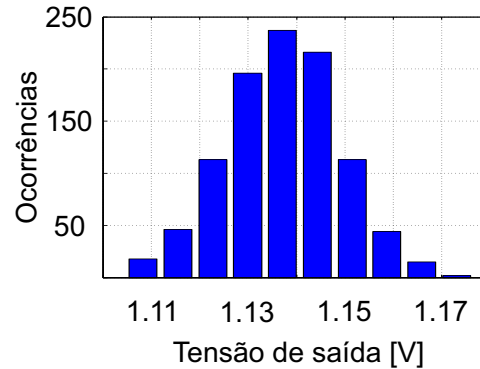
Parâmetro	Valor	Unidade	Múltiplo
W_1/L_1	2,0/8,5	$\mu m/\mu m$	1
$W_2/L_2, W_3/L_3$ e W_4/L_4	2,0/10	$\mu m/\mu m$	1

Tabela 23 – Resumo dos resultados.

Parâmetro	Valor	Unidade
V_{DD}	1,5	V
$V_{amostra}$	1,14	V
Consumo	4,29	nA

Para análise da rede de realimentação foram utilizadas 1000 iterações da simulação de Monte Carlo e verificado os impactos sobre a tensão de amostra $V_{amostra}$. O resultado é apresentado pela Figura 38.

Figura 38 – Simulação de Monte de Carlo da rede de realimentação.



Fonte: O autor.

Como nos demais circuitos, também foi realizado variações de *corners* para a rede de realimentação e verificado o comportamento da tensão de amostra $V_{amostra}$. Os resultados para os *corners* são apresentados na Tabela 24.

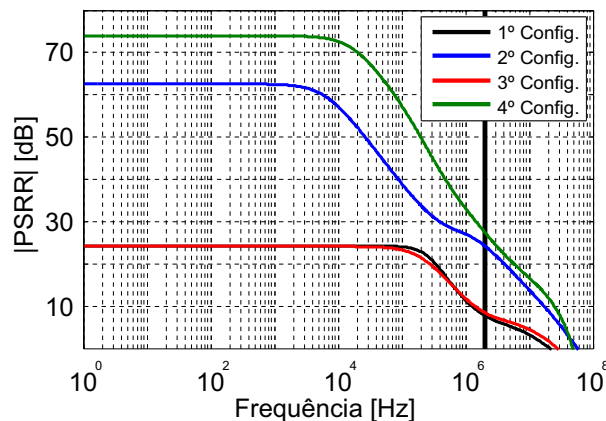
Tabela 24 – Resultados de $V_{amostra}$ para os *corners*.

Temperatura	27°C	-27°C	77°C	-
Tipos NMOS-PMOS	Valor	Valor	Valor	Unidade
Típico-Típico	1,141	1,136	1,146	V
Lento-Lento	1,143	1,139	1,148	V
Rápido-Rápido	1,131	1,135	1,146	V
Lento-Rápido	1,179	1,175	1,145	V
Rápido-Lento	1,102	1,095	1,108	V

5.6 Regulador de tensão

Nesta Seção serão apresentado os resultados do regulador de tensão de 1,5V projetado em tecnologia CMOS 180 nm da TSMC. Em posse dos projetos dos sub-blocos foi possível simular 4 configurações de reguladores diferentes, combinando os amplificadores e circuitos de referência projetados. Para comparação, a Figura 39 apresenta o *PSRR* das configurações de reguladores simuladas.

Figura 39 – Simulação das configurações de reguladores.



Fonte: O autor.

A primeira configuração utiliza como amplificador de erro o OTA de apenas um estágio e a topologia I de tensão de referência do tipo *bandgap*. Nesta configuração, apesar de baixo ganho do amplificador de erro é notável um maior *PSRR* por parte do amplificador na frequência de operação do regulador (13,56 MHz) em comparação com o amplificador de dois estágios.

A segunda configuração difere da primeira na utilização da topologia II de tensão de referência, mantendo a amplificador de erro com um estágio. Nesta configuração mantém-se o amplificador com maior *PSRR* na frequência de operação e adiciona maior precisão na tensão de referência por possuir maior rejeição (*PSRR*).

A terceira configuração possui o amplificador de dois estágios (*OTA-Miller*) e a topologia I de tensão de referência. O amplificador de dois estágio possui um elevado ganho em relação ao de um estágio. Entretanto, devido a compensação o *PSRR* é reduzido consideravelmente. Em relação a primeira configuração que também utiliza a topologia I de *bandgap*, o *PSRR* em baixas frequências é reduzido, porém a atenuação na frequência de operação e a banda de funcionamento do regulador aumentam.

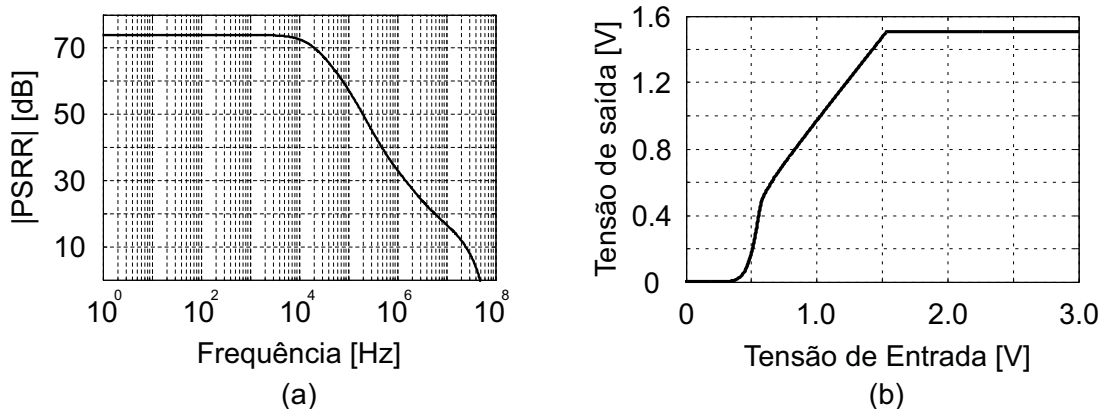
A quarta configuração, utiliza o amplificador de dois estágios e a topologia II de referência de tensão. Esta configuração apresentou maior *PSRR* em baixas frequências e na frequência de operação (13,56 MHz) com uma redução considerável na banda de funcionamento. A Tabela 25 apresenta os resultados de *PSRR* para 0 Hz e 13,56 MHz e a banda de operação do regulador (frequência onde *PSRR*=0dB) de cada configuração.

Tabela 25 – Resultados das configurações dos reguladores.

Amplificador de erro	Topologia de <i>bandgap</i>	@0 Hz	@13,56 Hz	@0 dB
OTA: um estágio	Topologia I	24,26 dB	1,99 dB	20,95 MHz
OTA: um estágio	Topologia II	62,56 dB	11,67 dB	56,35 MHz
(OTA- <i>Miller</i>)	Topologia I	24,13 dB	3,41 dB	27,98 MHz
(OTA- <i>Miller</i>)	Topologia II	73,96 dB	14,78 dB	47,82 MHz

A partir dessa comparação de configurações foi constatado que a configuração 4 possui uma maior atenuação ($PSRR$) na frequência de operação do regulador de tensão, e portanto será utilizada para as demais simulações da caracterização das grandezas de desempenho. O regulador de tensão foi simulado com o objetivo de verificar o seu desempenho. A Figura 40 apresenta (a) o comportamento do $PSRR$ com variação da frequência e (b) a regulação de linha do regulador.

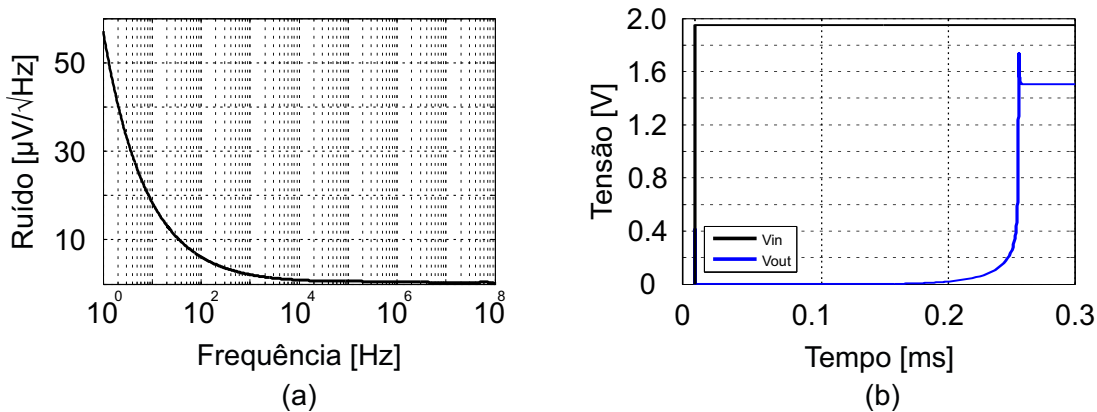
Figura 40 – (a) $PSRR$ e (b) regulação de linha.



Fonte: O autor.

Em circuitos eletrônicos o *settling time* mostra o tempo que o circuito leva para responder a um distúrbio na tensão de entrada. Para essa simulação foi utilizado um degrau unitário com tempo de subida de 1 ns como tensão de entrada do regulador e assim obtendo uma resposta de 264,07 μs para a tensão de saída se estabilizar. A tensão de ruído na saída e foi avaliada em 2 frequências: 100 e 100kHz, obtendo um valor de 3,69 e 396,13 nV/\sqrt{Hz} , respectivamente. A Figura 41 apresenta (a) a tensão de ruído na saída com variação da frequência e (b) o tempo de acomodação (*settling time*).

Figura 41 – (a) Tensão de ruído na saída e (b) Tempo de acomodação do regulador de tensão.



Fonte: O autor.

É possível notar a influência de duas fontes de ruídos no circuito, o ruído térmico, região de comportamento constante, e o ruído *flicker*, região de comportamento exponencial.

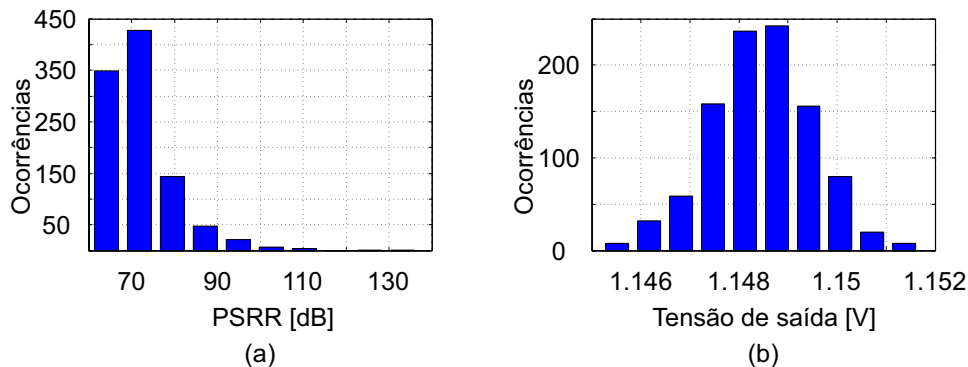
O ruído térmico provem do movimento aleatório dos elétrons no canal do transistor e o ruído *flicker* é existente devido a interface entre o silício e o óxido de porta de um transistor MOS. Esta interface faz com que os portadores de carga sejam aprisionados e posteriormente liberados de forma aleatória causando ruído. A Tabela 26 apresenta um resumo dos resultados obtidos através de simulações para o regulador de tensão.

Tabela 26 – Resumo dos resultados do regulador de tensão.

Parâmetro	Valor	Unidade
V_{DD}	1,8	V
V_{OUT}	1,50	V
$V_{DROPOUT}$	300	mV
Consumo	65,49	μA
$PSRR @0 Hz$	73,96	dB
$PSRR @13,56 MHz$	14,78	dB
Banda de funcionamento	47,82	MHz
Regulação de linha	198,863	$\mu V/V$
Regulação de carga	31,22	mV/A
<i>Settling Time</i>	264,07	μs
Ruído @100 Hz	3,69	$\mu V/\sqrt{Hz}$
Ruído @100 kHz	396,13	nV/\sqrt{Hz}

5.6.1 Monte Carlo e *corners*

Para o regulador de tensão também foram realizadas 1000 rodadas de simulações de Monte Carlo e analisado o comportamento do $PSRR$ e da tensão de saída como mostrado pela Figura 42.

Figura 42 – Simulação de Monte Carlo de (a) $PSRR$ e (b) tensão de saída.

Fonte: O autor.

Foram utilizados *corners* para verificar o comportamento do $PSRR$ e da tensão de saída do simulação do regulador de tensão. Utilizando 5 *corners*, onde é variado a velocidade dos transistores, para 3 temperaturas de operação, foi obtido 30 resultados para cada variável de interesse. As Tabelas 27 e 28 apresentam os resultados das simulações de *corners* para o $PSRR$ e tensão de saída do regulador, respectivamente.

Tabela 27 – Resultados do *PSRR* para os *corners*.

Temperatura	27°C	-27°C	77°C	-
Tipos	Valor	Valor	Valor	Unidade
Típico-Típico	73,74	86,11	61,22	dB
Lento-Lento	91,21	73,28	73,89	dB
Rápido-Rápido	74,61	78,72	57,65	dB
Lento-Rápido	64,97	72,28	67,56	dB
Rápido-Lento	73,92	68,07	61,44	dB

Tabela 28 – Resultados da tensão de saída para os *corners*.

Temperatura	27°C	-27°C	77°C	-
Tipos	Valor	Valor	Valor	Unidade
Típico-Típico	1,505	1,536	1,469	V
Lento-Lento	1,505	1,533	1,469	V
Rápido-Rápido	1,504	1,537	1,468	V
Lento-Rápido	1,456	1,487	1,418	V
Rápido-Lento	1,554	1,585	1,519	V

5.6.2 Comparação de resultados

É possível comparar as simulações efetuadas com resultados obtidos por outros autores. A Tabela 29 compara os resultados do regulador projeto com demais reguladores encontrados na literatura.

Tabela 29 – Comparações com demais reguladores.

Parâmetro	1	2	3	4	Este trabalho
Tecnologia	0,18 μm	0,18 μm	0,18 μm	0,18 μm	0,18 μm
V_{DD}	0,9 à 2,2 V	1,8 V	1,8 V	1,8 V	1,8 V
V_{OUT}	1,5 V	1,5 V	1,6 V	1,3	1,5 V
$V_{DROPOUT}$	541 mV	300 mV	200 mV	500 mV	300 mV
Consumo	35 μA	300 μA	55 μA		65,49 μA
$PSRR @0Hz$	77 dB	50 dB	70 dB	102 dB	73,96 dB
$PSRR @13,56 MHz$	-	-	-	30 dB	14,78 dB
Condensador de compensação	sim	sim	sim	sim	não

1-(HENG; PHAM, 2010).

2-(YANG et al., 2011).

3-(PARK; ONABAJO; SILVA, 2014).

4-(CHENG; CHEN; GUO, 2014).

Para uma adequada comparação de resultados faz-se necessário o emprego de uma figura de mérito, como descrita em (MOTA, 2012). Entretanto, como este projeto dispensou o uso do condensador de compensação não é possível calcular as figuras de mérito utilizadas para caracterizar os reguladores lineares de tensão, visto que, devido a

área que esses condensadores utilizam as figuras de mérito são diretamente proporcionais à capacitância desses elementos. O condensador (C_{ESR}) junto com uma resistência série (R_{ESR}), conectados à saída do regulador, formam uma malha para compensação que insere um zero entre o primeiro e o segundo polo do regulador com a finalidade de aumentar a banda de funcionamento, alterar o polo dominante para uma melhora do $PSRR$ e, também, reduzir o *undershoot* e *overshoot* que são instabilidades na tensão de saída provenientes de bruscas variações na carga ou na tensão de entrada (MOTA, 2012).

Os resultados obtidos pelo regulador projetado são similares e melhores em alguns casos com os reguladores encontrados na literatura. O único regulador que utiliza a mesma frequência de operação (13,56 MHz) é o encontrado em (CHENG; CHEN; GUO, 2014) e possui uma melhor atenuação em 13,56 MHz em detrimento da tensão de *dropout*. Visto que, aumentando a tensão de *dropout* é possível polarizar o elemento de passagem na região de saturação, aumentando a rejeição de ruídos da fonte.

6 Conclusão

Neste trabalho foi apresentado o projeto de um regulador de tensão de 1,5V e corrente de carga de até 500 μA em tecnologia CMOS da TSMC de 180 nm para aplicação em circuitos biomédicos implantados que empregam a tecnologia de transferência de energia sem fio (WPT). O regulador foi desenvolvido visando, especialmente, as restrições impostas por sua aplicação, como: necessidade de baixo consumo de energia e maior regulação de tensão.

Um dos maiores impedimentos deste trabalho deve-se ao fato de haver pouco conteúdo na literatura que apresenta o impacto individual de cada bloco no regulador. Dessa forma, a metodologia de projeto apresentada neste trabalho tem como embasamento os conhecimentos adquiridos pelo autor durante o desenvolvimento deste trabalho.

A baixa diferença de tensão entre a alimentação mínima do circuito e a tensão de saída impõe dificuldades para a polarização do elemento de passagem. Com o elemento de passagem polarizado na região de linear, qualquer variação na tensão entre os terminais de dreno e fonte produz uma variação proporcional na sua corrente, o que poderá interferir no funcionamento do regulador criando distorções na corrente de saída e conseqüentemente na tensão de saída.

Os reguladores de tensão lineares comumente encontrados na literatura são do tipo *dropout*, e usualmente requerem a adição de um condensador da ordem de 50 pF em paralelo com a saída do circuito para compensação de frequência. Neste projeto não se fez necessário a utilização dessa compensação o que reduz consideravelmente a área de silício que será utilizada.

É notável a influência diretamente proporcional da tensão de *dropout* com o *PSRR*. Entretanto, como o regulador projetado tem aplicações em dispositivos implantados, um maior valor de tensão de *dropout* apresenta desperdício de energia em forma de calor no elemento de passagem, o que prejudica a eficiência da transferência de energia sem fio.

Por fim, destaca-se que o projeto deste regulador de tensão teve como maior desafio o alcance de uma maior regulação e baixo consumo de energia quando operado em 13,56 MHz, visto que o *GBW* do amplificador de erro é diretamente proporcional a sua corrente de polarização.

6.1 Trabalhos futuros

Como trabalhos futuros, pode-se citar o desenvolvimento do leiaute do regulador utilizando as diversas técnicas de otimização de área, a extração dos elementos parasitas

presente no leiaute e avaliação do desempenho do regulador quando considerado os elementos parasitas. Além disso, pode-se efetuar o projeto de uma nova topologia de amplificador de erro, como por exemplo a topologia *folded cascode*. Essa topologia apresenta uma boa compensação de fase sem a utilização de malha de compensação, que é a principal causa do detrimento do *PSRR* em altas frequências em relação ao *OTA-Miller* empregado e por isso é comumente encontrada no projeto de reguladores de tensão.

Sugere-se também a exploração do emprego da polarização do terminal de *bulk* para o elemento de passagem, com a finalidade de reduzir seu tamanho e otimizar área do circuito, o que já é encontrado em projetos mais recentes de reguladores.

Referências

- ACOSTA, S. M. *Projeto de amplificadores operacionais CMOS utilizando transistores compostos em sea-of-transistors*. Dissertação (Mestrado) — Universidade federal de santa catarina, 1997. Citado 2 vezes nas páginas 25 e 27.
- ALEXANDER, C. K.; SADIKU, M. N. O. *Fundamentos de circuitos elétricos*. 5.ed.. ed. Porto Alegre: AMGH, 2013. Citado na página 26.
- ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. 2.ed.. ed. New York: Oxfordl, 2002. Citado 3 vezes nas páginas 31, 32 e 35.
- AMAYA, J. R.; RESTITUTO, M. D.; VAZQUEZ, . R. Accurate settling-time modeling and design procedures for two-stage miller-compensated amplifiers for switched-capacitor circuits. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 56, n. 6, p. 1077–1087, June 2009. ISSN 1549-8328. Citado na página 33.
- ANDRADE, A. bides de. *Projeto de circuito integrado de referencia de tensão em tecnologia 0,35um CMOS*. Dissertação (Mestrado) — Universidade federal do rio de janeiro, 2013. Citado 5 vezes nas páginas 35, 36, 38, 40 e 44.
- BAKER, R. J. *CMOS circuit design, layout and simulation*. 3.ed.. ed. [S.l.]: Wiley, 2010. Citado na página 48.
- BOYLESTAD, R. L.; NASHELSKY, L. *Dispositivos eletrônicos e teoria de circuitos*. 8.ed.. ed. São Paulo: Prentice Hall, 2004. Citado na página 26.
- CAMPI, T. et al. Wireless power transfer system applied to an active implantable medical device. In: *Wireless Power Transfer Conference (WPTC), 2014 IEEE*. [S.l.: s.n.], 2014. p. 134–137. Citado na página 15.
- CHENG, Q.; CHEN, L.; GUO, J. A fully integrated ac-dc regulator over wide frequency range for implantable bio-medical devices. In: *2014 International SoC Design Conference (ISOCC)*. [S.l.: s.n.], 2014. p. 44–45. Citado 2 vezes nas páginas 68 e 69.
- COLOMBO, D. M. *bandgap voltage reference in submicrometer CMOS technology*. Dissertação (Mestrado) — Universidade federal do rio grande do sul, 2009. Citado na página 42.
- COLOMER-FARRARONS, J. et al. Cmos front-end architecture for in-vivo biomedical implantable devices. In: *2009 35th Annual Conference of IEEE Industrial Electronics*. [S.l.: s.n.], 2009. p. 4401–4408. ISSN 1553-572X. Citado na página 15.
- CREPALDI, P. C. et al. A low power cmos voltage regulator for a wireless blood pressure biosensor. *IEEE Transactions on Instrumentation and Measurement*, v. 61, n. 3, p. 729–739, March 2012. ISSN 0018-9456. Citado na página 15.
- FLOYD, T. L.; BUCHLA, D. *Basic operational amplifiers and linear integrated circuits*. 2.ed.. ed. [S.l.]: Pearsonl, 1999. Citado na página 16.

- GRAY, P. R. et al. *Analysis and Design of Analog Integrated Circuits*. 5.ed.. ed. [S.l.]: Wiley, 2009. Citado 2 vezes nas páginas 28 e 29.
- GURUPRASAD; SHAMA, K. 170 mhz gbw, two stage cmos operational amplifier with high slew rate using 180 nm technology. In: *2015 Annual IEEE India Conference*. [S.l.: s.n.], 2015. p. 1–5. Citado 2 vezes nas páginas 25 e 28.
- HAMMERSLEY, J. M.; HANDSCOMB, D. C. *Monte Carlo Method*. [S.l.]: Wiley, 1964. Citado na página 49.
- HENG, S.; PHAM, C. K. A low-power high-psrr low-dropout regulator with bulk-gate controlled circuit. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 57, n. 4, p. 245–249, April 2010. ISSN 1549-7747. Citado na página 68.
- HILBIBER, D. A new semiconductor voltage standard. In: *1964 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*. [S.l.: s.n.], 1964. VII, p. 32–33. Citado na página 35.
- KOK, C. W.; TAM, W. S. *CMOS Voltage References An Analytical and Practical Perspective*. 1.ed.. ed. [S.l.]: Wiley, 2012. Citado 2 vezes nas páginas 44 e 45.
- KUNDELSTADT, T. *Fundamental theory of PMOS Low-Dropout Voltage Regulators*. Dissertação (Mestrado) — Texas instruments Application Report SLVA068, 1999. Citado 2 vezes nas páginas 19 e 20.
- LAKER, K. R.; SANSEN, W. M. C. *Design of analog integrated circuits and systems*. New York: Mcgraw Hill, 1994. Citado na página 31.
- LANDT, J. The history of rfid. *IEEE Potentials*, v. 24, n. 4, p. 8–11, Oct 2005. ISSN 0278-6648. Citado na página 15.
- LEE, B. S. *Understanding the Terms and Definitions of LDO Voltage Regulator*. Dissertação (Mestrado) — Texas instruments Application Report SLVA079, 1999. Citado 3 vezes nas páginas 22, 23 e 24.
- LI, X.; TSUI, C. Y.; KI, W. H. A 13.56 mhz wireless power transfer system with reconfigurable resonant regulating rectifier and wireless power control for implantable medical devices. *IEEE Journal of Solid-State Circuits*, v. 50, n. 4, p. 978–989, April 2015. ISSN 0018-9200. Citado na página 15.
- LIN, Y. H.; ZHENG, K. L.; CHEN, K. H. Smooth pole tracking technique by power mosfet array in low-dropout regulators. *IEEE Transactions on Power Electronics*, v. 23, n. 5, p. 2421–2427, Sept 2008. ISSN 0885-8993. Citado na página 47.
- LU, Y.; KI, W. H.; YI, J. A 13.56mhz cmos rectifier with switched-offset for reversion current control. In: *VLSI Circuits (VLSIC), 2011 Symposium on*. [S.l.: s.n.], 2011. p. 246–247. ISSN 2158-5601. Citado na página 15.
- MOTA, F. G. da. *Regulador de tensão em tecnologia HV-CMOS*. Dissertação (Mestrado) — Técnico Lisboa, 2012. Citado 4 vezes nas páginas 47, 49, 68 e 69.
- PARK, C. J.; ONABAJO, M.; SILVA, J. External capacitor-less low drop-out regulator with 25 db superior power supply rejection in the 0.4 - 4 mhz range. *IEEE Journal of Solid-State Circuits*, v. 49, n. 2, p. 486–501, Feb 2014. ISSN 0018-9200. Citado na página 68.

- RAZAVI, B. *Design of analog CMOS integrated circuits*. Los Angeles: mcgraw hilll, 2001. Citado 8 vezes nas páginas 25, 35, 38, 40, 41, 42, 50 e 61.
- RIBEIRO, F. S. *Modelos e simulações de dispositivos Semicondutores*. Dissertação (Mestrado) — Universidade Federal do Rio de Janeiro, 2015. Citado na página 49.
- SEDRA, A. S.; SMITH, K. C. *Microeletrônica*. 5.ed.. ed. São Paulo: Prentice hall, 2007. Citado na página 25.
- TRANQUILLIN, B. cesar. *Projeto de amplificador operacional em tecnologia CMOS*. Dissertação (Mestrado) — Universidade federal de são paulo, 2008. Citado na página 28.
- TSIVIDIS, Y. P. Accurate analysis of temperature effects in i_c/v_{be} characteristics with application to bandgap reference sources. *IEEE Journal of Solid-State Circuits*, v. 15, n. 6, p. 1076–1084, Dec 1980. ISSN 0018-9200. Citado 2 vezes nas páginas 37 e 38.
- WIDLAR, R. New developments in ic voltage regulators. In: *1970 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*. [S.l.: s.n.], 1970. XIII, p. 158–159. Citado na página 35.
- WONG, K.; EVANS, D. A 150ma low noise, high psrr low-dropout linear regulator in 0.13 μm technology for rf soc applications. In: *2006 Proceedings of the 32nd European Solid-State Circuits Conference*. [S.l.: s.n.], 2006. p. 532–535. ISSN 1930-8833. Citado na página 47.
- XIANGNING, F.; KUAN, B.; YANLI, H. Design and test of a 0.18 μm cmos low dropout voltage regulator for wsn rf chip. In: *2010 International Symposium on Signals, Systems and Electronics*. [S.l.: s.n.], 2010. v. 1, p. 1–4. ISSN 2161-0819. Citado na página 21.
- YANG, B. et al. A high-psr ldo using a feedforward supply-noise cancellation technique. In: *2011 IEEE Custom Integrated Circuits Conference (CICC)*. [S.l.: s.n.], 2011. p. 1–4. ISSN 0886-5930. Citado na página 68.