

UNIVERSIDADE FEDERAL DO PAMPA

Luiz Antônio Da Silva Junior

**Um Método Híbrido de Amostragem para  
Projeto Automático de Circuitos Integrados  
Analógicos Considerando Otimização de  
Produtividade**

Alegrete

2016



Luiz Antônio Da Silva Junior

**Um Método Híbrido de Amostragem para Projeto  
Automático de Circuitos Integrados Analógicos  
Considerando Otimização de Produtividade**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Bacharel em Engenharia Elétrica.

Orientador: Alessandro Gonçalves Girardi

Alegrete

2016

Ficha catalográfica elaborada automaticamente com os dados fornecidos  
pelo(a) autor(a) através do Módulo de Biblioteca do  
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

d111m da Silva Junior, Luiz Antônio

Um Método Híbrido de Amostragem para Projeto Automático de  
Circuitos Integrados Analógicos Considerando Otimização de  
Produtividade / Luiz Antônio da Silva Junior.

66 p.

Trabalho de Conclusão de Curso(Graduação)-- Universidade  
Federal do Pampa, ENGENHARIA ELÉTRICA, 2016.

"Orientação: Alessandro Girardi".

1. Engenharia Elétrica. 2. Microeletrônica. 3. Projeto de  
circuitos integrados analógicos. I. Título.

**LUIZ ANTONIO DA SILVA JUNIOR**

**UM MÉTODO HÍBRIDO DE AMOSTRAGEM PARA PROJETO AUTOMÁTICO DE CIRCUITOS  
INTEGRADOS ANALÓGICOS CONSIDERANDO OTIMIZAÇÃO DE PRODUTIVIDADE**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica.

Área de Concentração: Microeletrônica

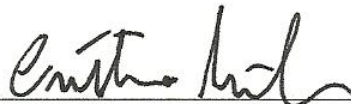
Trabalho de Conclusão de Curso defendido e aprovado em: 5 de dezembro de 2016.

Banca examinadora:



---

Prof. Dr. Alessandro Gonçalves Girardi  
Orientador



---

Prof. Me. Cristian Müller  
UNIPAMPA



---

Prof. Me. Paulo César Comassetto de Aguirre  
UNIPAMPA



*Dedico este trabalho ao meus pais que,  
com muito carinho e apoio,  
não mediram esforços  
para que eu chegasse  
até esta etapa de minha vida.*





# AGRADECIMENTOS

Todas as pequenas conquistas obtidas desde o início da minha graduação até o desenvolvimento deste trabalho de conclusão de curso só foram possíveis graças ao apoio e incentivo de familiares, professores, colegas e amigos. Diante disso, eu gostaria de deixar um agradecimento especial para todos aqueles que contribuíram positivamente com a minha jornada.

Agradeço aos meus pais, Luiz Antônio e Ronalda, por todo carinho e apoio durante todos esses anos de vida. Minha jornada acadêmica teria sido muito mais difícil sem o suporte e incentivo que sempre recebi dos meus pais. Por isso, sou profundamente grato à eles.

Agradeço ao professor e orientador Alessandro Girardi que me acolheu como seu orientando desde o meu terceiro semestre de graduação e desde então tem sido um ótimo guia para minha evolução acadêmica. Este trabalho não seria realizado sem as dicas e orientações valiosas que recebi.

Agradeço ao professor Lucas Severo que sempre esteve disposto a ajudar e esclarecer dúvidas sobre a ferramenta UCAF.

Agradeço aos colegas de graduação, John Jefferson e João Guilherme pela ajuda em resolver os problemas com a escrita em Latex.

Agradeço aos demais colegas que sempre estiveram apoiando durante a graduação, entre eles, Marcelo Magalhães, William Deliberalli, Haiglan Plotzki e Leonardo Tomazine

Agradeço ao colega de pesquisa Robson Domanski pela parceria na realização do projeto que deu origem a este trabalho

Agradeço aos demais colegas do grupo GAMA, Alian, Aline, Anderson, Dionatas, Matheus Cortez, Mateus Oliveira e Renan pelas experiências compartilhadas.

Agradeço aos professores e membros da banca, Paulo e Cristian, pelas orientações e sugestões para melhoria deste trabalho.

Agradeço à todos os professores da UNIPAMPA que colaboraram com meu desenvolvimento a acadêmico como um todo.



*“A jornada de mil milhas  
começa com um simples passo.  
(Lao Tse)*

*“Grandes realizações não são feitas por impulso,  
mas através de uma série de pequenas conquistas acumuladas.”  
(Vincent Van Gogh)*



# RESUMO

Em relação ao nível de automação de projeto, os circuitos integrados digitais estão bem mais avançados quando comparados aos circuitos integrados analógicos. Em razão disso, o *time-to-market* de circuitos mistos é prejudicado devido ao longo tempo de projeto dedicado aos blocos analógicos. O dimensionamento de circuitos analógicos pode ser considerado como um problema de otimização e resolvido através de heurísticas de otimização. A solução obtida depende da estratégia de modelagem empregada no circuito e na estimativa de performance do mesmo, que é comumente realizada através de simulação elétrica. Em geral, as soluções encontradas estão no limiar do espaço de projeto, e conseqüentemente qualquer variação nos parâmetros construtivos dos dispositivos afeta o desempenho do circuito. Neste caso, se torna necessária a inclusão da estimativa de produtividade no fluxo de projeto para assegurar que a variabilidade de parâmetros não afetará a performance do circuito. A estimativa de produtividade é feita com o auxílio da análise de Monte Carlo no fluxo de otimização o que acarreta em um aumento de processamento computacional. Com o intuito de reduzir o número de simulações de Monte Carlo e minimizar o tempo necessário para estimar a produtividade resultante em cada iteração, dois diferentes métodos de amostragem são analisados neste trabalho. O método de amostragem por hipercubo latino, utilizado nas primeiras iterações do processo de otimização, é capaz de fornecer uma boa confiabilidade na estimativa da produtividade mesmo com um número menor de amostras. Depois de certo ponto, o método de amostragem utilizado no processo de otimização é modificado para a amostragem aleatória simples, com o objetivo de refinar a busca no espaço de projeto. A metodologia proposta foi adicionada à ferramenta UCAF e utilizada para dimensionar automaticamente um amplificador operacional de transcondutância Miller, o projeto mostrou vantagens em termos de tempo de processamento e otimização de produtividade. Foi demonstrado que o emprego de diferentes métodos de amostragem para análise Monte Carlo em um mesmo fluxo de projeto é capaz de proporcionar uma busca mais eficiente no espaço de projeto.

**Palavras-chave:** Projeto de circuitos integrados analógicos. Otimização de produtividade. Análise Monte Carlo. Métodos de amostragem.



# ABSTRACT

Regarding the design automation level, digital integrated circuits are more advanced when they are compared with analog integrated circuits. As a result, the time-to-market of mixed-signal circuits is hindered due to the long time dedicated for analog blocks designs. Analog circuit sizing can be considered as an optimization problem and the task can be fulfilled by optimization heuristics. The obtained solution depends on the circuit modeling strategy and performance estimation, which is usually performed by electrical simulation. In general, the solutions are located in the design space threshold, and consequently, any variation on the fabrication parameters of the devices affects circuit performance. In this case, it is necessary the inclusion of the yield prediction in the design flow to ensure that parameters variability will not affect circuit performance. Yield estimation is done with the assistance of Monte Carlo analysis in the optimization flow, this results in an increase computational processing. In order to reduce the number of Monte Carlo runs and minimize the required time to estimate the resultant yield in each iteration, two different sampling methods are analyzed in this work. Latin hypercube sampling method, used in the first iterations of the optimization process, it is capable of providing a good reliability in yield estimation even with a small number of samples. After a certain point, the sampling method used in the optimization process is changed to the conventional random sampling, in order to refine design space search. The proposed methodology was added to UCAF framework and used to size automatically a Miller operational transconductance amplifier, in which the design presented advantages in terms of processing time and yield optimization. It was demonstrated that the use of different sampling methods for Monte Carlo analysis in a single design flow is capable of providing a more efficient search in the design space.

**Keywords:** Analog integrated circuit design. Yield optimization. Monte Carlo analysis. Sampling methods.





# LISTA DE FIGURAS

Figura 1 – Estrutura física de um transistor em tecnologia CMOS. . . . .	30
Figura 2 – Função para as especificações: (a) valor mínimo requerido pelas especificações (b) valor máximo requerido pelas especificações. . . . .	33
Figura 3 – Exemplo de leiaute de um amplificador CMOS. . . . .	35
Figura 4 – Fluxograma da metodologia utilizada na ferramenta UCAF. . . . .	37
Figura 5 – Diagrama de blocos funcionais. . . . .	38
Figura 6 – Variações nas dimensões de canal de um transistor. . . . .	48
Figura 7 – Gráfico de uma função de densidade de probabilidade gaussiana. . . . .	50
Figura 8 – Amostragem por hipercubo latino em um espaço bidimensional. . . . .	54
Figura 9 – Amostragem aleatória simples em um espaço bidimensional. . . . .	54
Figura 10 – Esquemático elétrico do amplificador OTA Miller. . . . .	56
Figura 11 – Número de rodadas Monte Carlo x Valor de média para $Av0$ . . . . .	57
Figura 12 – Número de rodadas Monte Carlo x Valor de média para $GBW$ . . . . .	57
Figura 13 – Número de rodadas Monte Carlo x Valor de média para Margem de fase. . . . .	57
Figura 14 – Número de rodadas Monte Carlo x Valor de média para $SR$ . . . . .	58
Figura 15 – Número de rodadas Monte Carlo x Valor de média para Dissipação de potência. . . . .	58
Figura 16 – Número de rodadas Monte Carlo x Valor de desvio padrão para $Av0$ . . . . .	58
Figura 17 – Número de rodadas Monte Carlo x Valor de desvio padrão para $GBW$ . . . . .	59
Figura 18 – Número de rodadas Monte Carlo x Valor de desvio padrão para margem de fase. . . . .	59
Figura 19 – Número de rodadas Monte Carlo x Valor de desvio padrão para $SR$ . . . . .	59
Figura 20 – Número de rodadas Monte Carlo x Valor de desvio padrão para dissipação de potência. . . . .	60
Figura 21 – Gráfico Erro $\xi_\mu$ x Número de rodadas Monte Carlo para $Av0$ . . . . .	61
Figura 22 – Gráfico Erro $\xi_\mu$ x Número de rodadas Monte Carlo para $GBW$ . . . . .	61
Figura 23 – Gráfico Erro $\xi_\mu$ x Número de rodadas Monte Carlo para margem de fase. . . . .	62
Figura 24 – Gráfico Erro $\xi_\mu$ x Número de rodadas Monte Carlo para $SR$ . . . . .	62
Figura 25 – Gráfico Erro $\xi_\mu$ x Número de rodadas Monte Carlo para dissipação de potência. . . . .	62
Figura 26 – Gráfico Erro $\xi_\sigma$ x Número de rodadas Monte Carlo para $Av0$ . . . . .	63
Figura 27 – Gráfico Erro $\xi_\sigma$ x Número de rodadas Monte Carlo para $GBW$ . . . . .	63
Figura 28 – Gráfico Erro $\xi_\sigma$ x Número de rodadas Monte Carlo para margem de fase. . . . .	63
Figura 29 – Gráfico Erro $\xi_\sigma$ x Número de rodadas Monte Carlo para $SR$ . . . . .	64
Figura 30 – Gráfico Erro $\xi_\sigma$ x Número de rodadas Monte Carlo para dissipação de potência. . . . .	64

Figura 31 – Curvas de Erro $\xi_\mu$ x Número de rodadas Monte Carlo obtidas para todas as especificações com o método de amostragem por hipercubo latino. . . . .	66
Figura 32 – Curvas de Erro $\xi_\mu$ x Número de rodadas Monte Carlo obtidas para todas as especificações com o método de amostragem aleatória simples. . . . .	66
Figura 33 – Fluxo de otimização incluindo estimativa de produtividade apenas para melhor solução. . . . .	67
Figura 34 – Curvas de Função custo x Iterações do algoritmo de otimização para os três tipos de projeto executados. . . . .	70
Figura 35 – Curvas de Produtividade x Iterações do algoritmo de otimização para os três tipos de projeto executados. . . . .	70
Figura 36 – Leiaute do amplificador OTA Miller. . . . .	74

# LISTA DE TABELAS

Tabela 1 – Diferença percentual dos valores finais entre os métodos de amostragem.	60
Tabela 2 – Valores de Função Custo e Produtividade para os três projetos na última iteração do algoritmo de otimização. . . . .	71
Tabela 3 – Comparação entre os projetos executados com os diferentes métodos de amostragem. . . . .	72
Tabela 4 – Especificações requeridas e resultados obtidos com o projeto automático do amplificador OTA Miller. . . . .	73
Tabela 5 – Valores das variáveis do amplificador OTA Miller dimensionadas a partir do projeto considerando amostragem híbrida. . . . .	73
Tabela 6 – Resultados do projeto da ferramenta UCAF e da simulação pós-leiaute do amplificador OTA Miller. . . . .	74



# LISTA DE ABREVIATURAS E SIGLAS

SPICE	Simulador com ênfase em circuitos integrados
MOSFET	Transistor de Efeito de Campo - Metal Óxido Semicondutor
NMOS	Transistor MOSFET do tipo N
PMOS	Transistor MOSFET do tipo P
SA	Técnica de Otimização Simulated Annealing
GA	Técnica de Otimização Algoritmo Genético
PSO	Técnica de Otimização Enxame de Partículas
PDF	Função de Densidade de Probabilidade
OTA	Amplificador Operacional de Transcondutância



# LISTA DE SÍMBOLOS

$n$	Número de rodadas Monte Carlo
$\mu$	Valor de média
$\sigma$	Valor de desvio padrão
$\hat{\mu}^*$	Valor de média de referência
$\hat{\sigma}^*$	Valor de desvio padrão de referência
$\xi_{\mu}$	Erro percentual para média
$\xi_{\sigma}$	Erro percentual para desvio padrão





# SUMÁRIO

1	INTRODUÇÃO . . . . .	25
2	PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS . . . . .	29
2.1	Circuitos Integrados . . . . .	29
2.2	Transistores MOSFETs em tecnologia CMOS . . . . .	29
2.3	Projeto automático de circuitos integrados analógicos . . . . .	31
2.4	Leiaute de um circuito integrado . . . . .	34
3	A FERRAMENTA UCAF . . . . .	37
3.1	Interfaces de Entrada e Saída . . . . .	38
3.2	Núcleo da Ferramenta . . . . .	38
3.3	Tecnologia de Fabricação . . . . .	39
3.4	Biblioteca de Circuitos . . . . .	39
3.5	Otimização . . . . .	39
3.6	Função Custo . . . . .	40
3.7	Especificações e Simulação Elétrica . . . . .	40
4	ALGORITMO DE OTIMIZAÇÃO PSO . . . . .	43
4.1	<i>Particle Swarm Optimization</i> . . . . .	43
5	<i>DESIGN CENTERING</i> . . . . .	47
5.1	Variabilidade de Parâmetros . . . . .	47
5.2	Análise Monte Carlo . . . . .	51
5.2.1	Amostragem Aleatória Simples . . . . .	52
5.2.2	Amostragem por Hipercubo Latino . . . . .	52
6	METODOLOGIA . . . . .	55
6.1	Análise dos métodos de amostragem . . . . .	55
6.2	Método híbrido de amostragem para análise Monte Carlo . . . . .	65
7	RESULTADOS E DISCUSSÕES . . . . .	69
7.1	Projeto automático com amostragem híbrida . . . . .	69
7.2	Ferramenta UCAF vs Leiaute . . . . .	72
8	CONSIDERAÇÕES FINAIS . . . . .	77

**REFERÊNCIAS . . . . . 79**

# 1 INTRODUÇÃO

Circuitos integrados ou chips estão cada vez mais presentes em diversos setores da economia atual e desempenham um papel fundamental para o desenvolvimento tecnológico, visto que possuem alto desempenho e podem ser empregados na construção de muitos equipamentos eletrônicos. Apesar de os circuitos digitais dominarem atualmente o mercado em quantidade de fabricação ou estarem mais presentes na construção de chips, os circuitos analógicos ainda são necessários, pois desempenham funções importantes, como por exemplo, a amplificação de sinais analógicos ou ainda servir como receptores, reguladores de tensão e osciladores.

Há uma grande complexidade relacionada ao projeto de circuitos integrados analógicos quanto ao dimensionamento dos dispositivos. Mesmo que um bloco analógico contenha um número menor de dispositivos comparado à um circuito digital, cada transistor necessita ser dimensionado separadamente dos demais com o intuito de manter uma polarização satisfatória para o projeto. Também há uma forte dependência entre os dispositivos e as especificações de desempenho do circuito. Em razão disso, a modelagem analítica do circuito pode algumas vezes não ser factível para a realização do projeto, então o mesmo precisa ser direcionado com auxílio de simulações elétricas. Assim, iterativamente, repete-se o procedimento de dimensionar os transistores e verificar o desempenho do circuito através de simulação SPICE (*Simulated Program with Integrated Circuits Emphasis*) até que o projeto apresente um desempenho satisfatório. Neste contexto, a experiência do projetista é um fator crucial para o êxito do projeto visto que conhecer o circuito é importante para refiná-lo de forma eficiente.

A automação do projeto de circuitos integrados analógicos ainda está em desenvolvimento. Atualmente, não há uma ampla variedade de ferramentas comerciais que resolvam o problema. Porém, alguns trabalhos têm abordado o projeto analógico como um problema de otimização, na qual a performance do circuito é avaliada através de um função custo e uma heurística de otimização é responsável por buscar de forma automática soluções otimizadas contidas no espaço de projeto (BARROS; GUILHERME; HORTA, 2010). Algumas ferramentas foram criadas através dessa abordagem, como por exemplo, os trabalhos de (PHELPS et al., 2000) e (MARTINS et al., 2015). A UCAF, que foi desenvolvida pelo trabalho de (SEVERO, 2012), junto ao Grupo de Arquitetura de Computadores e Microeletrônica (GAMA) da Universidade Federal do Pampa campus Alegrete, é uma ferramenta destinada ao projeto automático de circuitos integrados analógicos que utiliza de heurísticas de otimização e de simulação elétrica para o dimensionamento dos transistores de um determinado circuito. Além de projetar um circuito que atenda todas

as especificações desejadas, a ferramenta é capaz de otimizar a área do circuito, o consumo de potência e produtividade do mesmo.

O avanço contínuo na tecnologia de fabricação dos dispositivos semicondutores tem resultado na redução do tamanho dos transistores, em contrapartida, o desempenho de um circuito analógico se torna mais sensível às variabilidades no processo de fabricação dos circuitos integrados (DRENNAN; MCANDREW, 2003). Segundo (LIN; CHEN; GEIGER, 2006) e (XU et al., 2009), a produtividade de um circuito, que pode ser estimada pela razão entre o número de circuitos que antedem às especificações e o número total de circuitos fabricados, é fortemente afetada pela variabilidade dos parâmetros do processo de fabricação.

A inclusão da estimativa de produtividade no fluxo de projeto analógico é crucial para se obterem circuitos com desempenhos satisfatórios e que sejam viáveis para fabricação. A análise Monte Carlo, bastante difundida atualmente, é capaz de simular e estimar estatisticamente as variabilidades de parâmetros que podem ocorrer no processo de fabricação dos dispositivos semicondutores. Porém, para que esta análise seja considerada confiável, são necessárias diversas rodadas de simulações para testar as variadas combinações de parâmetros que podem ocorrer na prática. Assim, o nível de processamento e o custo computacional se tornam elevados com o aumento do número de rodadas executadas na simulação de Monte Carlo (GRAEB, 2007).

Com um maior tempo de processamento, um fluxo de projeto pode se tornar demorado e afetar no *time-to-market* de um circuito misto que contenha blocos digitais e analógicos, e conseqüentemente, atrasar seu lançamento no mercado. Tendo em vista que o maior peso computacional de um projeto analógico automático está presente nas simulações para estimar a produtividade do circuito, alguns trabalhos têm explorado técnicas para reduzir o tempo gasto para a estimativa da produtividade com análise Monte Carlo. O trabalho de (CANELAS et al., 2016) aborda o emprego do método de *Clustering K-Means* para reduzir o número de simulações Monte Carlo e otimizar a produtividade de um circuito em projeto analógico automático através da ferramenta AIDA desenvolvida por (MARTINS et al., 2015). Uma estratégia baseada em OCBA (*Optimal Computing Budget Allocation*) é apresentada por (GUERRA-GOMEZ; TLELO-CUAUTLE; FRAGA, 2015) para reduzir o custo de simulação na otimização de produtividade. Já o trabalho de (KONDAMADUGULA; NAIDU, 2016) adapta a metodologia desenvolvida por (NAIDU, 2007) para estimativa de produtividade de circuitos analógicos na qual a redução do tempo de processamento computacional é feita focando-se nas variáveis estatísticas que têm impacto mais significativo na produtividade. Uma outra alternativa eficaz para redução do número de rodadas de simulação Monte Carlo é utilizar o método de amostragem por hipercubo latino (*Latin Hypercube Sampling - LHS*) no lugar do método de amostragem aleatória simples, esse tipo de abordagem é mostrado nos trabalhos de (MAHMOUDI;

---

ZIMMERMANN, 2015) e (JAFFARI; ANIS, 2011).

Seguindo a linha dos trabalhos citados anteriormente, o presente trabalho tem como objetivo principal propor um método de estimativa de produtividade de um circuito com custo computacional menor e que, ao mesmo tempo, garanta um valor de produtividade satisfatório e maior que o obtido com o método convencional. Demonstrar também que mesmo não considerando parâmetros de leiaute no fluxo de projeto, a ferramenta UCAF é capaz de projetar um circuito que tenha performance semelhante ao seu leiaute.

O desempenho dos métodos de amostragem aleatória simples e amostragem por hipercubo latino serão avaliados através da estimativa dos valores de média e desvio padrão de algumas especificações de um circuito utilizando-se análise Monte Carlo. Com isso é elaborada uma técnica que seja capaz de se beneficiar das vantagens dos dois métodos de amostragem considerados neste trabalho. A técnica proposta será implementada no fluxo de projeto da ferramenta UCAF para então projetar-se um circuito, desenhar seu respectivo leiaute e comparar desempenho de simulação em nível de esquemático com o desempenho pós-leiaute do circuito.

Este trabalho está dividido em oito capítulos, sendo que o Capítulo 2 contém uma revisão bibliográfica sobre circuitos integrados e o projeto analógico dos mesmos. O Capítulo 3 aborda sobre a UCAF, que é a ferramenta de projeto utilizada como base para a elaboração desse trabalho. O capítulo 4 contém informações sobre a heurística de otimização utilizada como base no fluxo de projeto da ferramenta UCAF. O Capítulo 5 explica sobre a variabilidade de parâmetros na construção dos circuitos integrados, bem como a técnica utilizada para simulação dessa variabilidade. O Capítulo 6 apresenta uma análise dos métodos de amostragem e as diretrizes que influenciaram no desenvolvimento da técnica proposta. Os resultados obtidos com aplicação da metodologia proposta são apresentados no Capítulo 7. Finalmente, algumas conclusões são apresentadas e discutidas no Capítulo 8.



## 2 PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS

Este capítulo apresenta uma visão geral sobre o projeto de circuitos integrados analógicos, explanando sobre alguns conceitos e definições básicos para o entendimento do tema como um todo.

### 2.1 Circuitos Integrados

Um circuito integrado, também chamado de CI, é um circuito eletrônico em escala nanométrica ou micrométrica que integra diversos componentes em único chip de material semicondutor. A maioria dos dispositivos integrados são de característica semicondutora como os diodos e transistores, mas também há a presença de elementos não semicondutores como resistores, capacitores e indutores. Dentre os vários tipos de tecnologia para fabricação de circuitos integrados, a tecnologia CMOS de transistores é a mais utilizada nos dias de hoje.

Com as mais variadas funções e aplicações na indústria, presente tanto nos produtos eletrônicos de consumo como nos seus processos de produção, os circuitos integrados podem ser divididos em três tipos: circuitos digitais, circuitos analógicos e circuitos mistos. Circuitos digitais são aqueles que operam com sinais discretos no tempo, como por exemplo memórias e processadores. Os circuitos analógicos são caracterizados por operarem com sinais contínuos no tempo, e têm como principal função fazer a interface entre os sinais presentes no mundo real e os circuitos de processamento digital. Filtros, amplificadores, osciladores, conversores AD (analógico-digital) e DA (digital-analógico) são alguns exemplos de circuitos analógicos. Os circuitos mistos são chamados desta forma por englobarem partes digitais e analógicas em um único chip. Um exemplo de aplicação dos circuitos mistos é a telefonia móvel, na qual são necessários circuitos analógicos para modulação e amplificação de sinal e também circuitos digitais, que são responsáveis pela comunicação de dados.

### 2.2 Transistores MOSFETs em tecnologia CMOS

O acrônimo MOSFET vem do termo em inglês *Metal Oxide Semiconductor Field Effect Transistor*, que significa transistor de efeito de campo de metal óxido semicondutor. Ou seja, é um transistor controlado por um efeito de campo elétrico quando há uma determinada diferença de potencial entre seus terminais, já o termo metal-óxido-semicondutor

refere-se às características construtivas do dispositivo. Inicialmente os transistores eram fabricados com camadas de metal, de óxido e de semiconductor. Hoje em dia, a camada de metal foi substituída por polisilício (silício policristalino), na qual o silício é altamente dopado para apresentar características de um condutor.

O material semiconductor que compõe os transistores pode ser dopado com o intuito de se alterar a quantidade de elétrons livres na camada de valência, e com isso temos dois tipos de transistores. Os transistores MOSFETs do tipo N originam-se quando o material semiconductor é dopado de uma forma que resulta em uma sobra de elétrons na camada de valência. Se essa dopagem resultar em uma falta de elétrons na camada de valência do semiconductor, então originam-se os transistores MOSFETs do tipo P. O acrônimo CMOS vem do tempo em inglês *Complementary Metal Oxide Semiconductor* e significa metal óxido semiconductor complementar, esse último termo refere-se ao fato de que os transistores do tipo N e o P podem ser utilizados de forma complementar e simétrica para desempenhar funções lógicas em circuitos digitais. A Figura 1 ilustra a estrutura física de um transistor CMOS.

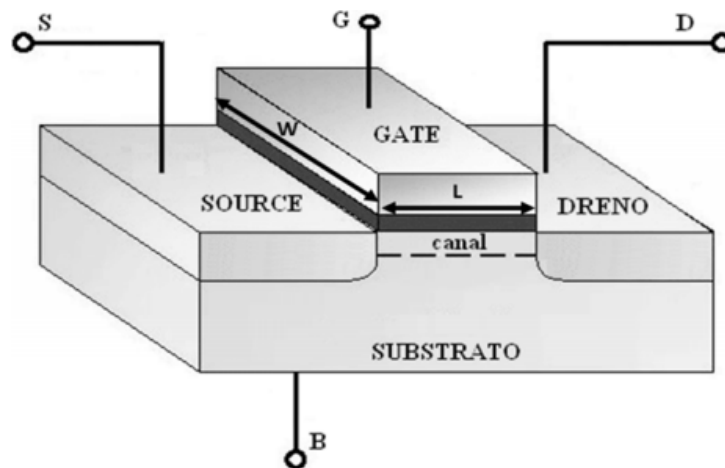


Figura 1 – Estrutura física de um transistor em tecnologia CMOS.

Fonte – Adaptado de (TSIVIDIS; MCANDREW, 2011).

De acordo com Balkir, Dündar e Ögrenci (2003) o projeto de circuitos integrados analógicos pode ser dividido considerando-se o nível de abstração, com isso tem-se o projeto em nível de sistema, em nível de esquemático e em nível de leiaute. O projeto em nível de sistema trata o circuito como um bloco funcional. Já o esquemático elétrico do circuito composto por transistores e outros dispositivos é considerado no projeto em nível de esquemático. O projeto em nível de leiaute considera o desenho geométrico planar dos dispositivos.

O projeto em nível de sistema consiste em escolher uma topologia adequada para o circuito a partir dos dados de entrada e das especificações requeridas de saída.

No projeto em nível de esquemático, que é o principal foco deste trabalho, os



dispositivos que compõe a topologia escolhida para o circuito são dimensionados. Para os transistores, o projeto representa o dimensionamento do comprimento  $L$  e da largura  $W$  de canal dos dispositivos. Para isso, o projetista pode estimar a dimensão inicial dos transistores através de metodologias simplificadas, como por exemplo a equação da corrente de dreno  $I_D$  do modelo quadrático (SPICE nível 1 ou nível 3) para transistores CMOS (ALLEN; HOLBERG, 2002) que está representada pela Equação 2.1.

$$I_D = \begin{cases} \frac{\mu_0 C_{ox} W}{L} [(v_{GS} - V_T) - (\frac{v_{DS}}{2})] v_{DS} & \text{se } 0 \leq v_{DS} < v_{GS} - V_T \\ \frac{\mu_0 C_{ox} W}{2L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}) & \text{se } v_{GS} \geq v_{GS} - V_T \end{cases} \quad (2.1)$$

Onde:

- $\mu_0$  Mobilidade de portadores do canal;
- $C_{ox}$  Capacitância do óxido isolante;
- $V_T$  Tensão de limiar ou *threshold*;
- $\lambda$  Parâmetro de modulação no comprimento de canal;
- $v_{GS}$  Tensão entre os terminais de *gate* e *source* do transistor;
- $v_{DS}$  Tensão entre os terminais de dreno e *source* do transistor.

Quanto mais precisão se deseja obter na estimativa das dimensões dos transistores, então deve-se considerar modelos elétricos mais completos. Tais modelos fornecem equações que contém uma variedade de parâmetros e variáveis que modelam com melhor precisão o comportamento elétrico dos transistores.

Uma vez estimadas as dimensões iniciais para os dispositivos, a experiência do projetista e conhecimento do mesmo sobre o funcionamento do circuito é de suma importância para um ajuste fino no projeto. Isso constitui um processo iterativo no qual o projetista ajusta as variáveis do circuito e verifica o desempenho do mesmo através de simulações elétricas até que as especificações requeridas sejam obtidas. Dessa forma, o projeto manual de circuitos integrados analógicos além de ser lento é bastante complexo e depende, geralmente, de uma equipe grande de projetistas experientes.

Alguns aspectos sobre o projeto em nível de leiaute serão abordados mais adiante na Seção 2.4 deste mesmo capítulo.

## 2.3 Projeto automático de circuitos integrados analógicos

Uma das alternativas para automatizar o fluxo de projeto de circuitos integrados analógicos, e amenizar as desvantagens do projeto manual, é de modelar o problema de dimensionamento como um problema de otimização.

Sabe-se que o desempenho de um circuito está diretamente ligado com as dimensões dos transistores, capacitâncias, resistências, correntes e tensões de polarização, que são as variáveis livres de projeto. Desse modo é possível modelar o desempenho do circuito através de uma função custo que definirá o espaço de desempenho. Com o emprego de uma heurística de otimização pode-se explorar este espaço com o objetivo de se encontrar uma solução otimizada (ponto de mínimo ou máximo).

Dado um conjunto de especificações do projeto  $\mathbf{X}(\mathbf{p}, \mathbf{q}) = \{S_1, S_2, \dots, S_k\}$  que é dependente de conjuntos de valores de parâmetros do projeto  $\mathbf{p}$  e valores de parâmetros da tecnologia de fabricação  $\mathbf{q}$ . Onde  $S$  é uma especificação individual e  $k$  é o número de especificações do projeto.

As dimensões de comprimento  $L$  de canal e largura  $W$  de canal dos transistores, bem como as correntes de polarização e valores de capacitores são os parâmetros de projeto. Isto é, são as variáveis livres que podem ser ajustadas de forma a se projetar um circuito. Os parâmetros da tecnologia de fabricação consideram os parâmetros usados na modelagem elétrica dos transistores, tensões de alimentação e faixa de temperatura de operação.

Dada uma especificação, a aceitação de um circuito pode ser expressada como:

$$\mathbf{X}(\mathbf{p}, \mathbf{q}) \in \Phi.$$

Onde  $\Phi$  é a região de especificações que são aceitáveis no espaço de desempenho, e  $\Psi$  representa a região de aceitação no espaço de parâmetros de projeto, que é definida por:

$$\mathbf{X}(\mathbf{p}, \mathbf{q}) \in \Phi \rightarrow \mathbf{p} \in \Psi.$$

A aceitação de um circuito fabricado pode ser considerada quando este apresenta as especificações dentro dos limites aceitáveis, ou seja, se  $S_i^L \leq S_i \leq S_i^U$ , sendo que os índices  $L$  e  $U$  correspondem aos limites inferior e superior, respectivamente.

Os valores dos parâmetros da tecnologia  $\mathbf{q}$  variam estatisticamente em torno de um valor nominal, isto se dá devido às flutuações no processo de fabricação que não podem ser evitados. Esta variação obedece o comportamento de uma função densidade de probabilidade conjunta  $g(\mathbf{p}, \mathbf{q})$ . O Capítulo 5 aborda com mais detalhes sobre a variabilidade de parâmetros no processo de fabricação dos transistores e como isso pode afetar na produtividade dos circuitos fabricados.

Um método eficaz para otimizar o desempenho de um circuito pode fazer com que a estimativa de produtividade seja explorada como objetivo de otimização em um fluxo automático de projeto. Para isso, considera-se um problema de programação não-linear e então formula-se uma função custo, para avaliação de desempenho, que está sujeita à algumas restrições, de acordo com a seguinte forma padrão (NYE et al., 1988):

$$\begin{aligned} & \underset{\mathbf{p}, \mathbf{q}}{\text{minimizar}} && F_m(\mathbf{p}, \mathbf{q}), \quad m = 1, \dots, M \\ & \text{sujeito a} && C_n(\mathbf{p}, \mathbf{q}) \leq C_{n(\text{ref})}, \quad n = 1, \dots, N \end{aligned}$$

onde  $M$  é o número total de  $F_m$  especificações a otimizar e  $N$  é o número de  $C_n$  funções restrição de desempenho. Aqui,  $\mathbf{X}$  pode ser escrita como um conjunto de objetivos e restrições de projeto:

$$\mathbf{X}(\mathbf{p}, \mathbf{q}) = \{F_1, \dots, F_M, C_1, \dots, C_N\}.$$

$C_n(\mathbf{p}, \mathbf{q})$  é uma função que é independente do tipo de especificação: mínimo valor requerido ( $C_{\min}(\mathbf{p}, \mathbf{q})$ ) ou máximo valor requerido ( $C_{\max}(\mathbf{p}, \mathbf{q})$ ) (BARROS; GUILHERME; HORTA, 2010).

A Figura 2 mostra tais funções, onde  $a$  é o valor máximo ou mínimo requerido e  $b$  representa o valor limite entre os desempenhos que são aceitáveis e não aceitáveis.

Os pontos contidos no intervalo entre  $a$  e  $b$  são valores de desempenho considerados aceitáveis, mas ao mesmo tempo não são factíveis. Através deles que as funções de restrição recebem valores intermediários que possibilita a exploração de regiões factíveis do espaço de projeto que estejam desconectadas entre si. Se o desempenho do circuito estiver fora da faixa desejada então estas funções retornam um custo adicional à função custo. Do contrário, não há custo adicional.

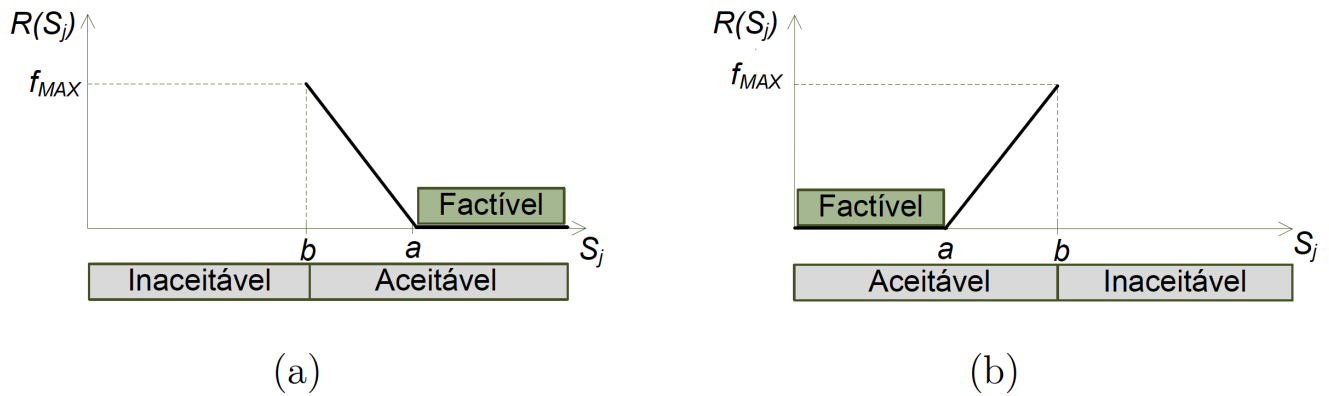


Figura 2 – Função para as especificações: (a) valor mínimo requerido pelas especificações (b) valor máximo requerido pelas especificações.

Fonte – Adaptado de (BARROS; GUILHERME; HORTA, 2010).

Com o método da função penalidade é possível transformar o problema com restrição em um problema de minimização sem restrição, da seguinte forma:

$$f_c(\mathbf{p}, \mathbf{q}) = \sum_{m=1}^M w_m \cdot \hat{F}_m(\mathbf{p}, \mathbf{q}) + \sum_{n=1}^N v_n \cdot \hat{C}_n(\mathbf{p}, \mathbf{q}). \quad (2.2)$$

Onde  $w_m$  e  $v_n$  são pesos que indicam a importância relativa dos objetivos e das restrições de projeto, respectivamente.  $\hat{F}$  e  $\hat{C}$  são as funções objetivo e restrição de projeto normalizadas, de maneira a manter todos os fatores do somatório na mesma ordem de grandeza.

A estimativa de produtividade pode ser facilmente incluída como um objetivo de projeto na função custo através da adição de um novo termo  $\hat{Y}(\mathbf{p}, \mathbf{q}, \boldsymbol{\epsilon}_q)$  no somatório:

$$f_c^Y(\mathbf{p}, \mathbf{q}, \boldsymbol{\epsilon}_q) = \sum_{m=1}^M w_m \cdot \hat{F}_m(\mathbf{p}, \mathbf{q}) + \sum_{n=1}^N v_n \cdot \hat{C}_n(\mathbf{p}, \mathbf{q}) + \hat{Y}(\mathbf{p}, \mathbf{q}, \boldsymbol{\epsilon}_q). \quad (2.3)$$

Este novo termo é dependente do vetor de variabilidade dos parâmetros da tecnologia de fabricação  $\mathbf{q}$  dado por  $\boldsymbol{\epsilon}_q$ .

Pode-se definir a função característica de  $\Phi$  como

$$I_{\Phi}(\mathbf{X}) = \begin{cases} 1 & \text{se } \mathbf{X} \in \Phi \\ 0 & \text{se } \mathbf{X} \notin \Phi \end{cases}$$

a qual é 1 para aprovado e 0 para reprovado. Esta também é conhecida como função indicador.

Pode-se agora definir a produtividade do circuito como a probabilidade de uma solução estar dentro da região de aceitação:

$$Y = \int_{\mathfrak{R}^*} I_{\Phi}(\mathbf{X})g(\mathbf{X})d\mathbf{X}.$$

Através dessa modelagem matemática e da atribuição para os pesos da função custo, uma heurística de otimização pode ser empregada para explorar o espaço de projeto em busca de uma solução ótima. É através dessa heurística que os valores das variáveis livres do projeto serão ajustados de acordo com a avaliação do desempenho do circuito dada pela função custo descrita pela Equação 2.3.

## 2.4 Leiaute de um circuito integrado

Após o projeto finalizado do circuito em nível de esquemático, parte-se para a etapa de desenho do leiaute deste circuito. O leiaute de um circuito integrado é a representação deste em termos das formas geométricas planares que correspondem aos padrões de camadas de óxido, metal e semiconductor que formam os dispositivos que compõem o circuito integrado. A Figura 3 apresenta um exemplo de leiaute simplificado de um amplificador projetado em tecnologia CMOS.

Quando usados os processos padrões de fabricação, na qual a interação de muitas variáveis químicas, térmicas e fotográficas é conhecida e altamente controlada, o comportamento do circuito integrado fabricado depende diretamente das posições e interconexões

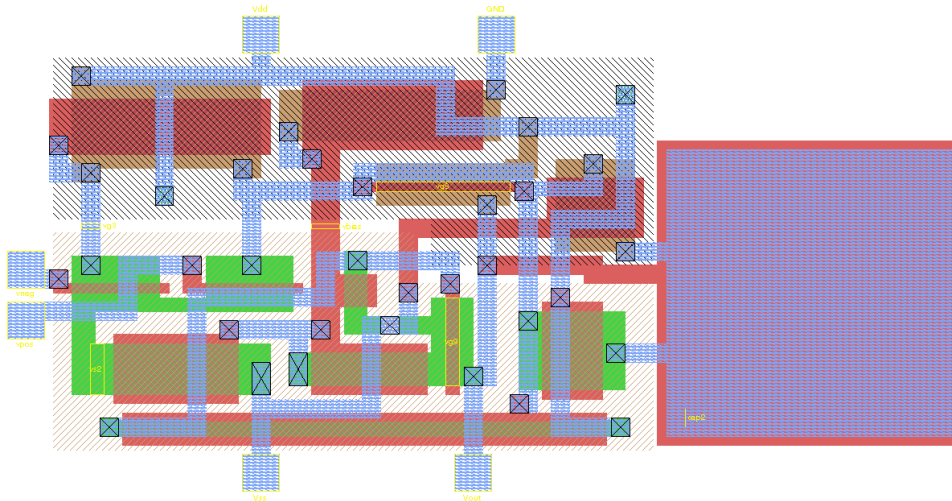


Figura 3 – Exemplo de leiaute de um amplificador CMOS.

Fonte – Adaptado de Baker (2008).

das formas geométricas dos dispositivos. Com o auxílio de uma ferramenta de CAD, o projetista posiciona e conecta todos os componentes que formam o circuito com o intuito de obter um desempenho semelhante ao obtido em nível de esquemático. Portanto, o leiaute desenhado passa por várias etapas de checagem para garantir que o mesmo atenda à algumas regras. As principais etapas de checagem são (SAINT; SAINT et al., 2002):

- Checagem de regras de projeto (DRC, *Design Rule Checking*) - verifica-se se o leiaute atende às regras de fabricação, como por exemplo, se determinados níveis de metais estão respeitando a distância mínima exigida pela *foundry*.
- Checagem de regras de antena - serve para evitar que as interconexões dos metais causem efeitos antenas que podem gerar pequenas micro descargas elétricas no interior do chip e então danificá-lo.
- Checagem de regras elétricas (ERC, *Electrical Rule Checking*) - checa-se se as interconexões elétricas apresentam características de curto-circuito ou circuito aberto que podem danificar o circuito.
- Leiaute x esquemático (LVS, *Layout versus Schematic*) - compara-se o esquemático elétrico do circuito com o leiaute desenhado a fim de confirmar se ambos representam a mesma topologia em que os dispositivos estão conectados da mesma forma.
- Extração dos parasitas - as capacitâncias, indutâncias e resistências parasitas decorrentes do desenho dos dispositivos e suas interconexões são computadas e adicionadas ao leiaute do circuito.

Na maioria dos circuitos, o casamento (*matching*) bem definido entre os transistores é essencial para o funcionamento adequado do circuito. De acordo com (BAKER, 2008),

algumas técnicas podem ser utilizadas para melhorar o casamento entre os transistores em nível de leiaute, entre elas destacam-se as técnicas de leiaute com Centroide Comum e leiaute Interdigitado.

### 3 A FERRAMENTA UCAF

Levando em consideração o que foi abordado no capítulo anterior, o seguinte capítulo apresenta alguns detalhes sobre o funcionamento da ferramenta UCAF que foi desenvolvida por Severo (2012) para projetar de forma automática circuitos integrados analógicos. Todos os detalhes sobre a construção e o funcionamento da ferramenta podem ser encontrados no trabalho supracitado.

A ferramenta UCAF foi desenvolvida a partir de uma metodologia voltada para o dimensionamento de circuitos integrados analógicos por meio de otimização utilizando um simulador elétrico. A metodologia na qual a ferramenta UCAF foi baseada está exemplificada no fluxograma da Figura 4. Neste fluxo, uma solução inicial gerada manual ou aleatoriamente, os requisitos do projeto e a tecnologia requerida de fabricação são os parâmetros de entrada para o método de otimização. A partir desse ponto, se inicia uma determinada heurística de otimização que possui a função de gerar valores para as variáveis do circuito. Dessa forma, o desempenho do mesmo pode ser mensurado através das especificações obtidas que, por sua vez, constituem a função de avaliação. Tal função é analisada e o processo se repete até que seja encontrada uma solução ótima que satisfaça as especificações do projeto.

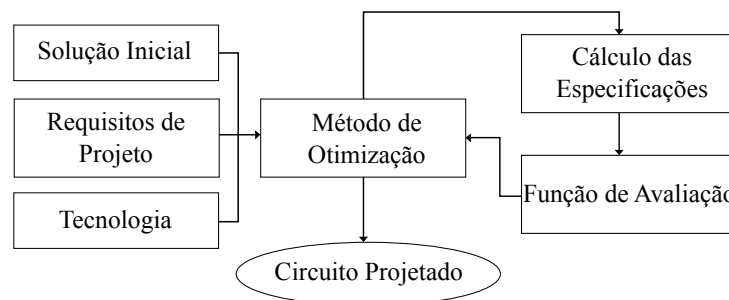


Figura 4 – Fluxograma da metodologia utilizada na ferramenta UCAF.

Fonte – Adaptado de Severo (2012).

Desenvolvida em ambiente MATLAB<sup>®</sup>, a ferramenta UCAF foi programada a partir de funções modulares de modo que cada bloco possa ser modificado ou substituído sem provocar alterações funcionais nos demais blocos. A Figura 5 mostra a estrutura dos blocos funcionais modulares que constituem a ferramenta. A seguir, em cada seção, será apresentada uma breve explicação sobre as funções modulares.

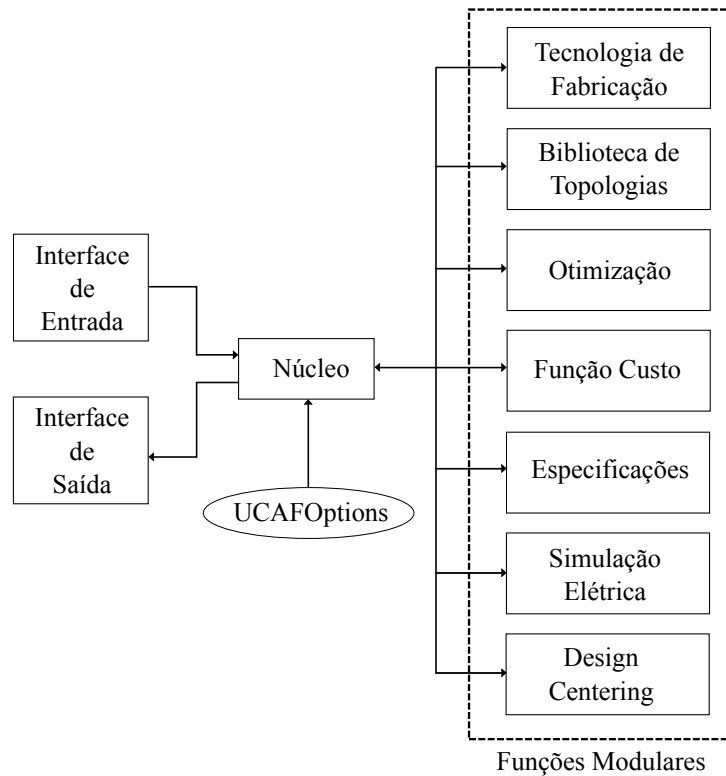


Figura 5 – Diagrama de blocos funcionais.

Fonte – Adaptado de Severo (2012).

### 3.1 Interfaces de Entrada e Saída

A interface de entrada serve para configurar a ferramenta, todos os dados pertinentes para a execução da mesma são inseridos por linha de comando utilizando um *script*. Através desse *script* também é possível configurar os demais blocos funcionais e definir o fluxo de execução para a ferramenta. As configurações são ajustadas através da estrutura *UCAFOptions* que apresenta todos os dados necessários para a execução da ferramenta.

Após a execução completa do fluxo de projeto, os dados do circuito dimensionado são apresentados na interface de saída que gera um relatório com as etapas iniciais e finais de execução, bem como as especificações atingidas pelo circuito e sua produtividade. Neste relatório também estão contidos os dados obtidos em execuções intermediárias para possíveis análises por parte do usuário.

### 3.2 Núcleo da Ferramenta

O núcleo da ferramenta é o principal módulo da mesma e está conectado com todos os módulos da UCAF. Possui as funções de criar e organizar um novo projeto, criar os arquivos de simulação deste projeto e acionar e configurar os demais módulos pertinentes para a execução do fluxo. O núcleo da UCAF baseia-se na estrutura *UCAFOptions* que



tem suas configurações ajustadas na interface de entrada.

### 3.3 Tecnologia de Fabricação

Neste bloco estão contidas as informações sobre a tecnologia de fabricação dos transistores CMOS que serão utilizados no projeto. A tecnologia de fabricação contém informações como o modelo elétrico dos transistores, as dimensões mínimas e máximas destes, bem como os parâmetros utilizados no modelo. É através da tecnologia de fabricação que o comportamento elétrico dos transistores é simulado. Portanto, a escolha da tecnologia pode influenciar negativamente nos resultados encontrados pela heurística de otimização, uma vez que a modelagem dos transistores não esteja bem precisa ou apresente alguma descontinuidade.

### 3.4 Biblioteca de Circuitos

Este bloco refere-se à topologia do circuito integrado analógico que se deseja projetar automaticamente. O circuito é inserido através de um arquivo *netlist* configurado como sub-circuito, sendo que o diretório deste arquivo é informado no *script* de entrada junto com as variáveis livres de projeto.

A única restrição para os circuitos analógicos que podem ser inseridos na UCAF é que estejam de acordo com uma das topologias inseridas na ferramenta. Elas representam o tipo de entrada e saída de um bloco analógico. Os três tipos de topologias que foram inseridas, de acordo com (ALLEN; HOLBERG, 2002), são:

- circuitos de entrada e saída simples (*single-ended*);
- circuitos com entrada diferencial e saída simples;
- circuitos com entrada e saída diferencial (*fully differential*).

### 3.5 Otimização

De suma importância para a ferramenta UCAF, o bloco de otimização inclui as heurísticas que têm por finalidade a geração de possíveis soluções otimizadas para o circuito no qual se deseja projetar. A partir de uma solução inicial, as heurísticas são executadas com o intuito de direcionar o projeto para uma solução ótima com base nos objetivos e especificações desejadas. As variáveis do circuito são então dimensionadas e respeitam valores máximos e mínimos que dependem da topologia do circuito e da tecnologia de fabricação utilizada.

Atualmente, a ferramenta UCAF possui três heurísticas inseridas para o fluxo de otimização, são elas: Algoritmos Genéticos (GA), *Simulated Annealing* (SA) e *Particle Swarm Optimization* (PSO). Alguns detalhes sobre a heurística *Particle Swarm Optimization*, que foi utilizada neste trabalho, serão abordados no próximo capítulo.

### 3.6 Função Custo

Neste bloco serão informadas as especificações que serão otimizadas e as que delimitam os espaço de projeto. A função custo utilizada na ferramenta UCAF é uma função multiobjetivo, igual à Equação 2.2, modelada da maneira que foi mostrada na Seção 2.3 do Capítulo 2.

A função custo então utiliza os dados de entrada do bloco de especificações, na qual o usuário define quais são as especificações de objetivo e as especificações de restrição. Com a definição dos pesos  $w_m$  e  $v_n$ , as especificações relevantes do projeto são escolhidas e ponderadas. Esta ponderação é uma parte fundamental no projeto, e visto que existem inúmeras combinações possíveis, a tarefa de escolher os valores de ponderação é difícil.

### 3.7 Especificações e Simulação Elétrica

Os blocos Especificações e Simulação Elétrica são distintos, porém estão relacionados de forma que um complementa o outro.

O bloco de especificações contém os requisitos desejáveis que servem para avaliar o desempenho do circuito referente às soluções encontradas. As especificações na ferramenta UCAF podem ser diferenciadas em dois tipos: restritivas e de otimização. As especificações restritivas devem atender aos valores máximos ou mínimos requeridos pelo projetista. Já as especificações de otimização representam as características do circuito que se deseja minimizar ou maximar (dissipação de potência, área de *gate*, produtividade). São estas que serão o objetivo da função custo no problema de otimização.

Os dados referentes às simulações do tipo SPICE e os *testbenches* utilizados para medir as especificações do circuito estão contidos no bloco de simulação elétrica

Todas as especificações do circuito são medidas através de simulações elétricas com análises do tipo AC, DC e transiente. A ferramenta UCAF utiliza o simulador elétrico Synopsys HSPICE® que é configurado através de linha de comando pela interface de entrada.

Alguns *testbenches*, dados por (ALLEN; HOLBERG, 2002), já foram inseridos na ferramenta, e através deles é possível medir as seguintes especificações:

- Ganho em baixas frequências ( $Av0$ );

- Produto ganho-largura de faixa (*GBW*, *gain-bandwidth product*);
- Margem de fase (*PM*, *phase margin*);
- *Slew rate* (*SR*);
- Faixa de tensão no modo comum de entrada (*ICMR*, *input common-mode voltage range*);
- Faixa de tensão de saída do circuito durante sua operação (*OS*, *output swing*);
- Taxa de rejeição que o circuito tem em relação à perturbações vindas da fonte de alimentação (*PSRR*, *power supply rejection ratio*);
- Taxa de rejeição de modo-comum (*CMRR*, *common-mode rejection ratio*);
- Dissipação de potência do circuito ( $P_{Diss}$ ).

Para o cálculo da área de *gate* do circuito não é necessária uma simulação elétrica, pois o mesmo leva em consideração os tamanhos dos transistores dimensionados. Já para a estimativa de produtividade do circuito, é necessária a análise Monte Carlo que utiliza os mesmos *testbenches* já mencionados para avaliar o desempenho do circuito influenciado pela variabilidade de parâmetros de processo.



## 4 ALGORITMO DE OTIMIZAÇÃO PSO

A heurística de otimização possui um papel fundamental no fluxo de projeto da ferramenta, pois ela é responsável por gerar as soluções para as variáveis do circuito que vão ser direcionadas para uma solução ótima. Conseqüentemente, o circuito é dimensionado e otimizado em termos de área de *gate*, dissipação de potência e produtividade. Em razão disso, este capítulo abordará sobre a técnica PSO utilizada como heurística de otimização na ferramenta UCAF para execução deste trabalho.

### 4.1 *Particle Swarm Optimization*

O algoritmo Otimização por Enxame de Partículas que vem do termo em inglês *Particle Swarm Optimization* (PSO), foi proposto por (KENNEDY; EBERHART, 1995) e é um tipo de algoritmo evolutivo para otimização de funções contínuas não-lineares. Fundamentada no comportamento coletivo de pássaros e peixes, a heurística PSO é implementada com a ideologia da iteração entre indivíduos de um grupo.

Em termos computacionais, os indivíduos são chamados de partículas e o grupo é chamado de enxame. Dessa forma, o PSO foi baseado em bandos de pássaros que têm o comportamento influenciado pela experiência de cada indivíduo quando o objetivo é de buscar e obter alimentos, ou chegar em um determinado lugar (HEPPNER; GREANDER, 1990).

A interação entre as partículas constitui o enxame na heurística PSO, os enxames são estruturados de forma que cada indivíduo possa se comunicar com os subconjuntos de seus pares, denominados de vizinhos, que podem ser definidos ou inicializados de forma aleatória ou estática. A cada iteração, as partículas se movimentam com certa velocidade no espaço de solução, sendo que também é feita uma avaliação da solução correspondente à posição ocupada pelas partículas. Dessa forma, a velocidade de movimento é ajustada levando-se em consideração a melhor partícula encontrada naquele instante e a posição encontrada até então por essa partícula no espaço de busca.

A técnica PSO possui a capacidade de aprimorar boas soluções, visto que o enxame, inicialmente disperso pelo espaço de busca, tende a se alinhar em regiões que apresentam resultados mais propícios à melhor solução. Portanto, o PSO é uma heurística apropriada para a busca de otimização global e local de sistemas não-lineares.

Em métodos de otimização baseados em população ou partículas, geralmente há a necessidade de utilizar um elevado número de partículas nos primeiros passos da busca, pois isso permite uma ampla exploração em toda a gama do espaço de busca. Por outro

lado, durante os últimos passos da busca, quando há a convergência para uma solução ótima, um ajuste aprimorado das soluções é importante para definir a solução ótima global.

Dessa forma, em técnicas de otimização, um controle adequado da exploração em nível global e local é fundamental para se encontrar a solução de forma mais eficiente. Com o intuito de equilibrar a capacidade entre a busca local e global no processo de otimização, Shi e Eberhart (1998) introduziram o conceito de peso de inércia (*inertial weight*)  $w$  na versão original da equação de atualização de velocidade de partícula da técnica PSO. A representação matemática deste conceito é mostrada na Equação 4.1.

$$w = (w_{initial} - w_{final}) * \frac{(MAXITER - iter)}{MAXITER} + w_{final} \quad (4.1)$$

Onde:

$w$	Coefficiente de inércia;
$w_{initial}$	Valor inicial da inércia;
$w_{final}$	Valor final da inércia;
$MAXITER$	Número máximo de iterações.
$iter$	Iteração atual.

A modificação na versão original da técnica PSO resultou em uma nova equação para o cálculo de velocidade da partícula que está representada pela Equação 4.2 (SHI; EBERHART, 1999).

$$vel_x(i + 1) = w_x * vel_x(i) + C1 * rand * (Pbest_x - present_x) + C2 * rand * (Gbest - present_x) \quad (4.2)$$

Onde:

$vel_x$	Velocidade da partícula $x$ ;
$w_x$	Coefficiente de inércia da partícula $x$ ;
$C1$ e $C2$	Constantes de aceleração;
$rand$	Número aleatório no intervalo de $[0, 1]$ ;
$Pbest_x$	Melhor posição local $x$ ;
$Gbest$	Melhor posição global;
$present_x$	Atual posição da partícula $x$ .

Sendo que a posição da partícula  $x$  é atualizada a cada iteração conforme mostrado abaixo:

$$present_x(i + 1) = present_x + vel_x(i + 1) \quad (4.3)$$

A atual iteração é representada por  $i$  e a iteração consecutiva é representada por  $i + 1$ .

Por fim, o Algoritmo 1 demonstra o pseudocódigo do algoritmo PSO usado para o dimensionamento de circuitos analógicos (DOMANSKI; GIRARDI, 2015).

---

**Algorithm 1** Pseudocódigo do algoritmo PSO.

---

```
1: Gera população inicial.
2: Gera o valor inicial para a velocidade.
3: Obtém os valores iniciais para Pbest e Gbest.
4: function PSO
5:   for  $x < MAXITER$  do
6:     Para cada partícula calcula o valor da função custo.
7:     Atualiza Pbest e Gbest.
8:     Calcula a velocidade para cada partícula.
9:     Atualiza a posição da partícula.
10:  end for
11: end function
```

---





## 5 DESIGN CENTERING

Este capítulo possui a finalidade de explicar como ocorre a variabilidade de parâmetros e como ela pode afetar o desempenho de circuitos integrados. Abordar também sobre a técnica de *design centering* e mostrar como ela pode minimizar os efeitos da variabilidade de parâmetros. Por fim, explicar como a análise Monte Carlo pode ser empregada neste contexto e explicar sobre os métodos de amostragem aleatória e por hipercubo latino que foram utilizados neste trabalho.

### 5.1 Variabilidade de Parâmetros

O aparecimento e adoção de tecnologias de integração em menores escalas nanométricas introduz novos desafios ao projeto e produção de circuitos integrados analógicos. Efeitos indesejados relacionados às variações nos parâmetros de processo, mudanças de temperatura e ruídos da fonte de alimentação levam a um grande número de circuitos que falham em cumprir com as especificações desejadas, isso resulta em um caro processo de reprojeção e fabricação.

Em tecnologias nanométricas de transistores, variações indesejadas são mais propícias de ocorrerem no processo de fabricação de circuitos integrados. Em razão disso, um circuito analógico pode perder sua funcionalidade uma vez que haja variações no casamento de dispositivos, fazendo o mesmo operar em um nível de polarização diferente do que foi projetado para funcionar (DRENNAN; MCANDREW, 2003).

De acordo com Orshansky, Nassif e Boning (2010), as variações no processo de fabricação de circuitos integrados podem ser classificadas de duas formas: variações *front-end* e variações *back-end*.

As variações *front-end* estão relacionadas com os limites da tecnologia de fabricação e ocorrem nas etapas construtivas dos dispositivos, como por exemplo, na fase de implantação iônica, oxidação e construção das linhas de polisilício. Esse tipo de variação pode ocasionar na alteração das dimensões de largura ( $W$ ) e comprimento de canal ( $L$ ) dos transistores e na espessura do óxido de silício ( $T_{ox}$ ).

Já as variações *back-end* representam a variabilidade que pode ocorrer no processo de metalização das vias e conexões internas do circuito integrado. Com isso, as linhas de metal e as vias de interconexão sofrem variações, bem como os valores nominais de dispositivos passivos que, geralmente, são construídos por linhas de metais.

Outro tipo de variação que pode ocorrer nos circuitos integrados e que não está diretamente relacionada com o processo de fabricação do circuito, são as variações causadas

pelo ambiente de utilização do circuito integrado, que pode apresentar diferenças entre os valores nominais e reais de operação devido às variações na temperatura de operação e tensão de alimentação. Tais variações são mais simples de serem previstas e podem ser corrigidas na fase de projeto.

A Figura 6 apresenta um exemplo que ilustra a diferença para as dimensões de canal ( $W$  e  $L$ ) entre transistores ideais e reais causada pela variabilidade de processo. É possível notar que para grandes valores de  $W$  as variações em  $L$  tendem a se cancelar fazendo com que seu valor real se aproxime do valor nominal. Porém, em tecnologias de fabricação mais atuais, os valores de  $W$  tendem a diminuir fazendo com que as variações em  $L$  sejam relevantes. Valores de dimensões diferentes dos nominais podem modificar o ponto de polarização do circuito, e conseqüentemente, acarretar em um comportamento indesejável para o mesmo.

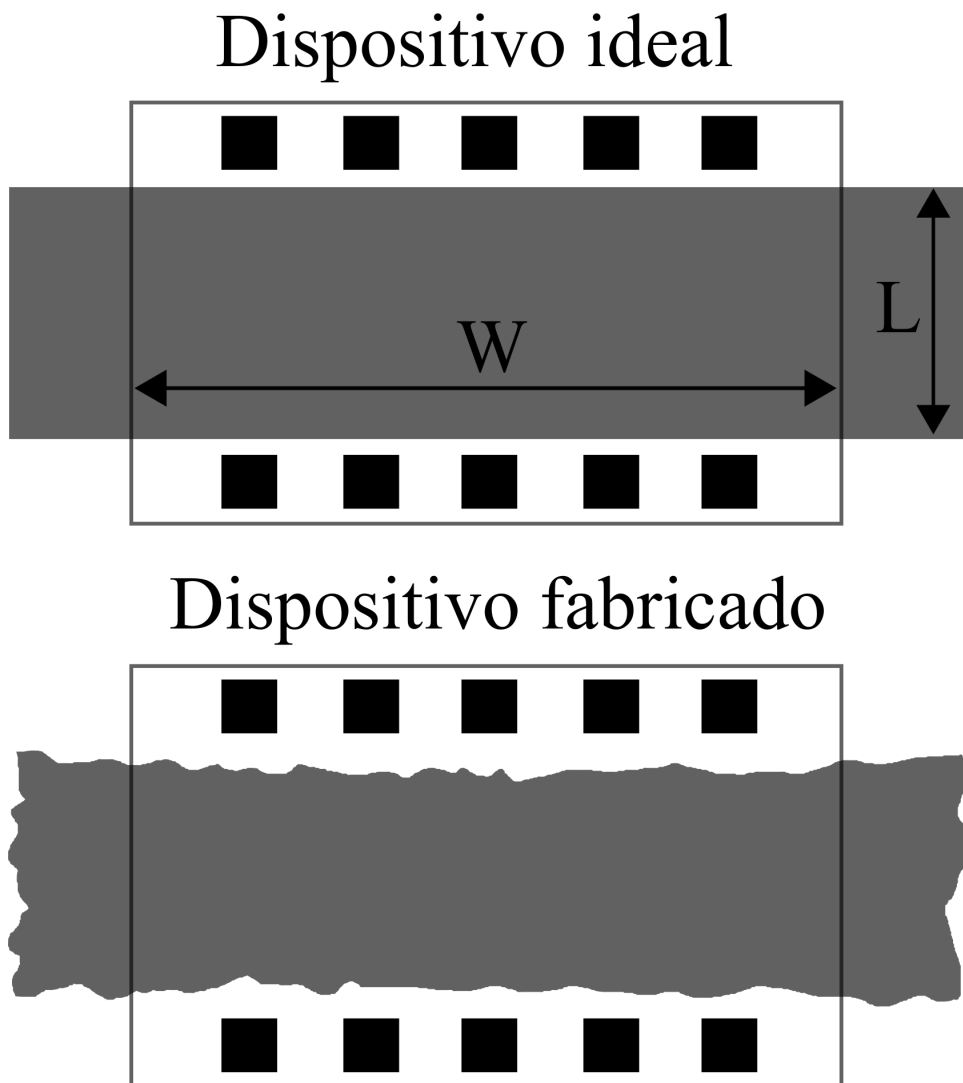


Figura 6 – Variações nas dimensões de canal de um transistor.

Fonte – Adaptado de Drennan e McAndrew (2003).

Segundo Mutlu e Rahman (2005), as variações no processo de fabricação dos

dispositivos também podem ser especificadas em variações globais e locais de parâmetros. Nas variações globais, também chamadas de *inter-die*, a variação de parâmetro afeta todo o circuito de uma mesma forma, assim todos os transistores apresentam a mesma variação. Esse tipo de variação é mais pertinente para a análise de circuitos digitais. Já as variações locais, também denominadas de *intra-die*, representam variações de parâmetros que afetam de forma individual os transistores do circuito. De acordo com Schneider e Galup-Montoro (2010), as variações globais são de extrema relevância para análise de circuitos analógicos visto que muitos desses são compostos por espelhos de corrente e pares diferenciais que precisam ter um casamento bem preciso entre os dispositivos.

Mesmo que as variações globais representem um grau maior em relação à variabilidade de parâmetros do que as variações locais, são estas que provocam um maior impacto nas especificações de projeto de um circuito integrado analógico. Como tais variações podem afetar diretamente no processo de fabricação dos circuitos integrados, é de suma importância a utilização de um modelo elétrico e simulações elétricas SPICE para analisar o comportamento do circuito desde as fases iniciais de projeto.

Um modelo determinístico dos dispositivos é obtido através de simulações elétricas, assim, o mesmo circuito sempre apresentará as mesmas especificações. Em contrapartida, ocorrem variações nesse modelo causadas pelo processo de fabricação, conseqüentemente os valores considerados na prática são classificados como não determinísticos.

À vista disso, para uma análise completa do comportamento do circuito é crucial que o modelo considere as variações de parâmetros, sendo que são geradas pela caracterização do processo de fabricação e estimadas através de análises estatísticas. Com base nesta caracterização do processo de fabricação, se torna possível avaliar o desempenho de algumas especificações relacionado com a variabilidade de parâmetros.

Nestas circunstâncias, Graeb (2007) estabelece que é possível estimar a variação de parâmetros de um circuito utilizando simulação elétrica com análise Monte Carlo, na qual o circuito é analisado através de uma distribuição estatística. Utilizando uma função de densidade de probabilidade (PDF), a análise Monte Carlo gera valores aleatórios dentro de uma determinada faixa de variação conhecida, por meio da caracterização do processo de fabricação, para cada parâmetro.

A PDF equivale à forma em que números são gerados ou amostrados dentro de certa faixa de variação. A distribuição gaussiana (ou normal), representada pela Equação 5.1, é a mais utilizada como função densidade de probabilidade.

$$PDF_{Gaussiana} = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{(x-\mu)^2}{2\sigma^2}} \quad (5.1)$$

Onde:

- $\sigma$  Desvio padrão;
- $\mu$  Média;
- $x$  Parâmetro.

A Figura 7 ilustra a curva gerada pela Equação 5.1 quando  $\mu$  é igual a zero e  $\sigma$  variado de -6 até 6. Conforme mostrado nesta curva, é possível verificar que há uma maior probabilidade de valores mais próximos da média serem amostrados, do que valores mais afastados desta. Tal verificação se reflete e acontece com a maioria dos parâmetros físicos, visto que a maior parte dos parâmetros estão próximos do valor nominal e apenas uma pequena parte está distante (KHOUAS; DERIEUX, 2000).

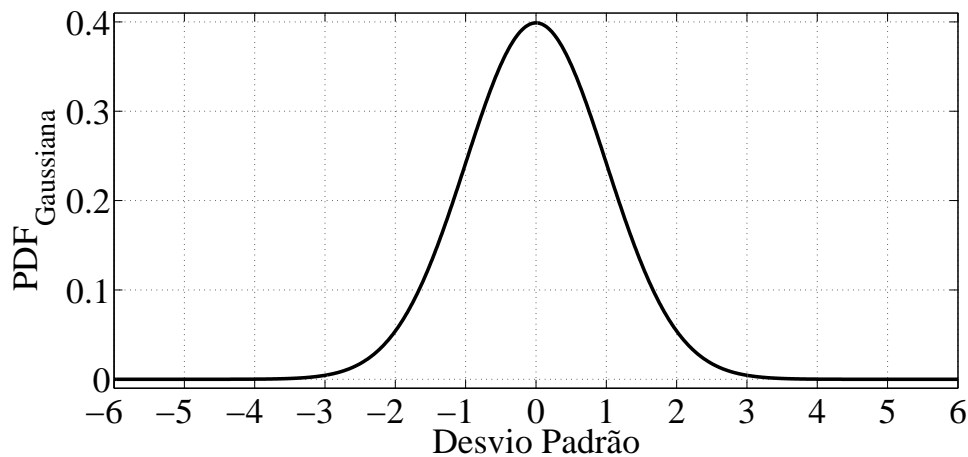


Figura 7 – Gráfico de uma função de densidade de probabilidade gaussiana.

Fonte – Fornecido pelo autor.

Como foi mencionado anteriormente, é possível avaliar algumas especificações do circuito quando este é afetado pela variabilidade de parâmetros. Dessa forma, a produtividade de um circuito é capaz de ser estimada através da função de densidade de probabilidade. A produtividade de um circuito, também chamada de *Yield*, representa a quantidade percentual dos circuitos integrados fabricados que atendem à todas as especificações requeridas. Matematicamente, a produtividade está representada pela Equação 5.2. Através desta, é possível concluir que a produtividade de um circuito aumenta à medida em que um maior número de circuitos integrados são considerados como válidos, isto é, atendem todas as especificações desejadas.

$$Yield = \frac{N^{\circ} \text{ de circuitos integrados válidos}}{N^{\circ} \text{ total de circuitos integrados}} \cdot 100\% \quad (5.2)$$

Dado isso, a produtividade de um circuito pode ser facilmente estimada com a análise Monte Carlo. Uma vez que os parâmetros de processo são variados através de inúmeras simulações, a porcentagem de simulações que possuem resultados dentro dos

limites desejáveis pode ser calculada. A precisão da estimativa da produtividade aumenta quanto mais simulações Monte Carlo são realizadas, por outro lado, há também um aumento no tempo de processamento computacional (GRAEB, 2007).

Neste contexto, a produtividade de um circuito pode ser otimizada utilizando-se as variações de parâmetros da análise Monte Carlo. Esta otimização é denominada de *design centering*, e significa literalmente centralizar o projeto. Uma vez que considerado, o *design centering* desloca o projeto da borda do espaço factível, onde geralmente está alocado, na qual uma pequena variação nos parâmetros de processo dos dispositivos faz com que o projeto saia do espaço factível de soluções. A inclusão da técnica de *design centering* no fluxo de projeto, para otimização de produtividade, faz com que o mesmo seja alocado em uma região onde a produtividade seja maior possível. Dessa maneira, mesmo com a influência da variabilidade de parâmetros, mais circuitos que atendem às especificações desejadas são fabricados.

## 5.2 Análise Monte Carlo

A análise ou simulação Monte Carlo é uma técnica baseada na utilização de parâmetros ou entradas amostrados de forma aleatória com o intuito de explorar o comportamento de processos ou sistemas complexos. Em outras palavras, é um método desenvolvido para a solução numérica de problemas matemáticos que não são viáveis de serem resolvidos analiticamente. A técnica Monte Carlo foi inventada, na Segunda Guerra Mundial, por cientistas que trabalhavam com a bomba atômica e tinham que lidar com problemas físicos de alta complexidade analítica. O primeiro artigo sobre o método foi publicado em 1949, e os matemáticos americanos, John von Neumann e Stanislaw Ulam, são considerados os desenvolvedores da análise Monte Carlo (SOBOL, 1994).

Atualmente, a análise Monte Carlo é um método numérico universal utilizado para resolver problemas de diversas áreas de aplicação. Estes problemas precisam estar modelados em termos relacionados às funções de densidade de probabilidade, e uma vez conhecida a PDF ideal para determinado problema, a simulação Monte Carlo realiza suas amostragens ou sorteios. Dependendo do problema, o processo deve ser repetido centenas ou milhares de vezes para que se chegue em um resultado satisfatório (BINDER; HEERMANN, 2010).

A forma como os valores são amostrados ou sorteados depende do tipo de método de amostragem utilizado na análise Monte Carlo. Existem diversos tipos de métodos de amostragem, e estes diferem na forma em que as amostras são inicializadas ou então se o sorteio é feito de forma completamente aleatória ou pseudoaleatória. Tais diferenças fazem com que alguns métodos de amostragem precisem de um número maior de amostras para apresentarem a mesma precisão que outros. De forma geral, a precisão da análise tende

a aumentar com o incremento do número de amostras utilizadas, porém também há um aumento no custo computacional de processamento.

Além do método de amostragem aleatória simples, este trabalho também aborda o método de amostragem por hipercubo latino que proporciona um maior controle do processo de amostragem dos valores.

### 5.2.1 Amostragem Aleatória Simples

A amostragem aleatória simples é utilizada como método convencional para a análise Monte Carlo. Nesse tipo de amostragem, os valores são sorteados de forma completamente aleatória dentro de uma delimitada curva. A cada  $n$  número de rodadas Monte Carlo ou amostras, a amostragem aleatória simples sorteia aleatoriamente um ponto em uma determinada curva PDF. Visto que uma amostra equivale à um ponto sorteado nesta curva. Novos pontos são amostrados sem levar em consideração os pontos já sorteados, dessa forma, um mesmo valor pode ser sorteado mais de uma vez.

Com números pequenos de amostras há uma grande dificuldade de recriar a distribuição de entrada utilizando o método de amostragem aleatória simples, pois nesse caso, o método sofre um problema de agrupamento (*clustering*). Este fato acorda com o conceito de erro padrão de média que está relacionado com o Teorema do Limite Central. Um erro padrão de média é representado pelo desvio padrão da distribuição entrada dividido pela raiz quadrada do tamanho da amostra. Sendo que aproximadamente 68% das amostras estão localizadas em uma faixa de um erro padrão abaixo ou acima da média, e 95% das amostras estão localizadas dentro de uma faixa de dois erros padrão abaixo ou acima da média. Tal comportamento é verificado no método de amostragem aleatória simples.

A amostragem aleatória simples é um ótimo método para ser usado na estimativa de produtividade de um circuito. Porém, para que haja alta confiabilidade na estimativa, é necessário um grande número de amostras na análise Monte Carlo.

### 5.2.2 Amostragem por Hipercubo Latino

A amostragem por hipercubo latino (*Latin hypercube sampling*) surgiu com o principal objetivo de amenizar o problema de *clustering* apresentado pela amostragem aleatória simples, e então poder recriar a distribuição de entrada com um menor número de amostras.

Para isso, o método de amostragem por hipercubo latino utiliza o conceito de estratificação das distribuições de probabilidade. A estratificação divide, de acordo com o número de amostras, a curva cumulativa em intervalos iguais na escala de probabilidade (0 à 1). Uma amostra é então aleatoriamente sorteada em cada intervalo ou estrato da

distribuição de entrada. Dessa forma, a amostragem é forçada à representar valores em cada intervalo.

Portanto, com um número menor de amostras do que o método de amostragem aleatória simples, é possível recriar a distribuição de probabilidade de entrada com maior confiabilidade. Seguindo a mesma lógica do método de amostragem aleatória simples, aumenta-se o número de amostras no método de amostragem por hipercubo latino para melhorar a precisão em recriar a distribuição de entrada. Visto que o número de intervalos é igual ao tamanho da amostra, mais intervalos proporcionam mais valores distribuídos ao longo da curva (MCKAY; BECKMAN; CONOVER, 1979).

A Equação 5.3 mostra matematicamente o comportamento do método de amostragem por hipercubo latino.

$$hc_i = f^{-1}\left(\frac{i - rand_i}{n}\right) \quad (5.3)$$

Onde:

- $hc_i$  Valor que compõe a amostragem hipercúbica;
- $i$  Iteração atual;
- $f^{-1}$  Inversa da função de distribuição;
- $rand_i$  Número aleatório no intervalo de  $[0, 1]$ ;
- $n$  Tamanho da amostra.

As Figuras 8 e 9 apresentam um mesmo espaço bidimensional, representado por uma matriz, no qual foram sorteados 12 pontos com os métodos de amostragem por hipercubo latino e aleatória simples, respectivamente.

Através da Figura 8 é possível verificar que os pontos amostrados estão bem distribuídos pelo espaço bidimensional, de forma que cada ponto está localizado em uma única linha e coluna da matriz. Esse comportamento é verificado através da capacidade do método de amostragem por hipercubo latino de sortear novos pontos considerando os que já foram sorteados através da estratificação.

O mesmo não acontece com o método de amostragem aleatória simples, como visto na Figura 9 os pontos não estão bem distribuídos no espaço. Com este tipo de amostragem, dois ou mais pontos podem estar localizados em uma mesma linha e/ou coluna da matriz.

Portanto, para este exemplo, se o espaço bidimensional fosse reconstruído através dos pontos amostrados, um erro menor ou uma melhor precisão seria obtida através do método de amostragem por hipercubo latino.

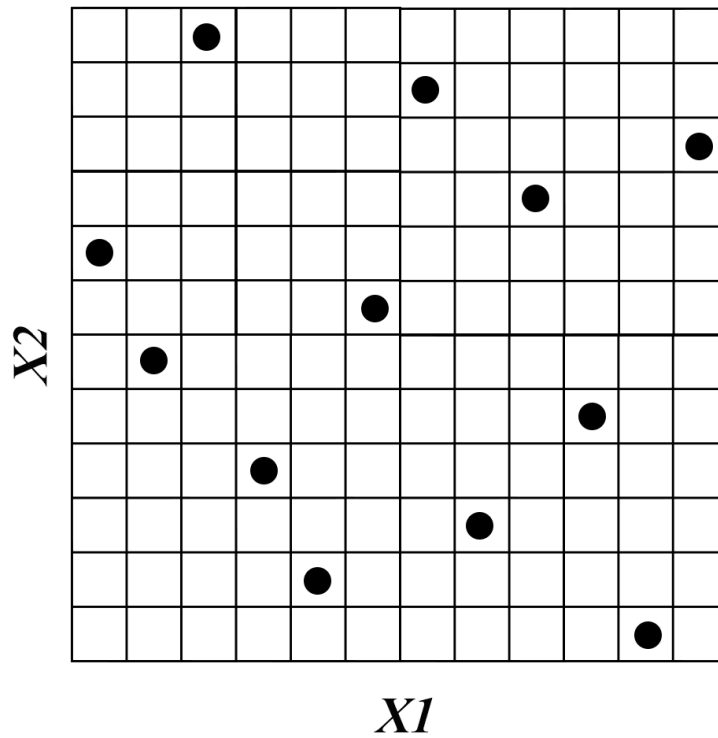


Figura 8 – Amostragem por hipercubo latino em um espaço bidimensional.

Fonte – Elaborado pelo autor.

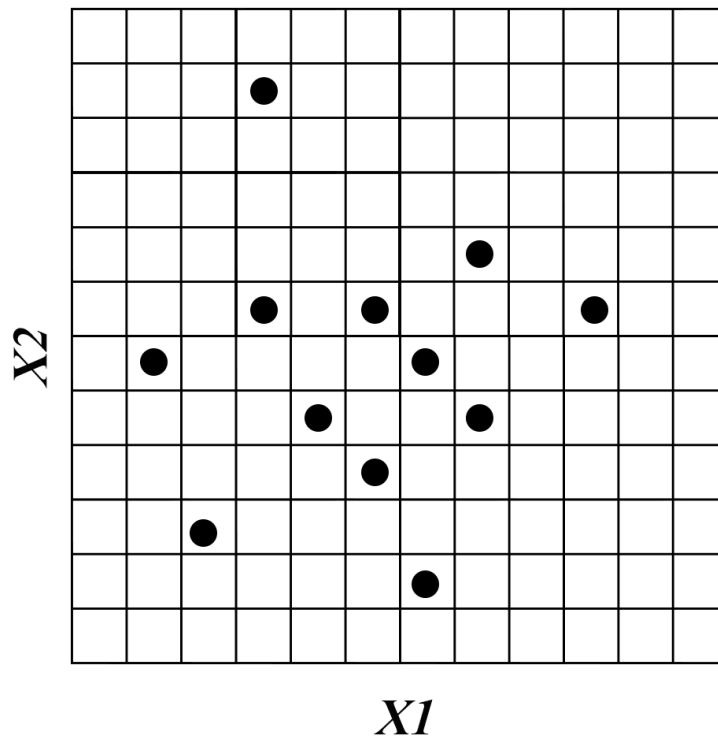


Figura 9 – Amostragem aleatória simples em um espaço bidimensional.

Fonte – Fornecido pelo autor.



## 6 METODOLOGIA

Este capítulo apresenta a metodologia empregada neste trabalho, descrevendo sobre a técnica híbrida de amostragem para análise Monte Carlo que foi proposta, explicando o motivos da utilização de tal abordagem bem como as análises feitas para elaboração da técnica.

### 6.1 Análise dos métodos de amostragem

Com o intuito de analisar o desempenho dos métodos de amostragem aleatória simples e por hipercubo latino na estimativa de média e desvio padrão de algumas especificações do circuito, utilizou-se, inicialmente, um projeto já executado e finalizado de um amplificador operacional de transcondutância (OTA) tipo Miller em tecnologia IBM 0,13  $\mu\text{m}$ , representado pela Figura 10. Este foi dimensionado pela ferramenta UCAF através da metodologia descrita por (SEVERO, 2012). Os valores das dimensões dos transistores, fonte de corrente de polarização e capacitância de acoplamento são mostrados na Figura 10.

O OTA Miller é um amplificador de dois estágios, sendo que o primeiro estágio é constituído por um amplificador diferencial e o segundo por um amplificador inversor. O acoplamento entre os dois estágios é feito por um capacitor  $C_f$  que ajuda a melhorar a estabilidade do circuito (ALLEN; HOLBERG, 2002). O amplificador OTA Miller é composto por 8 transistores no total, onde  $M1$  e  $M2$  constituem o par diferencial de entrada,  $M3$  e  $M4$  são o espelho de corrente de carga ativa,  $M5$  e  $M8$  representam o espelho de corrente de polarização do primeiro estágio. Já os transistores  $M6$  e  $M7$  fazem parte do segundo estágio. Como  $M2$  é igual a  $M1$ ,  $M4$  é igual a  $M3$  e  $M8$  é igual a  $M5$  então existem 12 variáveis livres de projeto:  $W_1, L_1, W_3, L_3, W_5, L_5, W_6, L_6, W_7, L_7, C_f$  e a fonte de corrente de polarização  $I_{ref}$ .

Escolheu-se as especificações de  $A_{v0}$ ,  $GBW$ , margem de fase,  $SR$  e dissipação de potência do amplificador para avaliar o comportamento dos métodos de amostragem.

Tanto o método de amostragem aleatória simples quanto o método de amostragem por hipercubo latino já estão implementados e disponíveis no software HSPICE®. Informações de como escolher os métodos de amostragem podem ser encontradas em (SYNOPTIS, 2008).

Dessa forma, foram executadas sucessivas simulações de Monte Carlo, utilizando os dois métodos de amostragem, com diferentes números de rodadas ou amostras ( $n$ ). Simulações iniciando com  $n$  igual a 10 até 200, com passo de  $n$  igual a 10, e também

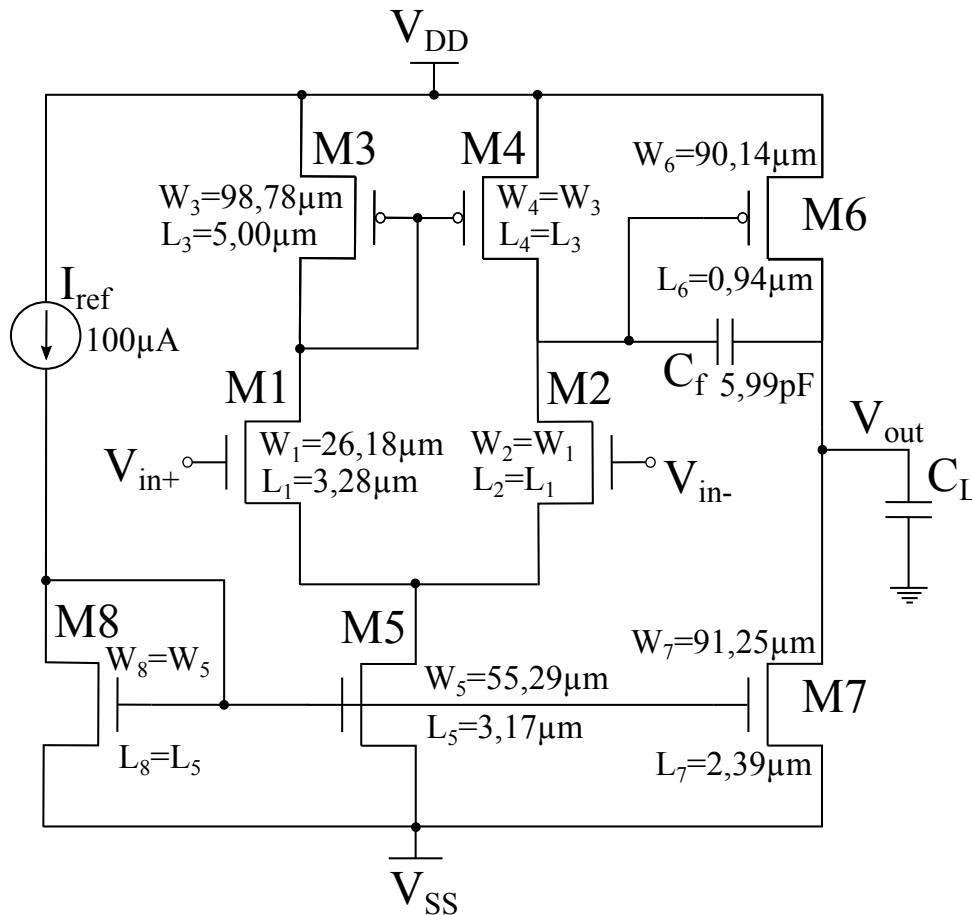


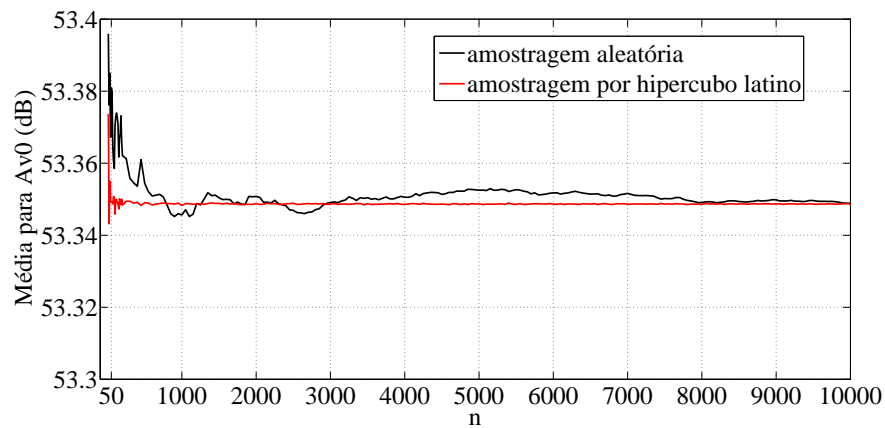
Figura 10 – Esquemático elétrico do amplificador OTA Miller.

Fonte – Elaborado pelo autor.

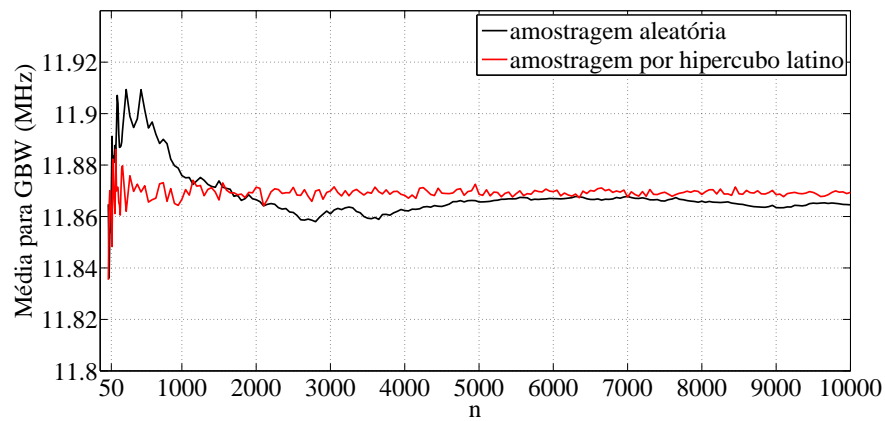
simulações iniciando com  $n$  igual a 250 até 10.000, com passo de  $n$  igual 50.

A partir de cada simulação é possível calcular os valores de média e de desvio padrão para cada uma das especificações. Com isso, obtiveram-se os gráficos de  $n \times$  Média e  $n \times$  Desvio Padrão. As Figuras 11, 12, 13, 14 e 15 apresentam os gráficos de  $n \times$  valores de média obtidos para as especificações de  $Av_0$ ,  $GBW$ , margem de fase,  $SR$  e dissipação de potência, respectivamente. Já as Figuras 16, 17, 18, 19 e 20 apresentam os gráficos de  $n \times$  valores de desvio padrão obtidos para as especificações de  $Av_0$ ,  $GBW$ , margem de fase,  $SR$  e dissipação de potência, respectivamente.

Através das Figuras 11, 12, 13, 14 e 15 pode-se notar que existe um comportamento padrão do desempenho para todas as especificações que foram consideradas. Em ambos os métodos de amostragem não houveram grandes variações entre os valores de pico e os valores finais de média estimados. Porém, é importante salientar que o objetivo da análise é de comparar o desempenho entre os métodos de amostragem, e para os gráficos de  $n \times$  Média, o método de amostragem por hipercubo latino apresentou uma variação menor dos valores para todas as especificações.

Fig. 11 – Número de rodadas Monte Carlo x Valor de média para  $Av0$ .

Fonte – Elaborado pelo autor.

Figura 12 – Número de rodadas Monte Carlo x Valor de média para  $GBW$ .

Fonte – Elaborado pelo autor.

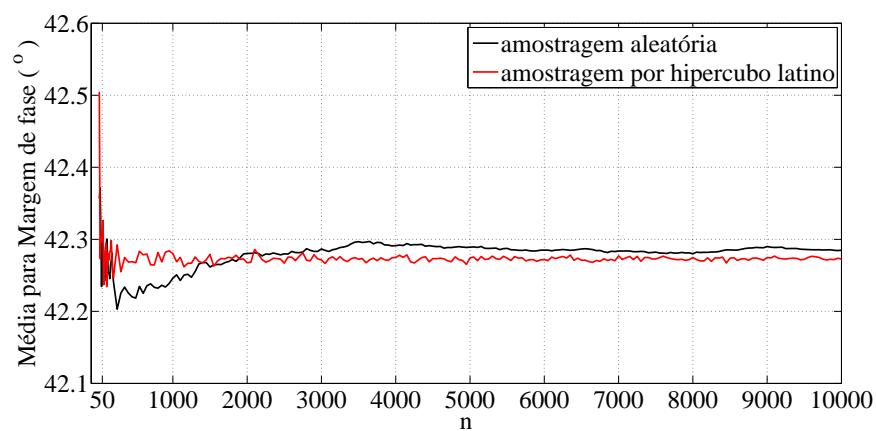


Figura 13 – Número de rodadas Monte Carlo x Valor de média para Margem de fase.

Fonte – Elaborado pelo autor.

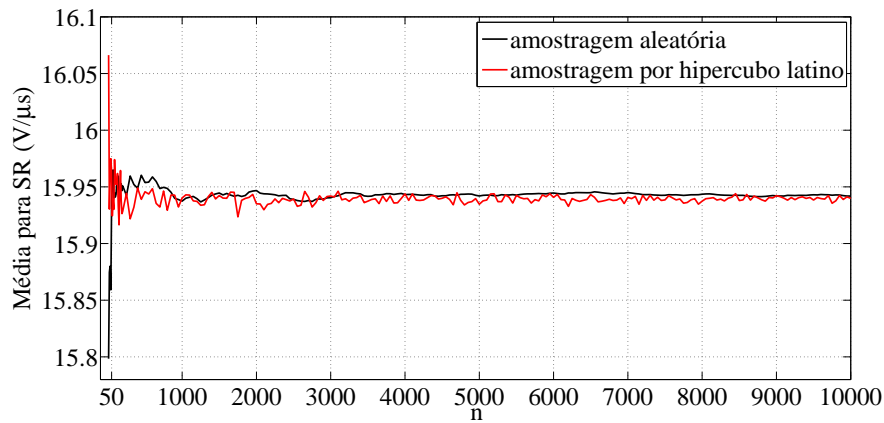


Figura 14 – Número de rodadas Monte Carlo x Valor de média para  $SR$ .

Fonte – Elaborado pelo autor.

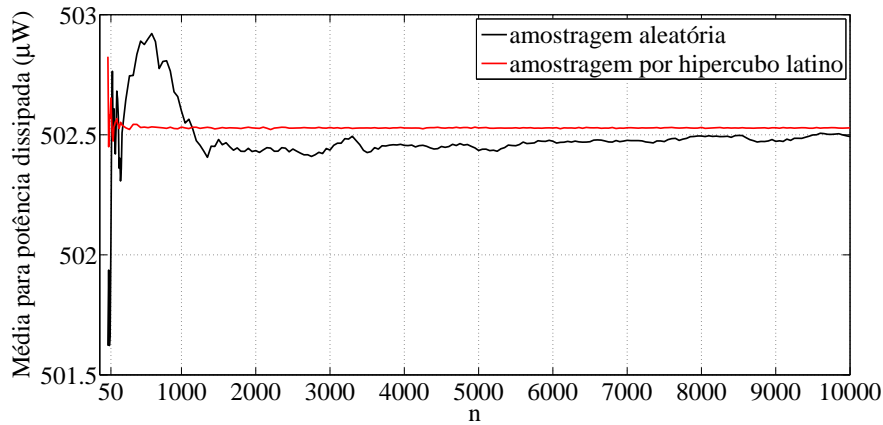


Figura 15 – Número de rodadas Monte Carlo x Valor de média para Dissipação de potência.

Fonte – Elaborado pelo autor.

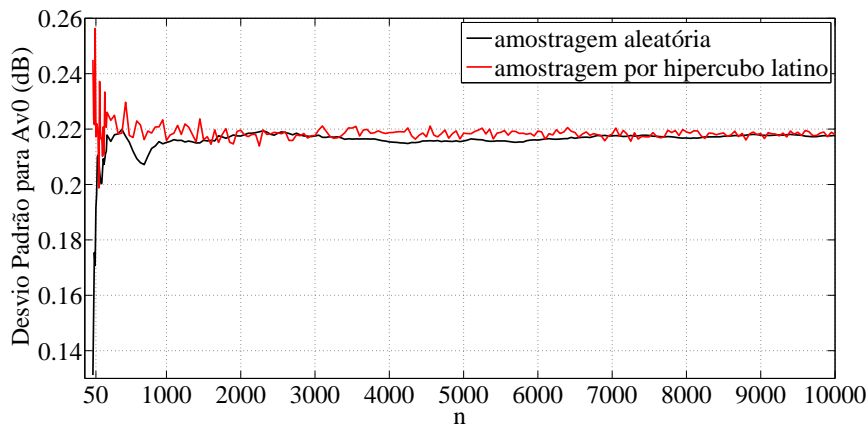
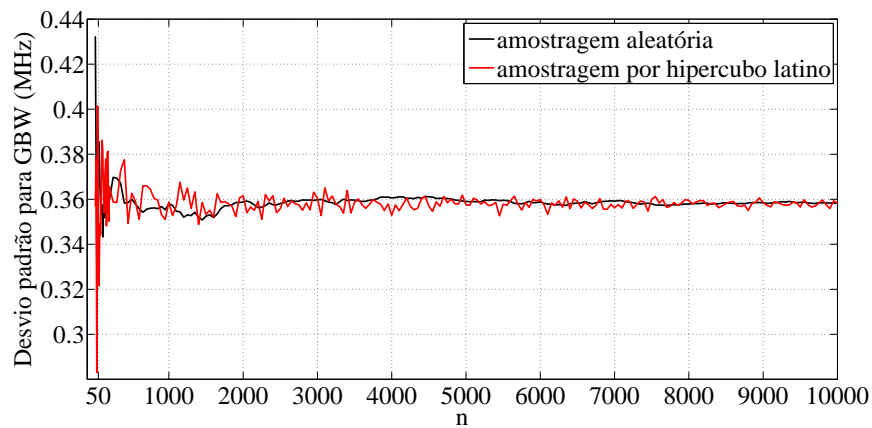


Figura 16 – Número de rodadas Monte Carlo x Valor de desvio padrão para  $Av0$ .

Fonte – Elaborado pelo autor.

Figura 17 – Número de rodadas Monte Carlo x Valor de desvio padrão para *GBW*.

Fonte – Elaborado pelo autor.

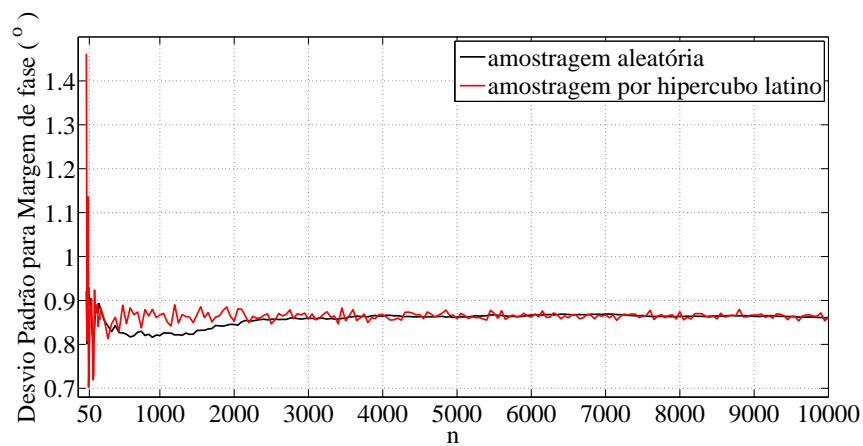
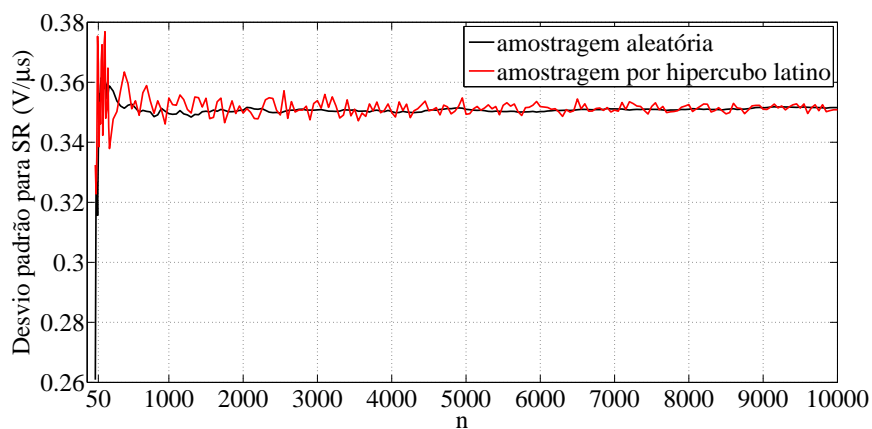


Figura 18 – Número de rodadas Monte Carlo x Valor de desvio padrão para margem de fase.

Fonte – Elaborado pelo autor.

Figura 19 – Número de rodadas Monte Carlo x Valor de desvio padrão para *SR*.

Fonte – Elaborado pelo autor.

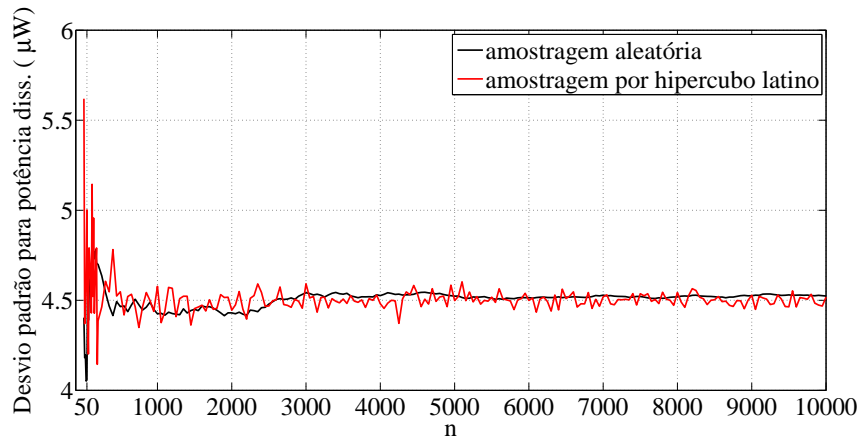


Figura 20 – Número de rodadas Monte Carlo x Valor de desvio padrão para dissipação de potência.

Fonte – Elaborado pelo autor.

Mais uma vez, um padrão de comportamento pode ser notado entre as Figuras 16, 17, 18, 19 e 20, porém o desempenho, em estimar valores de desvio padrão, do método de amostragem por hipercubo latino é um pouco inferior ao método de amostragem aleatória simples para as especificações de *GBW* e *SR*.

Os valores de média ( $\hat{\mu}^*$ ) e desvio padrão ( $\hat{\sigma}^*$ ) estimados com  $n$  igual a 10.000 e amostragem aleatória simples foram considerados como os valores reais ou de referência, pois com 10.000 rodadas Monte Carlo é possível garantir uma boa confiabilidade na estimativa.

Dado isso, a Tabela 1 apresenta uma diferença percentual entre os valores de  $\hat{\mu}^*$  e  $\hat{\sigma}^*$  para todas as especificações, comparando ambos os métodos de amostragem.

Tabela 1 – Diferença percentual dos valores finais entre os métodos de amostragem.

Especificação	Diferença de média (%)	Diferença de desvio padrão (%)
Av0	$4,1454e^{-4}$	0,1358
GBW	0,0409	0,0125
margem de fase	0,0290	0,1949
SR	0,0126	0,1979
$P_{Diss}$	0,0072	0,1232

Fonte – Elaborado pelo autor.

Analisando a Tabela 1 pode-se notar que os valores estimados estão bem próximos, isto é, não há uma grande diferença de  $\hat{\mu}^*$  e  $\hat{\sigma}^*$  entre ambos os métodos de amostragem. Mesmo que a diferença seja pequena, pode-se perceber que os valores obtidos com o método de amostragem por hipercubo latino contém um erro.

Para verificar a velocidade de convergência dos métodos de amostragem, para o valor de referência, considerou-se uma faixa percentual, chamada aqui de  $\xi$ , para mais e para menos de  $\hat{\mu}^*$  e  $\hat{\sigma}^*$  de cada especificação. Com esse  $\xi$  foi possível descobrir quantas rodadas Monte Carlo eram necessárias para obter uma determinada diferença percentual em relação ao valor de referência. Inicialmente, considerou-se um valor de  $\xi$  de 0,001% que foi aumentando com um passo de 0,001% até que o menor número de  $n$  fosse encontrado.

Com isso obtiveram-se os gráficos de  $\xi_\mu \times n$  e  $\xi_\sigma \times n$  para as especificações. As Figuras 21, 22, 23, 24 e 25 apresentam os gráficos  $\xi_\mu \times n$  para os valores de média das especificações de  $Av0$ ,  $GBW$ , margem de fase,  $SR$  e dissipação de potência, respectivamente. Já as Figuras 26, 27, 28, 29 e 30 apresentam os gráficos  $\xi_\sigma \times n$  para os valores de desvio padrão das especificações de  $Av0$ ,  $GBW$ , margem de fase,  $SR$  e dissipação de potência, respectivamente.

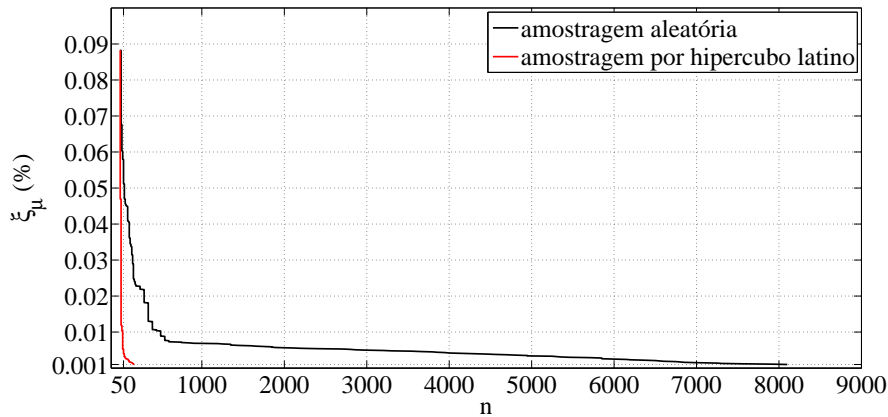


Figura 21 – Gráfico Erro  $\xi_\mu$  x Número de rodadas Monte Carlo para  $Av0$ .

Fonte – Elaborado pelo autor.

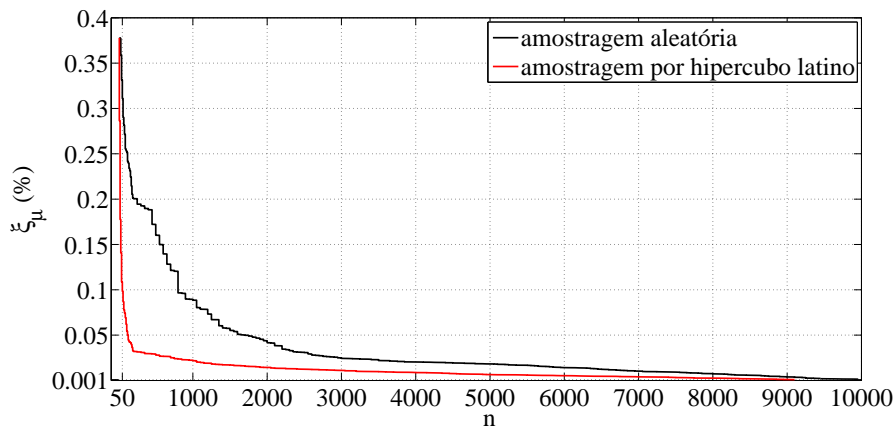


Figura 22 – Gráfico Erro  $\xi_\mu$  x Número de rodadas Monte Carlo para  $GBW$ .

Fonte – Elaborado pelo autor.

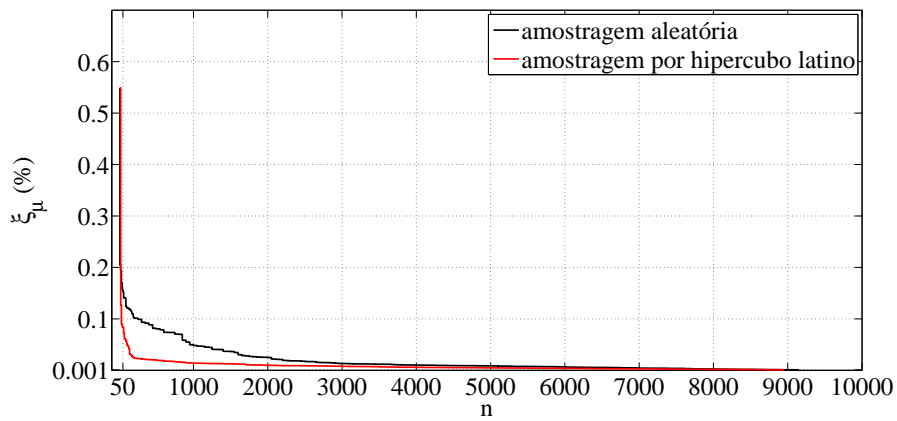


Figura 23 – Gráfico Erro  $\xi_\mu$  x Número de rodadas Monte Carlo para margem de fase.

Fonte – Elaborado pelo autor.

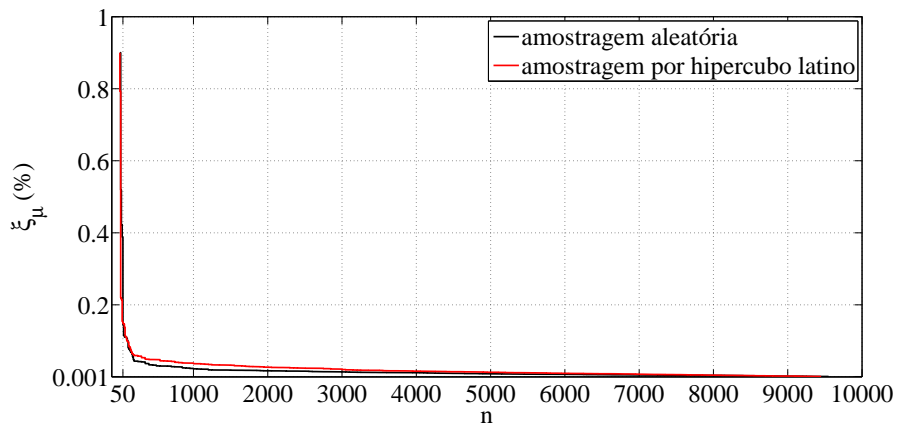


Figura 24 – Gráfico Erro  $\xi_\mu$  x Número de rodadas Monte Carlo para  $SR$ .

Fonte – Elaborado pelo autor.

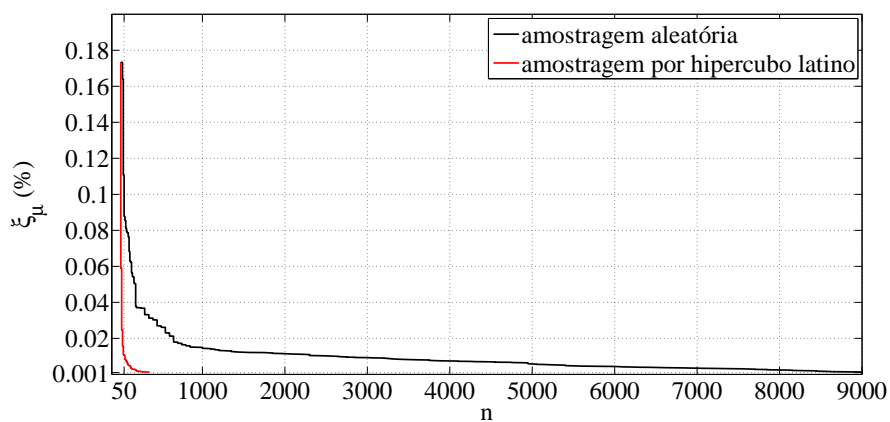
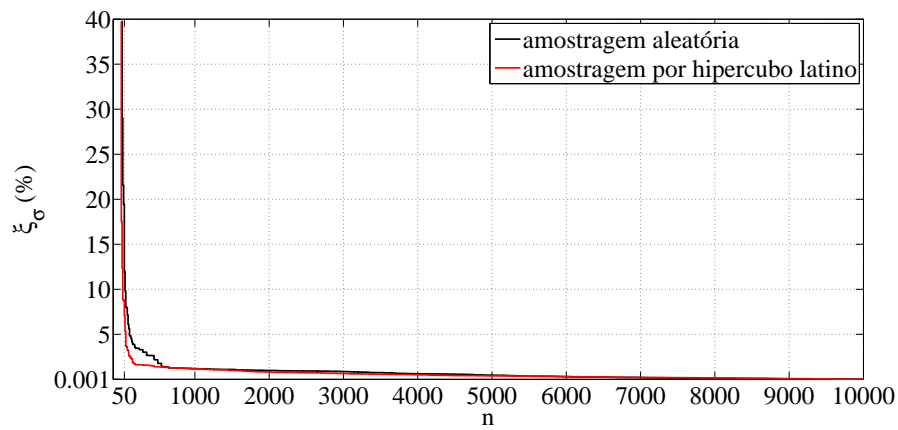


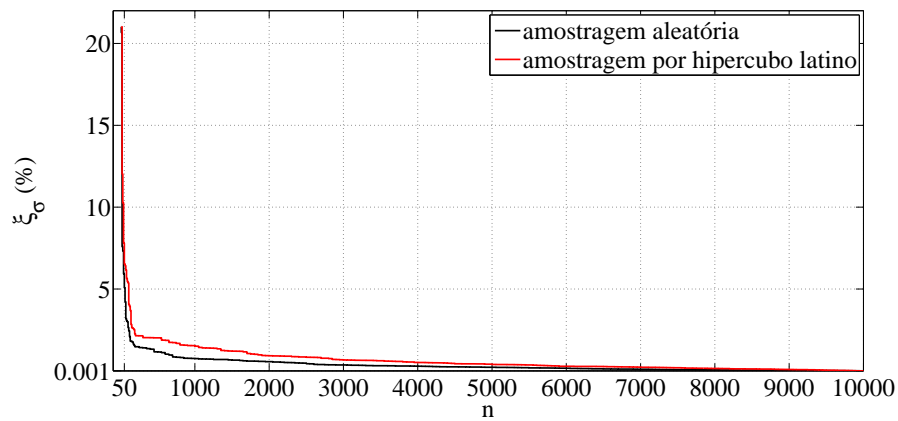
Figura 25 – Gráfico Erro  $\xi_\mu$  x Número de rodadas Monte Carlo para dissipação de potência.

Fonte – Elaborado pelo autor.

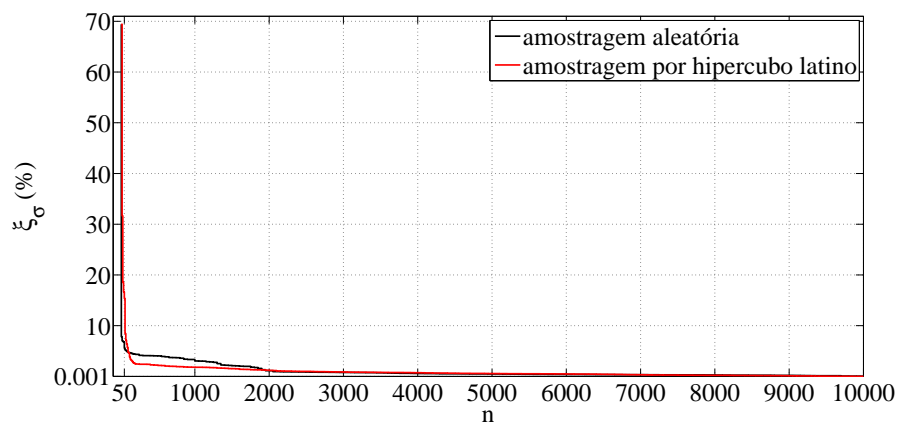


Figura 26 – Gráfico Erro  $\xi_\sigma$  x Número de rodadas Monte Carlo para  $Av0$ .

Fonte – Elaborado pelo autor.

Figura 27 – Gráfico Erro  $\xi_\sigma$  x Número de rodadas Monte Carlo para  $GBW$ .

Fonte – Elaborado pelo autor.

Figura 28 – Gráfico Erro  $\xi_\sigma$  x Número de rodadas Monte Carlo para margem de fase.

Fonte – Elaborado pelo autor.

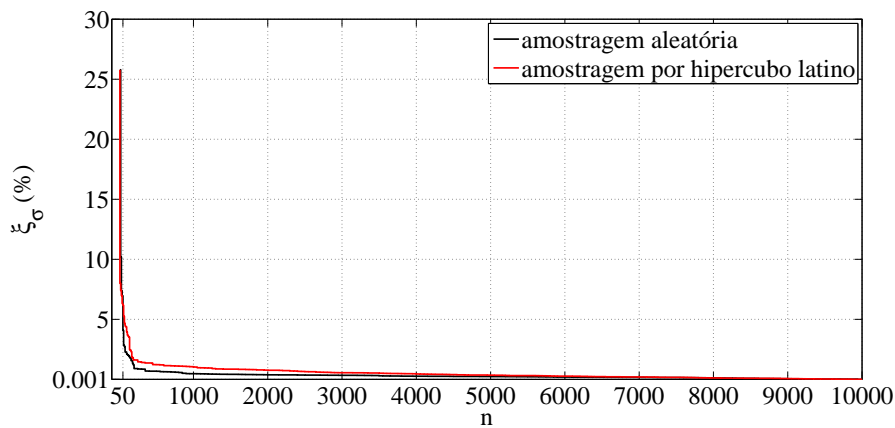


Figura 29 – Gráfico Erro  $\xi_\sigma$  x Número de rodadas Monte Carlo para  $SR$ .

Fonte – Elaborado pelo autor.

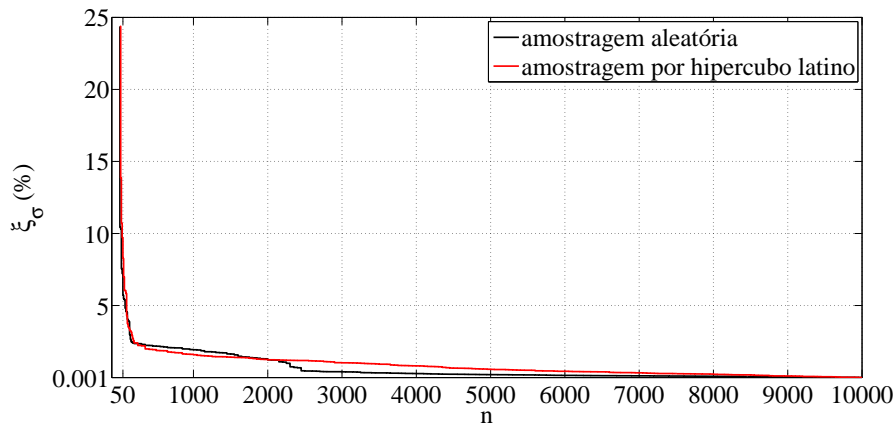


Figura 30 – Gráfico Erro  $\xi_\sigma$  x Número de rodadas Monte Carlo para dissipação de potência.

Fonte – Elaborado pelo autor.

Analisando as Figuras 21, 22, 23, 24 e 25 é possível notar que o método de amostragem por hipercubo latino consegue estimar os valores de média com menores valores de  $n$ , quando comparado com o método de amostragem aleatória simples. Isto é, os valores obtidos com um número menor de rodadas Monte Carlo estão bem próximos dos valores de  $\hat{\mu}^*$ .

Por exemplo, na Figura 21, com um  $n$  aproximadamente igual a 50 e utilizando-se amostragem por hipercubo latino é possível de se obter um valor de média para  $Av0$  que seja 0,001% próximo de  $\hat{\mu}^*$ . Já para o método de amostragem aleatória simples seriam necessárias um pouco mais de 8000 rodadas Monte Carlo para se obter uma média com erro de 0,001% em relação à  $\hat{\mu}^*$ .

Porém, para os valores de desvio padrão, o método de amostragem por hipercubo latino possui um desempenho bem inferior. Como pode ser visto nas Figuras 26, 27, 28, 29 e 30 é preciso um número bem maior de  $n$  para se obter valores mais próximos de  $\hat{\sigma}^*$ .

## 6.2 Método híbrido de amostragem para análise Monte Carlo

A partir da análise de desempenho dos métodos de amostragem realizada na seção anterior, propõe-se dividir o processo de análise Monte Carlo em duas etapas, utilizando os métodos de amostragem por hipercubo latino e aleatória simples no mesmo fluxo de projeto.

Primeiramente, utiliza-se o método de amostragem por hipercubo latino com um número menor de rodadas Monte Carlo, com o intuito de abdicar um pouco de precisão para ganhar velocidade no processamento. A partir de certo ponto troca-se o método de amostragem para aleatória simples, com um número de  $n$  maior (melhor precisão), que segue refinando a solução até o final das iterações do algoritmo de otimização. Tal abordagem foi elaborada com o intuito de aproveitar as vantagens de ambos os métodos de amostragem.

Apesar de a ferramenta UCAF ter outras heurísticas de otimização implementadas em seu fluxo de projeto, como por exemplo, GA e SA, o estudo da metodologia proposta por este trabalho foi feito apenas considerando a heurística de otimização PSO que, através do estudo de (DOMANSKI; GIRARDI, 2015), apresenta vantagens em relação às demais heurísticas para o projeto automático de amplificadores. Dessa forma, utilizou-se a heurística PSO configurada com semente fixa, uma população de tamanho 100 e 60 iterações que resultam em um total de 6.000 execuções ou cálculos. Detalhes do motivo de utilizar o método de otimização PSO com uma população de tamanho 100 e 60 iterações são apresentados no trabalho de (DOMANSKI; GIRARDI, 2015) que fez vários testes e chegou a conclusão que essa configuração apresenta o melhor desempenho para o projeto de circuitos integrados analógicos.

Neste contexto, a técnica proposta por este trabalho utilizou o método de amostragem por hipercubo latino nas 3.000 primeiras execuções do algoritmo e o método de amostragem aleatória nas 3.000 execuções restantes.

Neste trabalho foi considerado que a variável de média tem um peso maior que a de desvio padrão para a estimativa da produtividade final. Com base nessa consideração, definiu-se arbitrariamente que um valor de  $\xi_\mu$  de 0,1% seria um erro aceitável. Desse modo, pode-se definir o valor fixo de  $n$  de cada método de amostragem no fluxo de otimização.

A Figura 31 apresenta, em um único gráfico, todas as curvas  $\xi_\mu$  x  $n$  obtidas com o método de amostragem por hipercubo latino. Pode-se notar que com um  $n$  igual a 50, todas as especificações tem um erro máximo  $\xi_\mu$  de 0,1% em relação à  $\hat{\mu}^*$ . É importante salientar que visualmente o valor de erro para a especificação  $SR$  parece ser maior que 0,1%, porém seu valor real é de 0,101% e foi considerado aqui como 0,1%.

A Figura 32 apresenta, em um único gráfico, todas as curvas  $\xi_\mu$  x  $n$  obtidas com o método de amostragem aleatória simples. Nota-se que, para se obter um erro  $\xi_\mu$  de 0,1%,

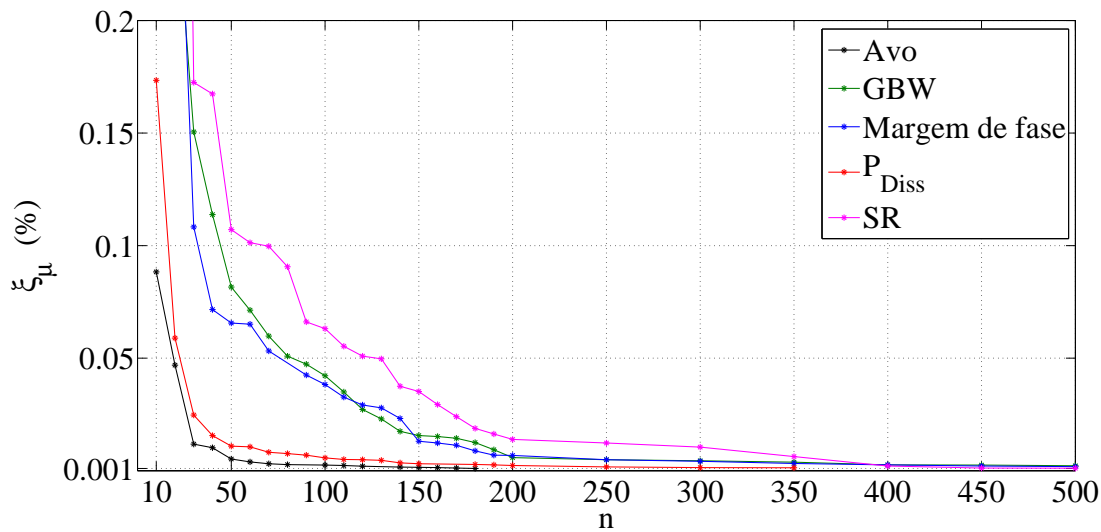


Figura 31 – Curvas de Erro  $\xi_\mu$  x Número de rodadas Monte Carlo obtidas para todas as especificações com o método de amostragem por hipercubo latino.

Fonte – Elaborado pelo autor.

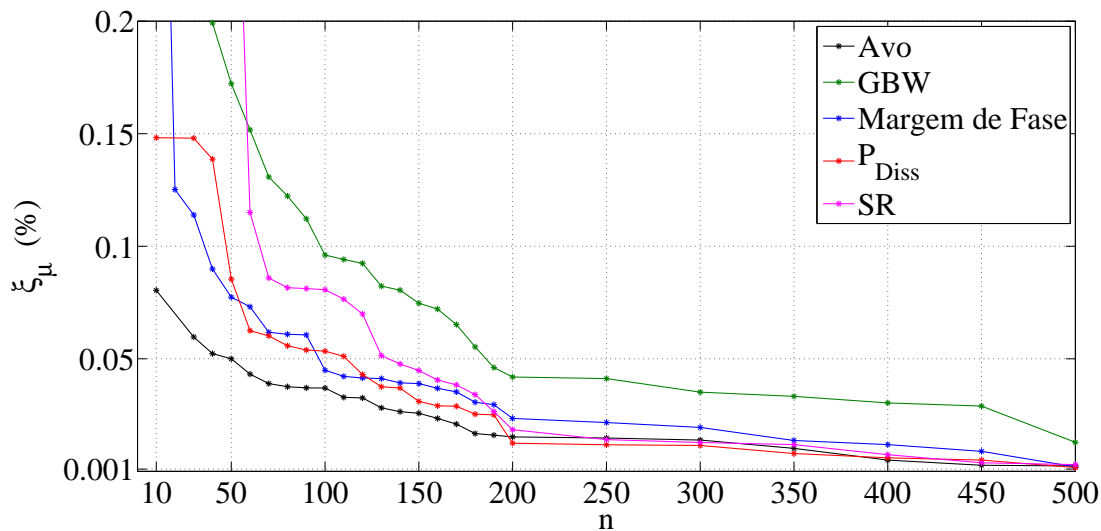


Figura 32 – Curvas de Erro  $\xi_\mu$  x Número de rodadas Monte Carlo obtidas para todas as especificações com o método de amostragem aleatória simples.

Fonte – Elaborado pelo autor.

é necessário um  $n$  igual a 100. É importante salientar que com um número de rodadas Monte Carlo de 50 para o método de amostragem aleatória, as especificações de *GBW* e *SR* estariam fora da faixa de 0,1% para o erro  $\xi_\mu$ . Dessa maneira, define-se os valores fixos de  $n$  em 50 e 100 para os métodos de amostragem por hipercubo latino e aleatória simples, respectivamente.

A produtividade do circuito é estimada somente na iteração em que uma provável melhor solução é encontrada, como pode ser visto no fluxograma da Figura 33. Para calcular a produtividade do circuito é necessário utilizar a simulação Monte Carlo com um determinado valor de  $n$ . Sendo que com um número menor de  $n$  a estimativa da produtividade é executada mais rapidamente, pois demanda um menor tempo de processamento computacional.

Nesse caso, a simulação Monte Carlo realizada com método de amostragem por hipercubo latino será aproximadamente duas vezes mais rápida que a simulação realizada com amostragem aleatória simples. Essa conclusão corrobora a ideia de utilizar o método de amostragem por hipercubo latino nas primeiras execuções do fluxo de otimização para proporcionar uma busca mais rápida no espaço de soluções.

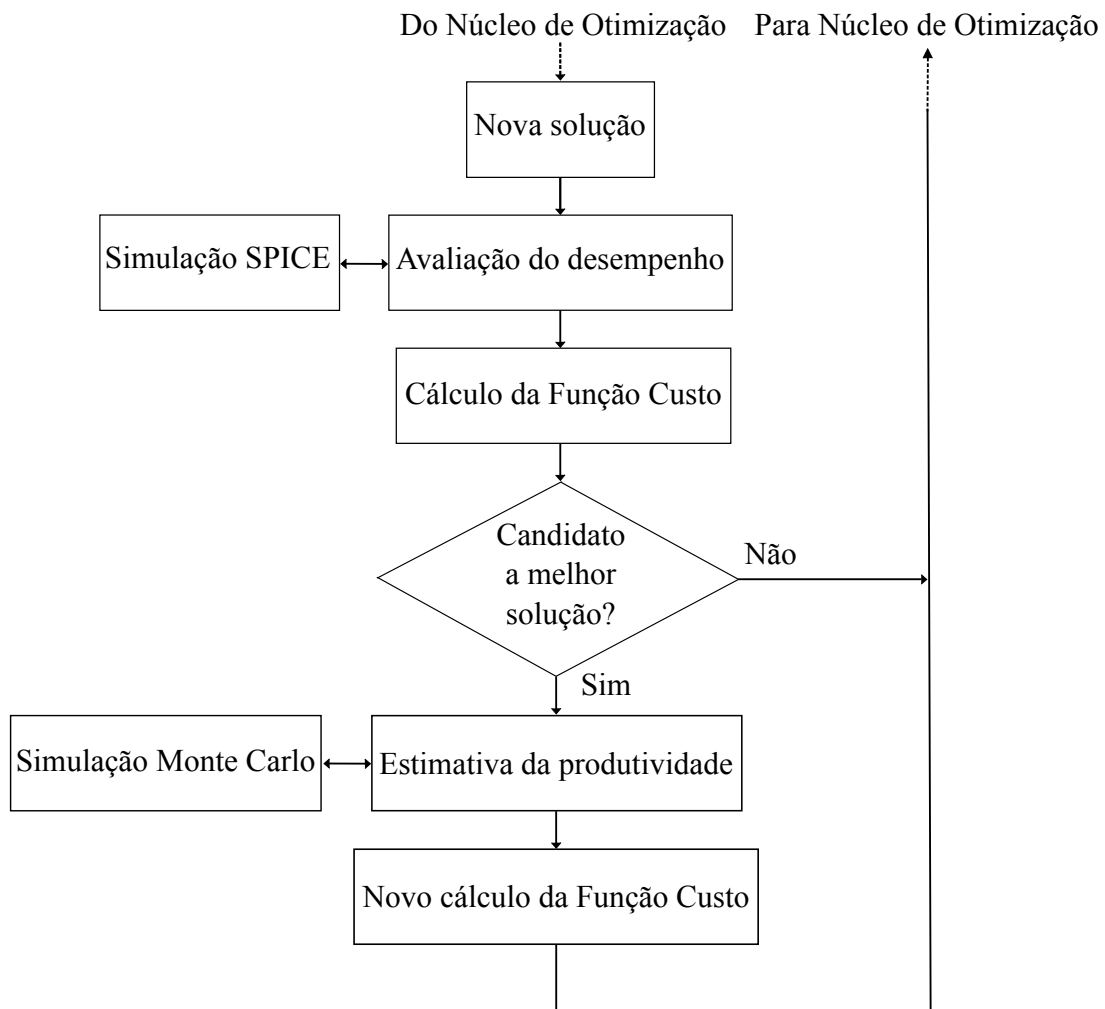


Figura 33 – Fluxo de otimização incluindo estimativa de produtividade apenas para melhor solução.

Fonte – Adaptado de Severo (2012).

Foram feitas as modificações necessárias na ferramenta UCAF a fim de incluir o método híbrido de amostragem descrito, e então poder executar um novo fluxo de projeto.



## 7 RESULTADOS E DISCUSSÕES

Este capítulo apresenta os resultados do dimensionamento automático de um amplificador operacional de transcondutância tipo Miller utilizando a ferramenta UCAF modificada com método de amostragem híbrido para análise Monte Carlo. Também são apresentados os resultados comparativos entre o desempenho do esquemático elétrico do circuito projetado automaticamente e o desempenho do seu respectivo leiaute.

### 7.1 Projeto automático com amostragem híbrida

Para validar a viabilidade da utilização do método híbrido de amostragem proposto por este trabalho utilizou-se a ferramenta UCAF modificada para redimensionar automaticamente o amplificador operacional de transcondutância tipo Miller da Figura 10 que foi apresentado no capítulo anterior.

Para as restrições de projeto, nas quais os valores requeridos estão presentes na segunda coluna da Tabela 4, atribuiu-se peso 1 de forma que a penalização na função custo obedece a lógica explicada pela Figura 2 apresentada na Seção 2.3 do Capítulo 2.

A área de *gate*, a dissipação de potência e produtividade do circuito, que foram utilizados como objetivo de otimização, foram normalizados para que apresentassem a mesma ordem de grandeza e atribuiu-se um peso igualitário para os três objetivos de forma que todos possuíssem a mesma relevância para otimização. Pela tecnologia de fabricação, topologia utilizada e especificações de restrição utilizadas neste projeto, uma produtividade de no mínimo 90% foi considerada como satisfatória.

Adotou-se uma faixa de variação de  $0,5\mu\text{m}$  a  $5\mu\text{m}$  para os comprimentos de canal  $L$  e uma faixa de  $10\mu\text{m}$  a  $100\mu\text{m}$  para as larguras de canal  $W$  dos transistores. Para a fonte de corrente de polarização  $I_{ref}$  e para a capacitância  $C_f$ , adotou-se uma faixa de variação de  $10\mu\text{A}$  a  $300\mu\text{A}$  e  $0,8\text{pF}$  a  $6\text{pF}$ , respectivamente. Além disso, foi utilizada uma capacitância de carga  $C_L$  de  $7\text{pF}$  e  $V_{DD} = -|V_{SS}| = 0,6\text{V}$ .

Além do fluxo de projeto executado com o método de amostragem híbrido, executou-se também, para fins de comparação, um projeto inteiro utilizando-se apenas o método de amostragem por hipercubo latino com número de rodadas igual a 50 e um projeto somente com o método de amostragem aleatória e número de rodadas igual a 100.

Os três projetos foram executados de forma sequencial em um computador com processador de 4 núcleos Intel CORE™ i7 com 8GB de memória RAM.

A Figura 34 apresenta o comportamento da função custo ao longo da iterações

do algoritmo para os três tipos de projeto executados com a ferramenta UCAF. Já o comportamento da produtividade do circuito, estimada ao longo das iterações do algoritmo de otimização, está representado na Figura 35.

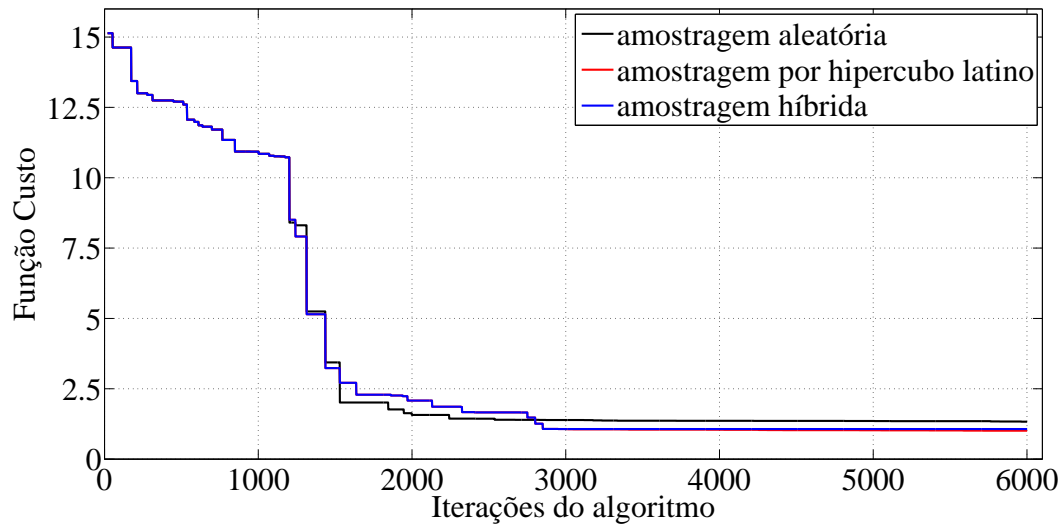


Figura 34 – Curvas de Função custo x Iterações do algoritmo de otimização para os três tipos de projeto executados.

Fonte – Elaborado pelo autor.

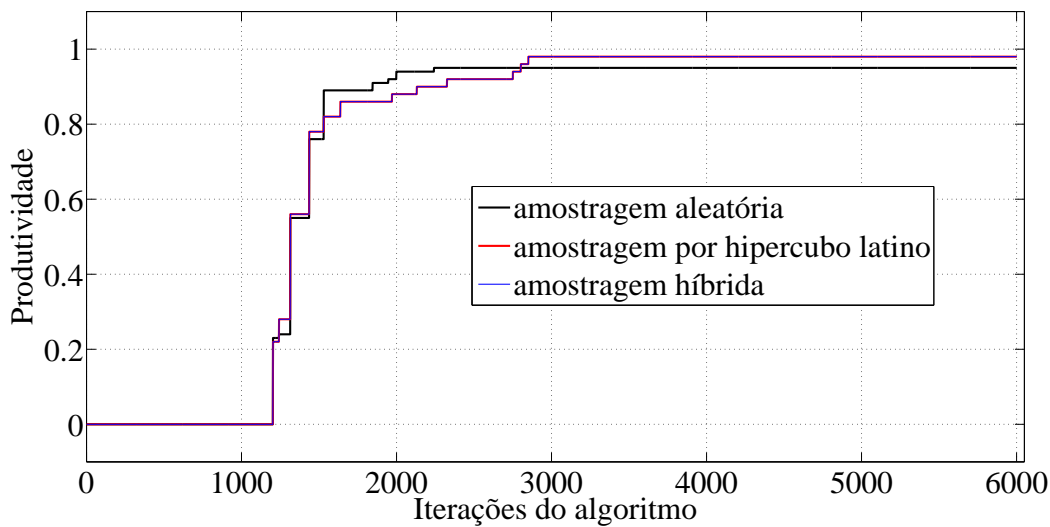


Figura 35 – Curvas de Produtividade x Iterações do algoritmo de otimização para os três tipos de projeto executados.

Fonte – Elaborado pelo autor.

Analisando a Figura 35 percebe-se que há um comportamento semelhante da produtividade entre os três projetos, essa semelhança pode ser explicada através de alguns



fatores como a utilização da heurística PSO configurada com semente fixa que torna mais justa a comparação entre projetos por fazer eles partirem sempre de um mesmo ponto inicial. Outro fator é que a produtividade do circuito só começa a ser estimada a partir da 1200ª iteração, pois até então nenhuma solução factível foi encontrada. As curvas referentes às amostragens híbrida e por hipercubo latino são iguais pois na metodologia híbrida o método de amostragem por hipercubo latino é utilizado até a 3000ª iteração do algoritmo, e após a troca de método de amostragem, a produtividade já tinha chegado em seu valor máximo. É importante salientar que mesmo que a produtividade não esteja mais sendo melhorada após a troca de amostragem no método híbrido, a área de *gate* e dissipação de potência do circuito continuam sendo melhoradas.

Através da Figura 34 nota-se que o comportamento da função custo ao longo das iterações do algoritmo também foi semelhante para os três tipos de projeto, como a função custo depende diretamente da produtividade, um comportamento semelhante para a produtividade reflete em um comportamento semelhante para a função custo.

Para facilitar a visualização, a Tabela 2 contém os valores finais de função custo e produtividade obtidos com os três projetos. Os projetos executados com amostragem híbrida e amostragem por hipercubo latino tiveram a mesma produtividade final de 98% e uma função custo muito próxima de 1, já o projeto executado com amostragem aleatória simples obteve um produtividade um pouco inferior, e conseqüentemente, uma função custo maior que os demais projetos. É importante salientar que a produtividade indicada até este ponto, utilizada para direcionar o algoritmo e otimizar o tempo de projeto, não apresenta um grande nível de confiabilidade.

Tabela 2 – Valores de Função Custo e Produtividade para os três projetos na última iteração do algoritmo de otimização.

Amostragem	Função Custo	Produtividade (%)
por hipercubo latino	1,00	98,00
aleatória	1,33	96,00
híbrida	1,07	98,00

Fonte – Elaborado pelo autor.

Com o intuito de descobrir a produtividade final do circuito com um melhor nível de confiabilidade, foi executada uma nova análise Monte Carlo, após a última iteração de cada projeto, configurada com método de amostragem aleatória simples e  $n$  igual a 10.000. Com o valor de produtividade atualizado, atualizou-se também o valor da função custo.

A Tabela 3 apresenta os resultados de tempo total de execução, função custo final, produtividade final (após simulação com  $n = 10.000$ ), potência dissipada e área de *gate* do circuito obtidos com os três projetos.

Como era esperado, o projeto com amostragem por hipercubo latino foi o mais rápido dos três projetos. Obteve um tempo total de 4 horas e 28 minutos de simulação, porém a produtividade final de 78,26% não foi satisfatória. Este resultado evidencia a perda de precisão do método de amostragem por hipercubo latino que foi explicada e abordada anteriormente.

O projeto realizado com a técnica proposta por esse trabalho foi em torno de 1 hora e 12 minutos mais rápido que o projeto executado com a amostragem aleatória simples, e ainda obteve-se uma produtividade final de 90,90% que foi um pouco maior que a produtividade de 87,35% obtida no segundo projeto. Com o método híbrido foi possível recuperar a precisão de estimativa que havia sido perdida com a utilização do método de amostragem por hipercubo latino.

Além disso, o projeto com amostragem híbrida apresentou uma menor área que o projeto com amostragem aleatória simples e uma menor dissipação de potência que o projeto com amostragem por hipercubo latino. O projeto com amostragem híbrida ainda foi mais robusto em termos de redução de produtividade, na qual sofreu uma redução de 7,24% que foi menor que a redução de 9,01% e 20,14% para os projetos com amostragem aleatória simples e amostragem por hipercubo latino, respectivamente.

Tabela 3 – Comparação entre os projetos executados com os diferentes métodos de amostragem.

Amostragem	Tempo (hs)	F. Custo	Prod. (%)	$P_{Diss}$ ( $\mu$ W)	Área ( $\mu$ m <sup>2</sup> )
por hipercubo latino	4,47	2,98	78,26	549,40	259,5
aleatória	8,09	2,09	87,35	519,6	311,9
híbrida	6,88	1,77	90,90	534,9	302,2

Fonte – Elaborado pelo autor.

Os resultados das especificações do projeto executado utilizando o método de amostragem híbrida são apresentados na Tabela 4. Já os valores dimensionados para as variáveis do circuito são mostrados na Tabela 5.

## 7.2 Ferramenta UCAF vs Leiaute

Finalmente, para demonstrar que o leiaute do circuito projetado automaticamente pela UCAF apresenta desempenho semelhante ao seu respectivo esquemático elétrico, gerou-se de forma manual o leiaute do amplificador OTA Miller utilizando o auxílio dos softwares Virtuoso e Spectre da Cadence®. Com o leiaute gerado, foi possível medir as especificações pós-leiaute e então comparar seu desempenho com os resultados do esquemático elétrico projetado pela ferramenta UCAF.

Tabela 4 – Especificações requeridas e resultados obtidos com o projeto automático do amplificador OTA Miller.

Especificação	Valor requerido	Projeto UCAF
Av0 (dB)	$\geq 50,00$	51,19
GBW (MHz)	$\geq 2,00$	16,59
Margem de fase ( $^\circ$ )	$\geq 60,00$	62,91
SR (V/ $\mu$ s)	$\geq 5,00$	19,33
ICMR+ (V)	$\geq 0,40$	0,43
ICMR- (V)	$\leq -0,40$	-0,58
OS+ (V)	$\geq 0,40$	0,54
OS- (V)	$\leq -0,40$	0,59
PSRR+ (dB)	$\geq 40,00$	61,52
PSRR- (dB)	$\geq 40,00$	61,71
$P_{Diss}$ ( $\mu$ W)	minimizar	534,9
Área de gate ( $\mu$ m <sup>2</sup> )	minimizar	302,2

Fonte – Elaborado pelo autor.

Tabela 5 – Valores das variáveis do amplificador OTA Miller dimensionadas a partir do projeto considerando amostragem híbrida.

Variável	Valor
$W_1/L_1$	10,00 $\mu$ m / 2,01 $\mu$ m
$W_3/L_3$	16,57 $\mu$ m / 0,50 $\mu$ m
$W_5/L_5$	22,15 $\mu$ m / 7,38 $\mu$ m
$W_6/L_6$	94,30 $\mu$ m / 0,51 $\mu$ m
$W_7/L_7$	77,26 $\mu$ m / 1,98 $\mu$ m
$I_{ref}$	101,02 $\mu$ A
$C_f$	4,37p F

Fonte – Elaborado pelo autor.

A Figura 36 apresenta uma imagem do leiaute obtido manualmente para o amplificador OTA Miller.

Tabela 6 mostra os resultados obtidos através da simulação do esquemático projetado pela ferramenta, bem como os resultados obtidos através da simulação pós-leiaute do amplificador OTA Miller e também a diferença percentual entre os valores das especificações obtidas nos dois casos.

É possível notar que o desempenho do amplificador projetado, em nível de esquemá-

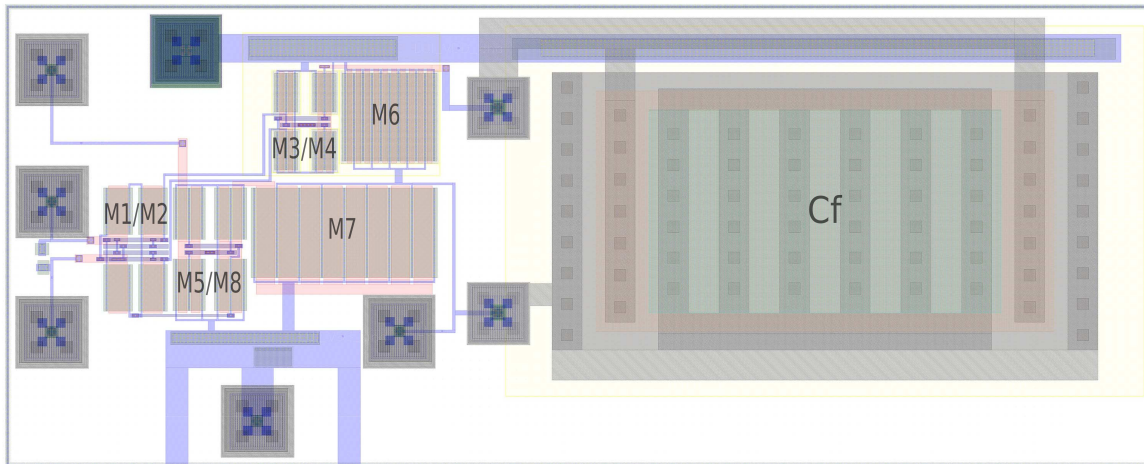


Figura 36 – Leiaute do amplificador OTA Miller.

Fonte – Elaborado pelo autor.

Tabela 6 – Resultados do projeto da ferramenta UCAF e da simulação pós-leiaute do amplificador OTA Miller.

Especificação	Projeto UCAF	Pós-Leiaute	Diferença percentual (%)
$A_{v0}$	51,197 (dB)	51,010 (dB)	0,366 (dB)
GBW	16,590 (MHz)	16,280 (MHz)	1,904
Margem de fase	62,917 ( $^{\circ}$ )	64,860 ( $^{\circ}$ )	2,995
SR	19,334 (V/ $\mu$ s)	18,770 (V/ $\mu$ s)	3,004
ICMR+	0,436 (V)	0,453 (V)	3,752
ICMR-	-0,584 (V)	-0,592 (V)	1,351
OS+	0,548 (V)	0,543 (V)	0,920
OS-	-0,596 (V)	-0,569 (V)	4,745
PSRR+	61,520 (dB)	58,940 (dB)	4,377 (dB)
PSRR-	61,710 (dB)	62,998 (dB)	2,004 (dB)
$P_{Diss}$	534,900 ( $\mu$ W)	534,900 ( $\mu$ W)	0,000
Área de gate	302,200 ( $\mu$ m <sup>2</sup> )	301,900 ( $\mu$ m <sup>2</sup> )	0,099

Fonte – Elaborado pelo autor.

tico, pela ferramenta UCAF é muito semelhante com o desempenho obtido com a simulação pós-leiaute do circuito. A diferença percentual entre as especificações não ultrapassou 5%, isso mostra que as dispositivos parasitas presentes no leiaute do amplificador e o arredondamento nos tamanhos dos transistores não ocasionaram grandes mudanças no desempenho do circuito. Com isso, pode-se dizer que a ferramenta UCAF é capaz de projetar em nível de esquemático elétrico um amplificador OTA Miller que possua um

desempenho similar ao seu respectivo leiaute.

O amplificador projetado com a metodologia híbrida de amostragem foi mandado para fabricação, em tecnologia GF 8RF-DM 0,13 $\mu$ m 1,2V, através do MEP (*Mosis Educational Program*) 2015/2016. MEP é o Programa Educacional da *foundry* MOSIS localizada no estado da Califórnia nos EUA. Este programa concede rodadas grátis de fabricação de circuitos integrados para universidades e centros de pesquisa, a previsão de chegada do chip que contém o amplificador OTA Miller é para o primeiro semestre de 2017.



## 8 CONSIDERAÇÕES FINAIS

Esse trabalho avaliou o impacto dos métodos de amostragem na análise Monte Carlo e conseqüentemente na estimativa de produtividade de um circuito, na qual o método de amostragem por hipercubo latino mostrou-se bastante promissor, pois é capaz de prover uma boa aproximação de valores de média com um número menor de rodadas Monte Carlo. Porém, o método de amostragem por hipercubo latino contém um pequeno erro, fazendo com que a produtividade final obtida não seja satisfatória caso considerado somente esse tipo de amostragem no fluxo de projeto.

Foi desenvolvida uma técnica híbrida de amostragem para análise Monte Carlo em projeto automático de circuitos integrados analógicos. A metodologia proposta foi baseada nos métodos de amostragem aleatória simples e amostragem por hipercubo latino, assim foi possível combinar as vantagens dos dois métodos e então poder acelerar o tempo de projeto do circuito garantindo uma boa produtividade para o mesmo.

O método proposto foi incluído no fluxo de otimização da ferramenta UCAF e foi validado através da execução de um projeto para dimensionar um amplificador OTA Miller. Com isso, foi possível reduzir o tempo computacional de simulação para o fluxo completo de projeto e obter um circuito com uma produtividade final maior quando comparado com o método tradicional de amostragem.

Foi demonstrado também que a ferramenta UCAF, mesmo não considerando parâmetros de leiaute em seu fluxo de projeto, é eficiente para projetar um circuito em nível de esquemático elétrico que tenha desempenho semelhante ao seu respectivo leiaute. Os elementos parasitas presentes na construção do leiaute do circuito e o arredondamento das dimensões dos transistores não ocasionaram mudanças bruscas no desempenho do amplificador projetado a partir da ferramenta UCAF.

Como trabalhos futuros, pretende-se avaliar o desempenho dos métodos de amostragem na estimativa dos valores de média e desvio padrão das especificações de outras topologias de blocos analógicos e então testar a técnica proposta para o projeto destas topologias. Variar o ponto de troca, entre um método de amostragem e outro, na metodologia híbrida, para descobrir se existe um ponto ótimo de troca no projeto. Pretende-se também melhorar o fluxo de projeto da ferramenta UCAF adicionando parâmetros de leiaute no fluxo de otimização. Por fim, com o chip do amplificador OTA Miller em mãos, pretende-se medir fisicamente suas especificações para comparar com os desempenhos de esquemático elétrico e pós-leiaute.





# REFERÊNCIAS

- ALLEN, P.; HOLBERG, D. *CMOS Analog Circuit Design*. [S.l.]: Oxford University Press, 2002. (Oxford series in electrical and computer engineering). ISBN 9780195116441.
- BAKER, R. J. *CMOS: circuit design, layout, and simulation*. [S.l.]: John Wiley & Sons, 2008. v. 1.
- BALKIR, S.; DÜNDAR, G.; ÖGRENCI, A. S. *Analog VLSI Design Automation*. [S.l.]: CRC Press, 2003.
- BARROS, M.; GUILHERME, J.; HORTA, N. *Analog Circuits and Systems Optimization Based on Evolutionary Computation Techniques*. [S.l.]: Springer, 2010.
- BINDER, K.; HEERMANN, D. *Monte Carlo Simulation in Statistical Physics: An Introduction*. [S.l.]: Springer Berlin Heidelberg, 2010. (Graduate Texts in Physics).
- CANELAS, A.; MARTINS, R.; PÓVOA, R.; LOURENÇO, N.; HORTA, N. Yield optimization using k-means clustering algorithm to reduce monte carlo simulations. In: *2016 13th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*. [S.l.: s.n.], 2016. p. 1–4.
- DOMANSKI, R.; GIRARDI, A. Analysis of optimization algorithms for sizing analog circuits. *6th IEEE Latin American Symposium on Circuits and Systems*, 2015.
- DRENNAN, P. G.; MCANDREW, C. C. Understanding mosfet mismatch for analog design. *IEEE Journal of Solid-State Circuits*, v. 38, n. 3, p. 450–456, Mar 2003. ISSN 0018-9200.
- GRAEB, H. E. *Analog Design Centering and Sizing*. 1st. ed. [S.l.]: Springer Publishing Company, Incorporated, 2007. ISBN 1402060033, 9781402060038.
- GUERRA-GOMEZ, I.; TLELO-CUAUTLE, E.; FRAGA, L. G. de la. Ocba in the yield optimization of analog integrated circuits by evolutionary algorithms. In: *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.: s.n.], 2015. p. 1933–1936. ISSN 0271-4302.
- HEPPNER, F.; GRENANDER, U. A stochastic nonlinear model for coordinated bird flocks. In: KRASNER, E. (Ed.). *The ubiquity of chaos*. [S.l.]: AAAS Publications, 1990. p. 233–238.
- JAFFARI, J.; ANIS, M. On efficient lhs-based yield analysis of analog circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v. 30, n. 1, p. 159–163, Jan 2011. ISSN 0278-0070.
- KENNEDY, J.; EBERHART, R. Particle swarm optimization. In: *Neural Networks, 1995. Proceedings., IEEE International Conference on*. [S.l.: s.n.], 1995. v. 4, p. 1942–1948 vol.4.
- KHOUS, A.; DERIEUX, A. Fault simulation for analog circuits under parameter variations. *Journal of Electronic Testing*, Springer, v. 16, n. 3, p. 269–278, 2000.

- KONDAMADUGULA, S.; NAIDU, S. R. Parameter-importance based monte-carlo technique for variation-aware analog yield optimization. In: *2016 International Great Lakes Symposium on VLSI (GLSVLSI)*. [S.l.: s.n.], 2016. p. 51–56.
- LIN, Y.; CHEN, D.; GEIGER, R. Yield enhancement with optimal area allocation for ratio-critical analog circuits. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 53, n. 3, p. 534–553, mar. 2006.
- MAHMOUDI, H.; ZIMMERMANN, H. On optimal latin hypercube design for yield analysis of analog circuits. In: *Microelectronics (Austrochip), 2015 Austrian Workshop on*. [S.l.: s.n.], 2015. p. 46–49.
- MARTINS, R.; LOURENÇO, N.; CANELAS, A.; PÓVOA, R.; HORTA, N. Aida: Robust layout-aware synthesis of analog ics including sizing and layout generation. In: *Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD), 2015 International Conference on*. [S.l.: s.n.], 2015. p. 1–4.
- MCKAY, M. D.; BECKMAN, R. J.; CONOVER, W. J. A comparison of three methods for selecting values of input variables in the analysis of output from a computer code. *Technometrics*, v. 21, n. 2, p. pp. 239–245, 1979.
- MUTLU, A. A.; RAHMAN, M. Statistical methods for the estimation of process variation effects on circuit operation. *IEEE Transactions on Electronics Packaging Manufacturing*, v. 28, n. 4, p. 364–375, Oct 2005. ISSN 1521-334X.
- NAIDU, S. R. Speeding up monte-carlo simulation for statistical timing analysis of digital integrated circuits. In: *20th International Conference on VLSI Design held jointly with 6th International Conference on Embedded Systems (VLSID'07)*. [S.l.: s.n.], 2007. p. 265–270. ISSN 1063-9667.
- NYE, W.; RILEY, D. C.; SANGIOVANNI-VINCENTELLI, A.; TITS, A. L. DE-LIGHT.SPICE: An Optimization-Based System for the Design of Integrated Circuits. *IEEE Transactions on Computer Aided-Design*, v. 7, n. 4, p. 501–519, 1988.
- ORSHANSKY, M.; NASSIF, S.; BONING, D. *Design for Manufacturability and Statistical Design: A Constructive Approach*. 1st. ed. [S.l.]: Springer Publishing Company, Incorporated, 2010. ISBN 1441940448, 9781441940445.
- PHHELPS, R.; KRASNICKI, M.; RUTENBAR, R.; CARLEY, L.; HELLUMS, J. Anaconda: simulation-based synthesis of analog circuits via stochastic pattern search. *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, v. 19, n. 6, p. 703–717, Jun 2000.
- SAINT, C.; SAINT, J. et al. *IC layout basics: a practical guide*. [S.l.: s.n.], 2002.
- SCHNEIDER, M. C.; GALUP-MONTORO, C. *CMOS analog design using all-region MOSFET modeling*. [S.l.]: Cambridge University Press, 2010.
- SEVERO, L. C. *Uma Ferramenta para o Dimensionamento Automático de Circuitos Integrados Analógicos Considerando Análise de Produtividade*. Dissertação ((Mestrado em Engenharia Elétrica) - Programa de Pós Graduação em Engenharia Elétrica, Universidade Federal do Pampa, Alegrete. 2012) — Universidade Federal do Pampa, 2012.

- SHI, Y.; EBERHART, R. A modified particle swarm optimizer. In: *Evolutionary Computation Proceedings, 1998. IEEE World Congress on Computational Intelligence., The 1998 IEEE International Conference on*. [S.l.: s.n.], 1998. p. 69–73.
- SHI, Y.; EBERHART, R. Empirical study of particle swarm optimization. In: *Evolutionary Computation, 1999. CEC 99. Proceedings of the 1999 Congress on*. [S.l.: s.n.], 1999. v. 3.
- SOBOL, I. M. *A primer for the Monte Carlo method; 2nd ed.* Boca Raton, FL: CRC Press, 1994.
- SYNOPSYS. *HSPICE User Guide: Simulation and Analysis*. Version b-2008.09. [S.l.], 2008.
- TSIVIDIS, Y.; MCANDREW, C. *Operation and Modeling of the MOS Transistor*. [S.l.]: Oxford Univ. Press, 2011.
- XU, Y.; HSIUNG, K.-L.; LI, X.; PILEGGI, L. T.; BOYD, S. P. Regular Analog/RF Integrated Circuits Design Using Optimization With Recourse Including Ellipsoidal Uncertainty. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v. 28, n. 5, p. 623–637, 2009.