



UNIVERSIDADE FEDERAL DO PAMPA
CAMPUS ALEGRETE
CURSO DE ENGENHARIA ELÉTRICA

RODRIGO OLIVEIRA DE ANDRADE

**RETIFICADOR SP: TOPOLOGIA RETIFICADORA COM COMPENSAÇÃO ATIVA
DE ONDULAÇÃO DE BAIXA FREQUÊNCIA SEM CAPACITOR ELETROLÍTICO**

Alegrete

2015

RODRIGO OLIVEIRA DE ANDRADE

**RETIFICADOR SP: TOPOLOGIA RETIFICADORA COM COMPENSAÇÃO ATIVA
DE ONDULAÇÃO DE BAIXA FREQUÊNCIA SEM CAPACITOR ELETROLÍTICO**

Trabalho de conclusão de Curso apresentado ao curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção de grau de Engenheiro Eletricista.

Orientador: Guilherme Sebastião da Silva

Coorientador: Jumar Luís Russi

Alegrete

2015

A553r Andrade, Rodrigo Oliveira

RETIFICADOR SP: TOPOLOGIA RETIFICADORA SÉRIE-PARALELA
COM COMPENSAÇÃO ATIVA DE ONDULAÇÃO DE BAIXA FREQUÊNCIA
SEM CAPACITOR ELETROLÍTICO / Rodrigo Oliveira Andrade.

110 p.

Trabalho de Conclusão de Curso (Graduação)--
Universidade Federal do Pampa, ENGENHARIA ELÉTRICA,
2015.

"Orientação: Guilherme Sebastião da Silva".

1. Retificador ativo. 2. Redução de capacitância. 3.
Alta durabilidade. 4. Compensação ativa de ondulação de
baixa frequência. 5. Baixa ondulação. I. Título.

RODRIGO OLIVEIRA DE ANDRADE

**RETIFICADOR SP: TOPOLOGIA RETIFICADORA COM COMPENSAÇÃO ATIVA
DE ONDULAÇÃO DE BAIXA FREQUÊNCIA SEM CAPACITOR ELETROLÍTICO**

Trabalho de Conclusão de Curso apresentado ao
Curso de Engenharia Elétrica da Universidade
Federal do Pampa, como requisito parcial para
obtenção do título de Bacharel em Engenharia
Elétrica.

Área de Concentração: Eletrônica de Potência

Trabalho de Conclusão de Curso defendido e aprovado em: 27 de novembro de 2015.

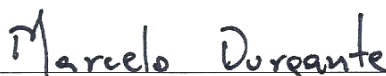
Banca examinadora:



Prof. Me. Guilherme Sebastião da Silva
Orientador



Prof. Dr. Felipe Bovolini Grigoletto
UNIPAMPA



Prof. Me. Marcelo Hahn Durgante
UNIPAMPA

*Dedico este trabalho
a minha esposa, Joana,
e ao meu filho, Igor.*

AGRADECIMENTOS

Agradeço a Deus, pela saúde e oportunidades necessárias para a chegada desse dia.

Especialmente à minha esposa, Joana, pelo apoio e motivação incondicionais, e ao meu filho Igor, que antes de nascer já me trouxe inspiração.

Aos meus pais, Virgínia e Roni, que em alguns momentos me apoiaram e me propiciaram as condições que possibilitaram meu ingresso na universidade.

Aos meus orientadores, Guilherme Sebastião e Jumar Russi, cujos ensinamentos, tanto durante a orientação deste trabalho como em disciplinas do curso, proporcionaram os conhecimentos e apoio necessários para a concretização deste projeto.

Aos professores Felipe Grigoletto e Márcio Stefanello, que deram algumas das sugestões durante a pesquisa inicial.

Aos amigos e colegas Lucas Dorneles, Lucas Fontoura e Maicon Natã, pelo coleguismo e amizade ao longo dos últimos anos, onde junto realizamos na Universidade e fora dela muitos feitos.

Aos amigos Fernando Soares e Cirilo Remor, que sempre me apoiaram mesmo à distância.

Ao amigo e colega Cleiton Lucatel, sempre muito solícito, pelo apoio e ajuda em diversos momentos ao longo do curso.

À Maria Alejandra, Maria Luísa e João Francisco Witt, pelo apoio terapêutico prestado nos momentos difíceis.

Ao amigo André Braga e à empresa 4LEDs, que em muito contribuíram para minha experiência profissional.

A todos meus outros amigos e colegas, que de alguma forma contribuíram para minha formação acadêmica.

À Universidade Federal do Pampa, por propiciar o curso de engenharia elétrica, com ótima infra-estrutura.

À Universidade Federal do Rio Grande do Sul, onde frequentei a primeira metade do curso.

A todos os professores que desempenham sua função de verdadeiros educadores, formadores de opinião e exemplos de conduta.

*“...if you always put limits on what you can do,
physical or anything else,
it'll spread over into the rest of your life.
It'll spread into your work,
into your morality,
into your entire being.
There are no limits.
There are plateaus,
but you must not stay there,
you must go beyond them.
If it kills you, it kills you.
A man must constantly exceed his level.”*

(Bruce Lee)

RESUMO

O valor de capacitância necessário para a obtenção de baixos níveis de ondulação em conversores é elevado, forçando o uso de capacitores eletrolíticos, cuja vida útil é limitada e reduz a durabilidade do circuito. Embora já existam soluções para redução de capacitância, possuem limitações quanto à aplicação, pois geralmente possuem altos níveis de ondulação de corrente de saída. Esta monografia detalha o estudo, análise e modelagem de uma nova topologia retificadora aplicada à redução de capacitâncias, com baixos níveis de ondulação de tensão e corrente, bem como alta eficiência, possibilitando assim sua aplicação para uso geral. Um retificador com compensação ativa de ondulação de baixa frequência foi desenvolvido e implementado com sucesso. Simulações e resultados experimentais obtidos com o protótipo são apresentados. O protótipo construído obteve os resultados esperados, sendo implementado utilizando um conversor abaixador em sua saída, obtendo níveis de ondulação inferiores a 10 %, sendo utilizada uma capacitância 20 μ F. A potência de saída é de 85 W. O nome SP é devido à dinâmica de operação do circuito, a conexão série-paralela entre o capacitor principal e o retificador de entrada. A topologia desenvolvida utiliza princípios de funcionamento inéditos e teve sua patente requerida, sob número de processo BR 10 2015 030296 7 em dezembro de 2015.

Palavras-Chave: Retificador ativo, redução de capacitância, alta durabilidade.

ABSTRACT

The capacitance value necessary to obtain low ripple levels in converters is elevated, forcing the use of electrolytic capacitors, whose lifetime is limited and reduces the circuit's durability. Although there are already capacitance reduction solutions, they have limitations as for the application, since they usually have high current ripple levels. This monograph details the study, analysis and modeling of a new rectifying topology applied to capacitance reduction, with low tension and current ripple levels, as well as high efficiency, allowing this way the general use application of this converter. A low frequency ripple active compensation rectifier was developed and implemented successfully. Simulations and experimental results obtained with the prototype are presented. The built prototype obtained the expected results, being implemented a step down converter in its output, obtaining ripple levels lower than 10%, being used a 20 μF capacitance. The output power is 85 W. The name SP is due to the operation dynamics, the series-parallel connection between the main capacitor and the input rectifier. The developed topology uses new working principles and had its patent pending under case number BR 10 2015 030296 7 in December 2015.

Keywords: *Active rectifier, capacitance reduction, long lifetime.*

LISTA DE ILUSTRAÇÕES

Figura 1 - Construção de um capacitor eletrolítico. [5].	26
Figura 2 - Exemplos de falha de capacitores eletrolíticos. Expansão do invólucro (a) e vazamento do eletrólito (b).	27
Figura 3 - Comparativo de vida útil de diferentes tecnologias de capacitores. [6].	27
Figura 4 - Cálculo de vida útil estimada para um capacitor de poliéster. [8].	28
Figura 5 - Formas de onda de entrada e saída de um retificador ponte completa a diodos.	31
Figura 6 - Pontos de passagem por zero da forma de onda de entrada	32
Figura 7 - Retificador ponte completa a diodos com filtro capacitivo	32
Figura 8 - Formas de onda da saída do filtro capacitivo	33
Figura 9 – Retificador meia ponte com filtro capacitivo. (a) circuito e (b) formas de onda	33
Figura 10 - Retificador a diodos em ponte completa. (a) circuito e (b) formas de onda.	34
Figura 11 - Retificador monofásico a tiristores. (a) circuito e (b) formas de onda.	35
Figura 12 - Retificador trifásico a diodos com ponto médio. (a) circuito e (b) formas de onda.	35
Figura 13 - Retificador trifásico a diodos de ponte completa. (a) circuito e (b) formas de onda.	36
Figura 14 - Configurações de conversores híbridos. Para saída em (a) tensão e (b) corrente.	37
Figura 15 - Conversor híbrido, saída em tensão série. (a) configuração e (b) formas de onda.	38
Figura 16 - Diagrama em blocos da topologia proposta.	42
Figura 17 - Diagrama esquemático idealizado da topologia proposta.	42
Figura 18 - Circuito de compensação ativa com transistores MOSFET e bloco de comando.	44
Figura 19 - Implementação do capacitor de compensação e circuito de carga.	44
Figura 20 - Otimização - substituição da chave S1b pelo diodo D1.	45
Figura 21 - Otimização - substituição de S2 por circuito de carga isolado.	46
Figura 22 - Otimização - eliminação do circuito isolado de carga.	47
Figura 23 - Formas de onda idealizadas do circuito.	48

Figura 24 - Estágios de condução do retificador SP. (a) estágio 1 e (b) estágio 2. ...	49
Figura 25 - Formas de onda e aproveitamento de energia de um retificador em onda completa.	50
Figura 26 - Formas de onda e aproveitamento de energia da topologia proposta....	51
Figura 27 - Circuito simulado em ambiente PSIM™.	52
Figura 28 - Formas de onda da simulação da topologia proposta.	53
Figura 29 - Formas de onda da razão cíclica variável e seu valor médio.	54
Figura 30 – Comparação de níveis de oscilação do capacitor C1 e tensão de saída.	56
Figura 31 - Circuito reorganizado, enfatizando semelhança fundamental com conversor buck.	58
Figura 32 - Forma de onda gerada pela equação de modelagem da variação de corrente no indutor L_F , com pontos de máximo.	59
Figura 33 - Comparação entre formas de onda calculada e simulada no indutor L_F	60
Figura 34 - Diagrama esquemático do conversor de compensação.	64
Figura 35 - Diagrama esquemático do conversor de saída.	71
Figura 36 - Diagrama esquemático do circuito do conversor com valores de componentes projetados.....	74
Figura 37 - Formas de onda do microcontrolador com valor médio.....	76
Figura 38 - Forma de onda PWM com sinal auxiliar	76
Figura 39 - Circuito de sincronização com a rede elétrica.	77
Figura 40 - Formas de onda de saída do PWM variável e sinal sincronizador.	78
Figura 41 - Defasagem de resposta do circuito de sincronização com a rede elétrica.	78
Figura 42 - Forma de onda da corrente no indutor L_F	79
Figura 43 - Forma de onda da corrente no indutor L_C	80
Figura 44 - Forma de onda de corrente de entrada do conversor.	81
Figura 45 - Formas de onda de corrente instantânea e média no capacitor C1.	81
Figura 46 - Formas de onda de corrente instantânea e média na chave S1.	82
Figura 47 - Formas de onda de tensão de entrada e tensão retificada.	83
Figura 48 - Formas de onda instantânea e média da tensão de saída do conversor de compensação.	83
Figura 49 - Formas de onda instantânea e média da soma das tensões V_{RET} e V_{SP} .	84
Figura 50 - Forma de onda de tensão de saída do retificador SP (primeiro estágio).85	

Figura 51 - Forma de onda de tensão do capacitor C1.....	85
Figura 52 - Forma de onda de tensão de saída (V_O).....	86
Figura 53 - Forma de onda de corrente de saída (I_O).....	87
Figura 54 - Forma de onda de tensão de saída medida de um retificador em ponte completa.....	87
Figura 55 - Circuito driver utilizado. (a) Diagrama esquemático e (b) diagrama em blocos do CI FOD3180.....	89
Figura 56 - Diagrama esquemático completo do circuito, em ambiente Proteus™. ..	90
Figura 57 - Projeto da placa de circuito impresso utilizada para a construção do protótipo.	91
Figura 58 - Foto do protótipo do retificador SP com conversor abaixador na saída. .	92

LISTA DE TABELAS

Tabela 1 - Comparação qualitativa entre as topologias apresentadas.....	38
Tabela 2 - Parâmetros utilizados na simulação.....	52
Tabela 3 - Características gerais do circuito completo.....	63
Tabela 4 - Características técnicas do transistor IRF840.....	68
Tabela 5 - Características técnicas do microcontrolador ATMEGA328P-PU.....	75
Tabela 6 - Listagem dos componentes eletrônicos do protótipo.....	88
Tabela 7 - Especificações técnicas do circuito integrado FOD3180.....	89
Tabela 8 - Comparação quantitativa entre as topologias retificadoras apresentadas.	93

LISTA DE ABREVIATURAS E SIGLAS

CA - Corrente Alternada

CC - Corrente Contínua

LC - Filtro composto por Indutor e Capacitor

LED - (Light Emitting Diode) Diodo Emissor de Luz

MCC - Modo contínuo de condução

MOSFET - (Metal Oxide Silicon Field Effect Transistor) - Transistor de efeito de campo de óxido de silício metálico

NA - Contato normalmente aberto

NF - Contato normalmente fechado

PET - (Polyethylene Terephthalate) Polietileno Tereftalato

RMS - (Root Mean Square) Raiz quadrada média

LISTA DE SÍMBOLOS

- C_1 - Valor de capacitância no capacitor C_1
 C_F - Valor de capacitância no capacitor C_F
 C_O - Valor de capacitância no capacitor C_O
 C_{OSS} - (Small Signal Output Capacitance) Capacitância de saída do MOSFET
 D - (Duty Cycle) Razão cíclica
 F - Frequência da rede elétrica
 F_{AM} - Frequência de amostragem
 F_C - Frequência de corte
 F_P - Frequência de operação do microcontrolador
 F_S - Frequência de chaveamento
 I_{C1} - Corrente no capacitor C_1
 I_{CF} - Corrente no capacitor C_F
 I_{CO} - Corrente no capacitor C_O
 I_{IN} - Corrente de entrada do conversor
 $I_{MÁX}$ - Corrente máxima consumida (microcontrolador)
 I_O - Corrente de saída do conversor abaixador
 I_{OMIN} - Corrente mínima de saída do conversor abaixador
 I_{OP} - Máxima corrente de pico de saída (driver)
 L_C - Valor de indutância no indutor L_C
 L_F - Valor de indutância no indutor L_F
 L_O - Valor de indutância no indutor L_O
 n_{INDAC} - Número de entradas analógicas (microcontrolador)
 n_{PWM} - Número de canais PWM (microcontrolador)
 P_{IN} - Potência de entrada
 P_O - Potência de saída
 $P_{S1CHARGE}$ - Perdas de carga da chave S_1
 $P_{S1CROSS}$ - Perdas por crossover da chave S_1
 $P_{S1TOTAL}$ - Perdas totais na chave S_1
 $r_{DS(ON)}$ - Resistência em estado de condução
 R_{I-O} - Resistência entre entrada e saída (driver)
 $R_{\theta CD}$ - (thermal Resistance Case to Dissipator) - Resistência térmica, cápsula a dissipador

$R_{\theta DA}$ - (thermal Resistance Dissipator to Ambient) - Resistência térmica, dissipador a ambiente

$R_{\theta JA}$ - (thermal Resistance Junction to Ambient) - Resistência térmica, junção a ambiente

$R_{\theta JC}$ - (thermal Resistance Junction to Case) - Resistência térmica, junção a cápsula

T - Período da rede elétrica

T_{AMB} - Temperatura ambiente máxima estimada

t_F - (Fall time) Tempo de descida

T_{JS1} - Temperatura na junção da chave S1

$T_{JS1MÁX}$ - Temperatura máxima na junção da chave S1

T_{OPR} - Temperatura máxima de operação (driver)

t_R - (Rise time) Tempo de subida

T_S - Período de chaveamento

V_{AC} - Tensão da rede elétrica

V_{C1} - Tensão no capacitor C1

V_{CC} - Tensão de operação do microcontrolador

V_{CF} - Tensão no capacitor C_F

V_{CMIN} - Tensão mínima no capacitor

V_{CO} - Tensão no capacitor C_O

V_{DS} - Tensão entre pinos Drain e Source do transistor MOSFET

V_F - Tensão de entrada do emissor foto-acoplado (driver)

V_L - Tensão no indutor

V_O - Tensão de saída do conversor abaixador

V_{O1} - Tensão de saída do retificador SP

V_{O2} - Tensão de saída do conversor abaixador

V_P - Tensão de pico (ou tensão máxima) da rede elétrica

V_{SP} - Tensão de saída do retificador SP

V_{SPRMS} - Valor eficaz da tensão de saída do retificador SP

δ - Ganho do conversor

$\Delta I_{LC}(\%)$ - Variação percentual da corrente no indutor L_C

$\Delta I_{LF}(\%)$ - Variação percentual da corrente no indutor L_F

$\Delta I_{LO}(\%)$ - Variação percentual da corrente no indutor L_O

$\Delta I_O(\%)$ - Variação percentual da corrente de saída do conversor abaixador

Δt - Variação de tempo

ΔV_C - Variação de tensão no capacitor

$\Delta V_{C1}(\%)$ - Variação percentual de tensão no capacitor C_1

$\Delta V_{C_F}(\%)$ - Variação percentual de tensão no capacitor C_F

$\Delta V_{C_O}(\%)$ - Variação percentual de tensão no capacitor C_O

ΔV_O - Variação de tensão de saída do conversor abaixador

$\Delta V_O(\%)$ - Variação percentual da tensão de saída do conversor abaixador

SUMÁRIO

1	INTRODUÇÃO	25
1.1	Considerações gerais	25
1.2	Motivação e justificativa	26
1.3	Objetivos	29
1.4	Organização da monografia	30
2	REVISÃO BIBLIOGRÁFICA	31
2.1	Retificador Monofásico Meia Ponte a Diodos	33
2.2	Retificador Monofásico Ponte Completa a Diodos	34
2.3	Retificador Monofásico Ponte Completa a Tiristores	34
2.4	Retificador Trifásico a Diodos com Ponto Médio	35
2.5	Retificador Trifásico de Onda Completa (Ponte de Graetz)	36
2.6	Conversores Híbridos	36
2.7	Comparação qualitativa	38
2.8	Conclusões	39
3	METODOLOGIA	41
3.1	Considerações gerais	41
3.2	Desenvolvimento da topologia	41
3.3	Otimização do circuito	45
3.4	Dinâmica do circuito	48
3.5	Justificativa da vantagem em redução de capacitância sobre outros métodos	50
3.6	Simulações	51
3.7	Modelagem matemática	54
3.7.1	<i>CAPACITOR DE COMPENSAÇÃO – C1</i>	55
3.7.2	<i>INDUTOR DE SAÍDA DO CONVERSOR DE COMPENSAÇÃO - L_F</i>	57
3.7.3	<i>INDUTOR DO CIRCUITO DE CARGA - L_C</i>	61
3.7.4	<i>CAPACITOR DE SAÍDA DO CONVERSOR DE COMPENSAÇÃO - C_F</i> ...	61
3.7.5	<i>CONVERSOR DE SAÍDA</i>	62
3.8	Projeto e dimensionamento dos componentes do circuito	62
3.8.1	<i>CARACTERÍSTICAS DO PROJETO</i>	62
3.8.2	<i>PROJETO E DIMENSIONAMENTO DOS COMPONENTES DO CONVERSOR DE COMPENSAÇÃO</i>	62

3.8.2.1	<i>Diodos da ponte retificadora – D2, D3, D4, D5</i>	63
3.8.2.2	<i>Diodo de aterramento do retificador de entrada – D1.....</i>	65
3.8.2.3	<i>Diodo de carga do capacitor do conversor de compensação - D_C</i>	66
3.8.2.4	<i>MOSFET de chaveamento do conversor de compensação – S1.....</i>	66
3.8.2.5	<i>Capacitor do conversor de compensação – C1.....</i>	69
3.8.2.6	<i>Indutor de saída do conversor de compensação - L_F.....</i>	70
3.8.2.7	<i>Indutor de carga do capacitor do circuito de compensação - L_C.....</i>	70
3.8.2.8	<i>Capacitor de saída do conversor de compensação - C_F.....</i>	71
3.8.3	PROJETO E DIMENSIONAMENTO DOS COMPONENTES DO CONVERSOR DE SAÍDA	71
3.8.3.1	<i>MOSFET de chaveamento do conversor de saída – S2</i>	71
3.8.3.2	<i>Diodo de roda livre - D_O.....</i>	72
3.8.3.3	<i>Indutor do conversor de saída - L_O.....</i>	73
3.8.3.4	<i>Capacitor do conversor de saída - C_O.....</i>	73
3.8.4	DIAGRAMA ESQUEMÁTICO DO CIRCUITO	74
3.9	Resultados experimentais	75
3.9.1	COMANDO DA CHAVE MOSFET.....	75
3.9.2	CIRCUITO DE SINCRONIZAÇÃO COM A REDE ELÉTRICA	77
3.9.3	FORMAS DE ONDA OBTIDAS COM O PROTÓTIPO	79
3.9.4	CARACTERÍSTICAS DO PROTÓTIPO	88
3.10	Comparação quantitativa entre topologias	92
3.11	Conclusões	93
4	CONCLUSÃO	95
4.1	Sugestões para trabalhos futuros	96
5	REFERÊNCIAS.....	97
	APÊNDICE I	99

1 INTRODUÇÃO

1.1 Considerações gerais

Com a crescente evolução tecnológica, os conversores ganharam suma importância quanto a aspectos de projeto, como eficiência, dimensões e custo. Em termos de vida útil, raramente foram uma preocupação, uma vez que a grande maioria das aplicações possuía vida útil limitada a alguns milhares de horas. No entanto, algumas novas tecnologias necessitam fontes de alimentação mais duráveis, uma vez que em certas aplicações há a necessidade de dispositivos de prolongada durabilidade. Como exemplo é possível citar aplicações industriais de uso contínuo, dispositivos instalados em locais de difícil acesso e iluminação LED. Uma vez que LEDs possuem elevada vida útil, têm o conjunto (fonte de alimentação e dispositivo luminoso) limitado devido à durabilidade de seu conversor, uma vez que estes emissores possuem uma longevidade superior a 50.000 horas [1].

Conversores estáticos são constituídos basicamente de dispositivos semicondutores, responsáveis pela correta polarização do sentido da corrente. Os componentes do filtro, por sua vez, têm como função reduzir a quantia de variação de corrente e tensão na carga, e são usualmente compostos por capacitores e indutores (Filtros LC) [2].

Dispositivos semicondutores possuem uma longa vida útil, desde que operem obedecendo às suas especificações técnicas nominais [3]. A mesma lógica pode ser aplicada aos indutores do filtro, uma vez que são compostos de materiais extremamente duráveis e dificilmente têm suas características alteradas ao longo do tempo. Assim, o único componente que representa uma maior fragilidade no circuito do conversor são os capacitores, que devido à sua função necessitam de elevados valores de capacitância, limitando sua escolha aos capacitores eletrolíticos [4]. Por possuírem em sua construção materiais não sólidos, têm vida útil extremamente reduzida quando comparados a outras tecnologias de capacitores. No entanto, é a única tecnologia de capacitores disponível com capacitâncias altas o suficiente para atender aos requisitos de projeto de filtros passivos, para compensação de ondulações de baixa frequência.

1.2 Motivação e justificativa

A figura 1 demonstra os componentes que compõem um capacitor eletrolítico. Folhas de alumínio são enroladas em diversas camadas, sendo compostas por duas folhas isoladas por um papel impregnado com a solução eletrolítica. De acordo com a capacitância e tensão nominal, diversas camadas são utilizadas [5].

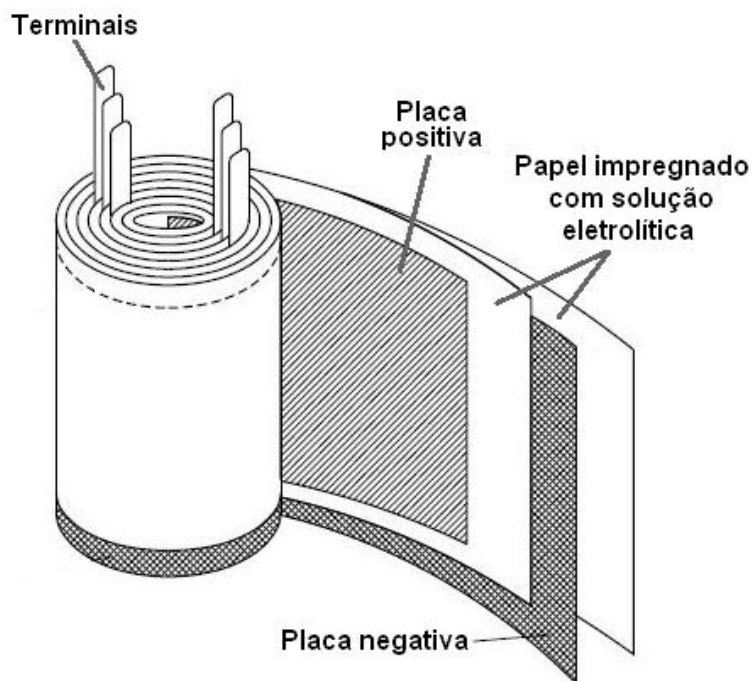


Figura 1 - Construção de um capacitor eletrolítico. [5].

A solução eletrolítica utilizada tende a sofrer evaporação, afetando as características do dielétrico do capacitor ao longo do tempo. Fatores como temperatura e pressão atmosférica aceleram esse processo, reduzindo o tempo de vida útil do componente [6]. Quando o capacitor eletrolítico chega à condição crítica de evaporação do elemento dielétrico, seu valor de capacitância é reduzido, causando efeitos indesejados no circuito em que é utilizado e muitas vezes danificando outros componentes, devido à deficiência na filtragem. Em alguns casos extremos, as placas podem ser colocadas em curto-circuito, pondo em risco o equipamento ao qual é empregado [7]. A figura 2 demonstra exemplos de falha de capacitores eletrolíticos, nos quais é possível observar uma expansão de seu invólucro e vazamento de eletrólito, o que ocorre em casos extremos [4].



Figura 2 - Exemplos de falha de capacitores eletrolíticos. Expansão do invólucro (a) e vazamento do eletrólito (b).

A proposta desse trabalho é a criação de uma topologia de conversor que permita a redução da capacitância dos filtros do conversor, mantendo níveis baixos de ondulação na carga. Dessa forma, é possível a utilização de capacitores de poliéster, os quais possuem elevada durabilidade devido às suas características de dispositivo de estado sólido [8]. A figura 3 demonstra um gráfico logarítmico com a duração de capacitores eletrolíticos, cerâmicos e de poliéster, em função da temperatura.

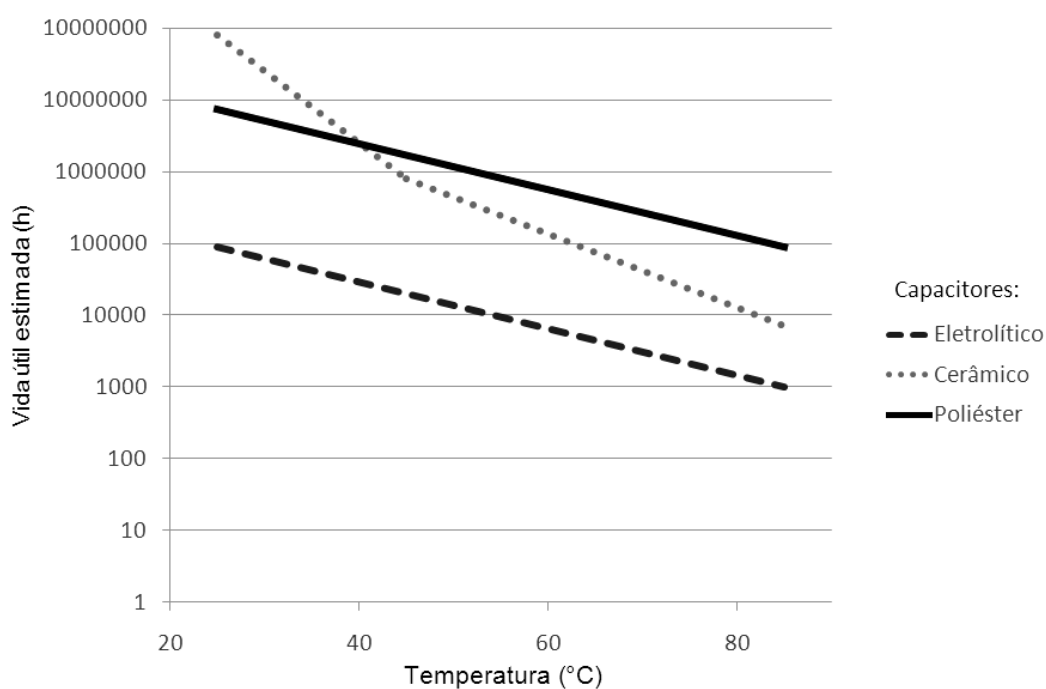


Figura 3 - Comparativo de vida útil de diferentes tecnologias de capacitores. [6]

O aumento da temperatura possui grande influência na longevidade dos componentes, de tal forma que, como é possível observar no gráfico, capacitores eletrolíticos possuem vida útil aproximadamente cem vezes inferior a capacitores de poliéster, a uma temperatura de trabalho de 85°C [6].

O capacitor de poliéster, também denominado capacitor de filme de poliéster (*Polyethylene Terephthalate* – PET), é um dos tipos de capacitores de filme mais duráveis, principalmente em temperaturas acima de 40°C [8]. A figura 4 demonstra uma estimativa de durabilidade para esse tipo de capacitor, utilizando uma ferramenta da empresa EPCOS.

Capacitor selection

- Smart search
- Series name
- Ordering code: B32774, D4226
- Rated voltage: 450 V
- Rated capacitance: 22 μ F
- w x h x l: 22x36.5x31.5 mm
- P₁: x mm
- Rated temperature: 27.5 mm
- Rated service life: 70 °C
- I_{rms} at 10kHz@70°C: 100000 h
- I_{rms} at 20kHz@70°C: 14.5 Arms

Operating conditions

- Time fraction: 100 %
- V_{dc op.} (V): 311 V
- T op. (°C): 75 °C
- h_{air-case} (W/mm²*°C): 0 m/s
- Frequency (kHz): 32
- Ripple current (Arms): 0.3
- Frequency (kHz): 32
- Ripple voltage (Vrms): 0.1

Life Time Calculation

- Time [%]: 100
- Temp. [°C]: 75.1
- V_{op} [V]: 311
- Conf. level (%): 95
- p: 0.037
- Service life (*10³ h): >250

Calculation results

- Packing unit (pcs): 196
- d1 (mm): 0.8
- Number of terminals: 2
- Terminal Length(mm): 6
- ESL(nH): 30
- I_p (A): 660
- f_r(kHz): 195
- dV/dt(V/ μ s): 30
- G(mW*°C): 58
- FIT: 10FIT @ 225V @ 40°C
- Rated service life: 100000h @ 450V @ 70°C
- Pdis (mW): 1
- Self heating (°C): 0.1
- Thermo. Temperature (°C): 75.1

The calculation results obtained are typical values and are intended for guidance purposes only. The useful life does not constitute a warranty of any kind or a prolongation of the agreed warranty period.

© 2015 EPCOS AG Terms of usage Published by Important notes v2.1b

Figura 4 - Cálculo de vida útil estimada para um capacitor de poliéster. [8]

Na simulação realizada, uma vida útil estimada superior a 250.000 horas foi obtida, ao se especificar uma temperatura de trabalho de 75°C e tensão de operação de 311 V. O resultado possui um nível de confiabilidade de 95 %.

O maior desafio é justamente a manutenção dos níveis de ondulação. Capacitores de poliéster estão disponíveis no mercado até valores de capacitância de 80 μF (embora valores até 47 μF sejam encontrados mais facilmente), limitando em muito a operação de um filtro passivo em termos de atenuação [4], [7].

Muitas das soluções existentes na literatura para redução de capacitância em conversores objetivam aplicação específica para iluminação LED, baseado no fato de que esses dispositivos toleram grandes quantias de ondulação de corrente, da ordem de 50 % [7]-[14]. No entanto, ondulações de corrente causam impacto na iluminação, bem como nos efeitos percebidos pelas pessoas presentes no ambiente iluminado. Embora pesquisas demonstrem que exposição de curta duração a iluminação LED alimentada com 50% de ondulação de corrente em baixa frequência não seja perceptível [15], outras apontam para o fato de que exposições mais prolongadas causam desconforto visual, queda de produtividade e mal-estar [16]. Ainda há de se mencionar o fato de que a submissão dos semicondutores a níveis tão altos de ondulação influencia negativamente sua vida útil, devido ao estresse elétrico gerado [17]. Desta forma, embora a proposta desse conversor seja de aplicação para uso geral, na iluminação LED pode representar grandes vantagens em relação aos métodos existentes.

1.3 Objetivos

Esta monografia propõe o desenvolvimento de uma nova topologia de conversor com capacitâncias reduzidas, que ao mesmo tempo não comprometa os níveis de ondulação de tensão e corrente. Como objetivos específicos do trabalho, são citados:

- Apresentação de uma revisão contendo as principais topologias retificadoras existentes;
- Demonstrar o princípio básico de funcionamento da topologia proposta, expondo os argumentos pelos quais é baseada, justificando suas vantagens em termos de redução de capacitância às demais;
- Detalhar o desenvolvimento da topologia e suas otimizações;
- Elaborar uma modelagem matemática, que permita o projeto do retificador SP para valores arbitrários de potência de saída e ondulações de tensão e corrente;
- Apresentar os resultados de simulações do circuito, bem como sua análise;

-Apresentar os resultados práticos obtidos com o protótipo.

-Servir como uma espécie de guia de projeto, pelo qual seja possível o projeto e construção do conversor proposto através dos cálculos e procedimentos descritos nesse documento.

1.4 Organização da monografia

O documento foi dividido em quatro capítulos:

No capítulo 2 é apresentada a revisão bibliográfica, onde constam os principais tipos de retificadores monofásicos e trifásicos. Também é demonstrado o conceito de amplificadores híbridos, devido à sua semelhança fundamental com a topologia retificadora proposta.

No capítulo 3 é apresentada a metodologia, englobando o desenvolvimento da topologia, otimizações e análise, seguidas pela modelagem matemática e simulações. O projeto e dimensionamento dos componentes são também detalhados, baseados na modelagem matemática e cálculos de especificações para componentes, como tensões e correntes máximas, bem como cálculo térmico. Finalmente, são apresentados os resultados experimentais, obtidos com o protótipo construído.

No capítulo 4, são apresentadas as conclusões gerais do trabalho, bem como sugestões para trabalhos futuros.

No anexo I é exposto o programa utilizado no microcontrolador responsável pelo comando do circuito, a fim de proporcionar um projeto completo e replicável do protótipo apresentado.

2 REVISÃO BIBLIOGRÁFICA

Os retificadores são conversores CA/CC, ou seja, possuem a função de converter energia de corrente alternada em corrente contínua. Tal resultado é alcançado através da polarização de dispositivos semicondutores, controlando o sentido da corrente em cada instante. Desta forma, é possível inverter o sentido da corrente nos semiciclos negativos, ao mesmo tempo permitindo a passagem da corrente nos ciclos positivos [2]. Conforme é demonstrado na figura 5, para um retificador monofásico de onda completa, o efeito obtido é uma reflexão dos valores negativos para a porção positiva da forma de onda.

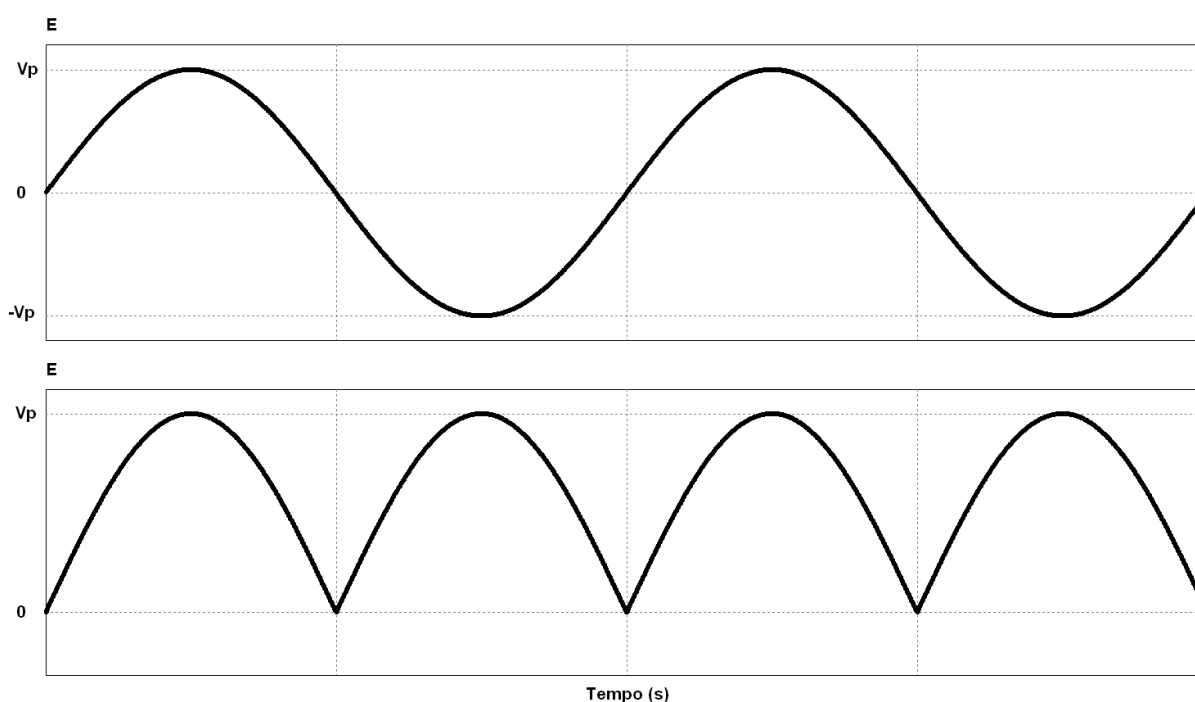


Figura 5 - Formas de onda de entrada e saída de um retificador ponte completa a diodos.

Nesse exemplo, considerando o retificador a diodo de ponte completa, a função matemática obtida na saída é o módulo da função de entrada. Esse estágio simplesmente efetua o bloqueio e redirecionamento das correntes negativas provenientes da fonte, não efetutando qualquer tipo de filtragem ou compensação. Sendo assim, o sinal de saída é intermitente, tendo “vales”, ou pontos de passagem por zero duas vezes por ciclo, como é mostrado na figura 6.

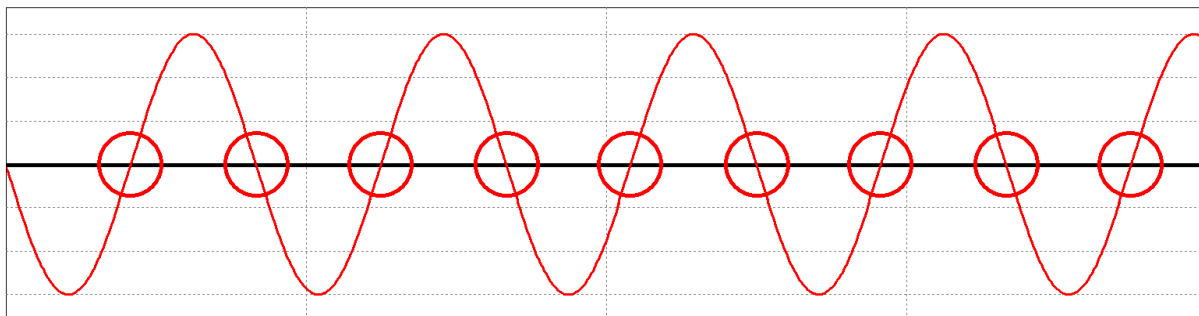


Figura 6 - Pontos de passagem por zero da forma de onda de entrada

Usualmente é utilizado um filtro capacitivo para tal compensação, de tal forma que o capacitor possa compensar parcialmente os vales de tensão. Na figura 7 é demonstrada a topologia de filtro comumente utilizada em retificadores, onde C_F representa o capacitor do filtro.

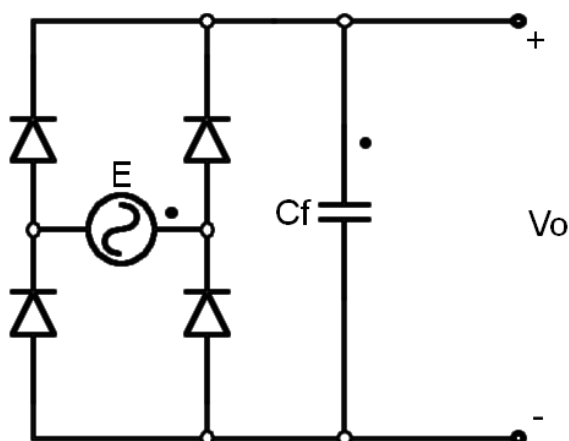


Figura 7 - Retificador ponte completa a diodos com filtro capacitivo

O estágio retificador é o primeiro utilizado em qualquer tipo de conversor CA/CC ou CA/CA, e quaisquer ondulações de tensão e corrente precisam ser posteriormente compensadas ou serão, em última análise, aplicadas à carga alimentada [2]. A figura 8 demonstra as formas de onda de tensão e corrente após a atuação do filtro.

O capacitor é carregado durante os instantes em que a amplitude de tensão está próxima do nível máximo V_P , sendo descarregado nos instantes em que os vales são causados. Durante esses períodos, a carga é totalmente energizada pelo capacitor, enquanto a fonte de entrada é desconectada. Por esse motivo o correto dimensionamento do filtro é necessário, pois tem influência direta na quantidade de ondulação a que a carga é submetida.

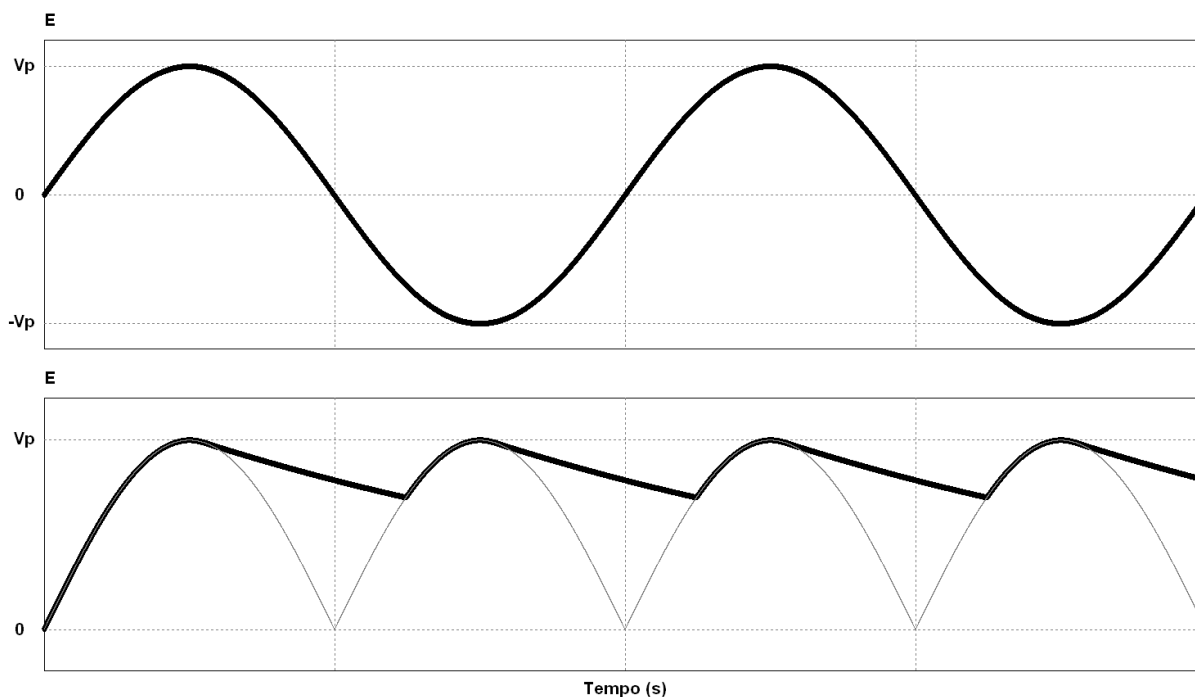


Figura 8 - Formas de onda da saída do filtro capacitivo

2.1 Retificador Monofásico Meia Ponte a Diodos

Esta topologia possui como principal vantagem a simplicidade, uma vez que apenas um diodo é empregado no estágio de retificação. As formas de onda de entrada e saída são demonstradas na figura 9.

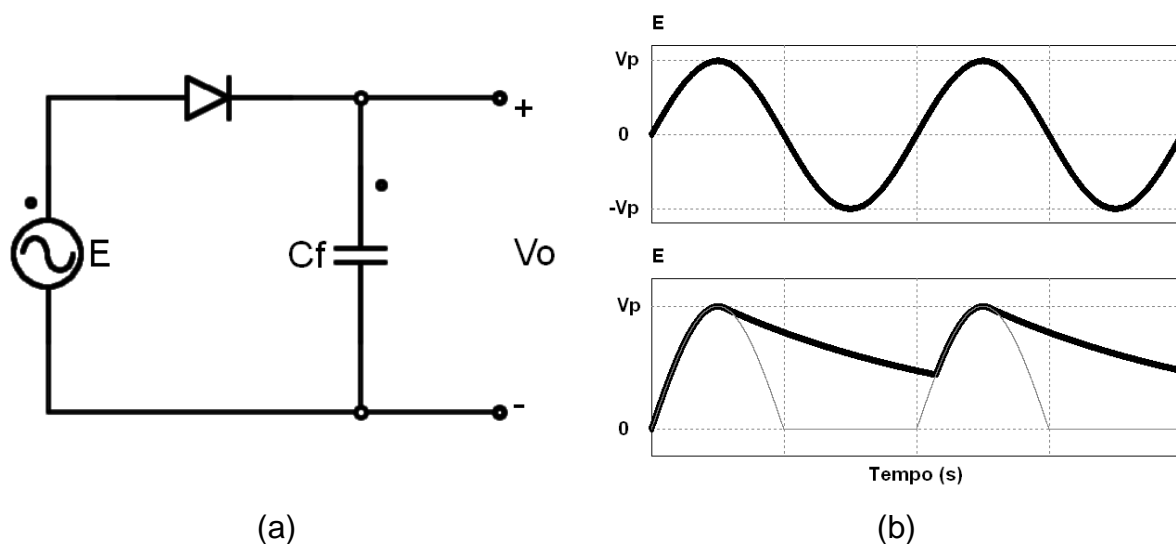


Figura 9 – Retificador meia ponte com filtro capacitivo. (a) circuito e (b) formas de onda

Como pode ser observado, esse tipo de circuito possui como principal desvantagem a grande ondulação na tensão de saída, já que os semiciclos

negativos são simplesmente bloqueados. Apenas a metade positiva da forma de onda de entrada é repassada à saída. Em consequência, a descarga dos componentes do filtro é acentuada, tornando necessário o aumento de seus valores para atingir um nível de ondulação aceitável.

2.2 Retificador Monofásico Ponte Completa a Diodos

Uma ponte retificadora formada por quatro diodos é utilizada, possibilitando total aproveitamento da forma de onda de entrada, conforme demonstrado na figura 10. Os níveis de ondulação são reduzidos à metade em relação à topologia anterior.

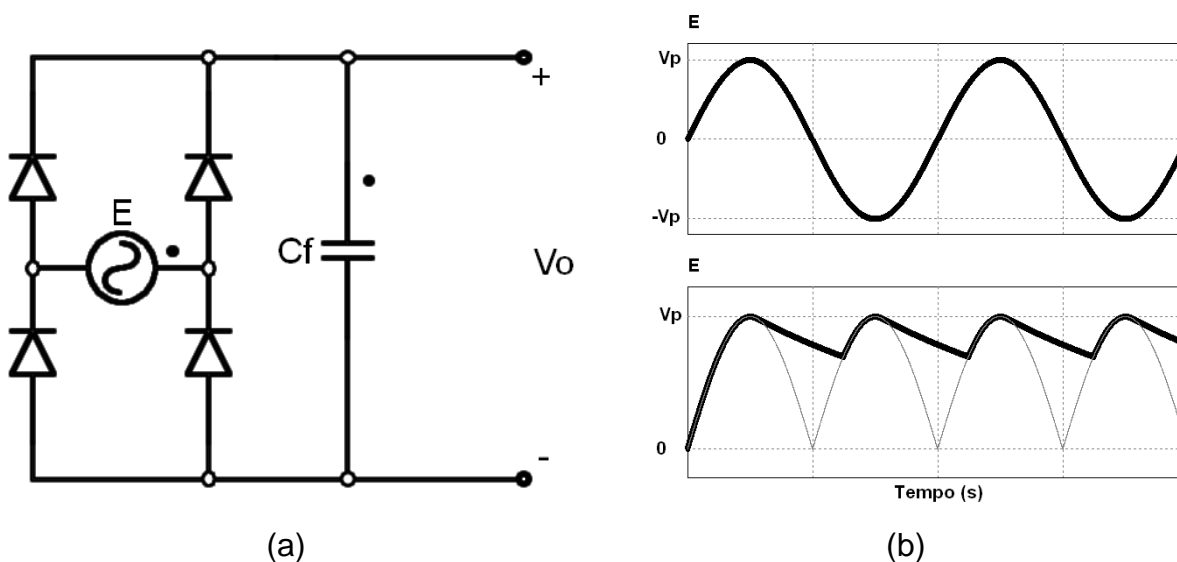


Figura 10 - Retificador a diodos em ponte completa. (a) circuito e (b) formas de onda.

2.3 Retificador Monofásico Ponte Completa a Tiristores

O tiristor funciona de forma semelhante ao diodo, com a diferença de que pode ser ligado (ou disparado) arbitrariamente, através de um terminal de disparo (*gate*). Ao ser disparado, comporta-se exatamente como um diodo. A vantagem desta topologia é a possibilidade de controle do nível de potência para a carga, pois ao conduzir corrente da fonte de entrada à saída em tempos pré-determinados é possível controlar os níveis RMS de tensão e corrente [2]. Em relação aos níveis de ondulação não apresenta vantagem significativa, e a distorção da forma de onda pode tornar a filtragem mais complexa, já que a forma senoidal será distorcida. Um exemplo de funcionamento desta topologia é demonstrado na figura 11.

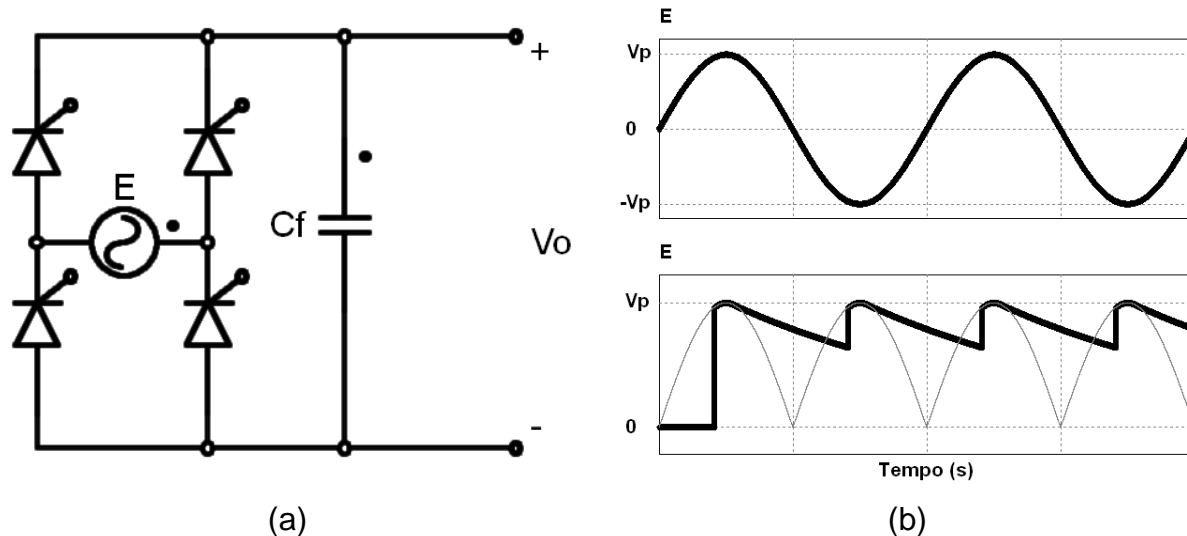


Figura 11 - Retificador monofásico a tiristores. (a) circuito e (b) formas de onda.

2.4 Retificador Trifásico a Diodos com Ponto Médio

Opera de forma análoga ao retificador monofásico a diodos em meia ponte, porém usufruindo de três fases da rede. Uma vez que as fases são defasadas igualmente em 120° elétricos, os vales de cada fase ocorrem em momentos distintos, possibilitando uma menor ondulação na saída. As formas de onda de entrada e saída, bem como a defasagem entre as fases, são demonstradas na figura 12. Nos pontos de vale a tensão é mínima, correspondendo a $0,5 V_p$.

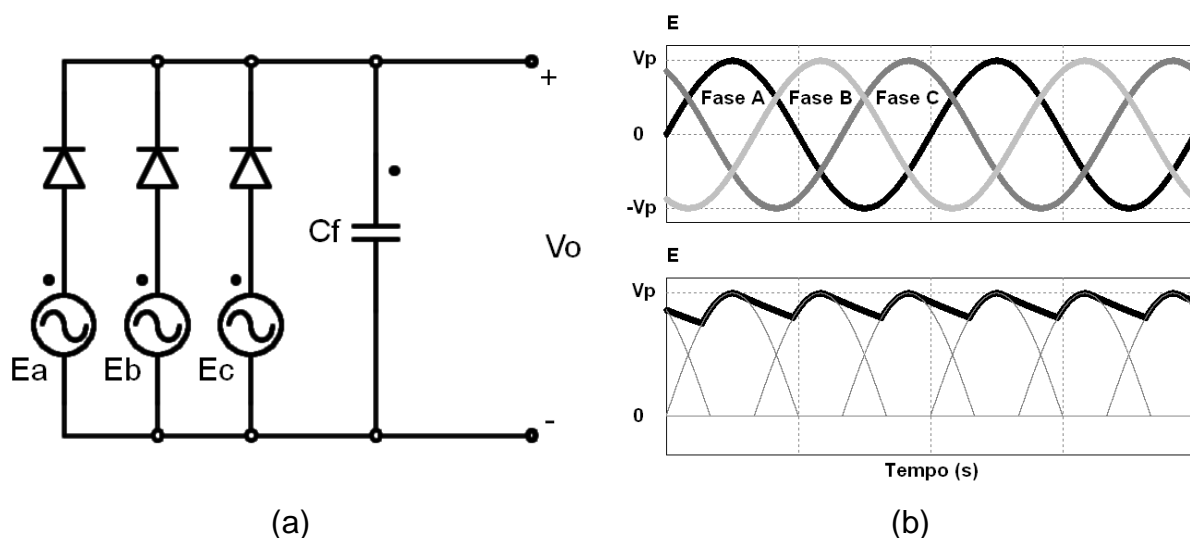


Figura 12 - Retificador trifásico a diodos com ponto médio. (a) circuito e (b) formas de onda.

2.5 Retificador Trifásico de Onda Completa (Ponte de Graetz)

Opera de forma análoga à versão monofásica, porém em ponte completa. A tensão de pico na saída possui valor $\sqrt{3} V_p$ (sendo V_p o valor de pico de cada fase), pois as fases são ligadas em configuração estrela, com o neutro não conectado ao condutor negativo de saída. Devido à dinâmica de operação em ponte completa, a saída possui fases defasadas em 60° elétricos, reduzindo mais a ondulação, já que nos pontos de vale a tensão de saída é aproximadamente 87% do valor de pico. A figura 13 demonstra o circuito e formas de onda de entrada e saída.

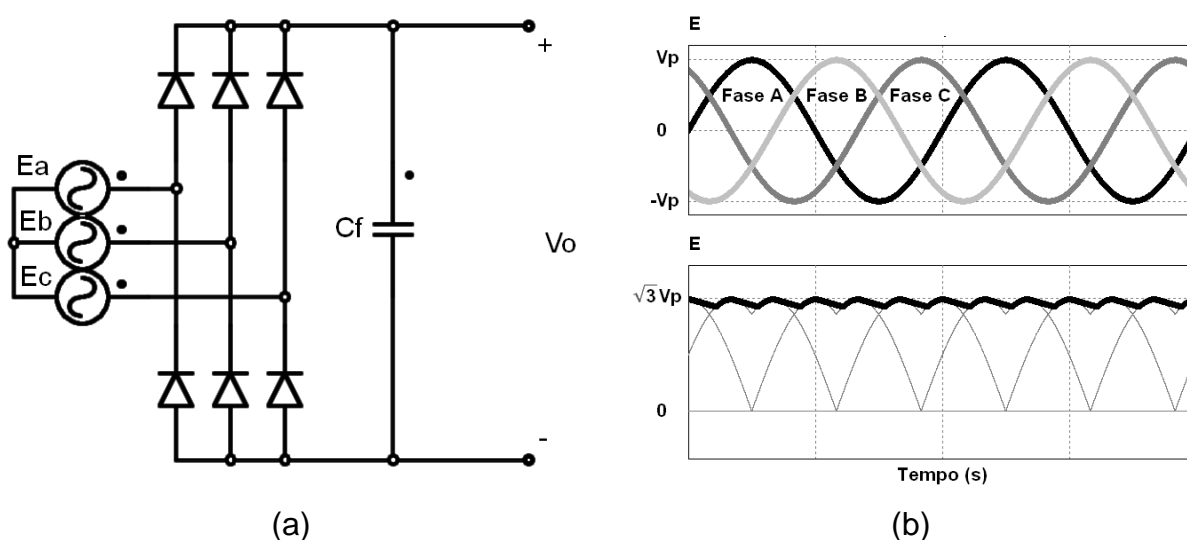


Figura 13 - Retificador trifásico a diodos de ponte completa. (a) circuito e (b) formas de onda.

Muito embora os retificadores trifásicos sejam soluções simples para a redução de ondulação e, portanto, à diminuição dos componentes do filtro, possuem a desvantagem de necessitar de três fases, inviabilizando seu uso em ambientes não industriais. Além disso, o nível de ruído no circuito pode ser significativamente maior, ao ser influenciado pelas três diferentes fases, aumentando a complexidade e número de componentes do circuito de filtragem [2].

2.6 Conversores Híbridos

Esse tipo de conversor tem como princípio de funcionamento a associação, em série ou paralelo, de dois ou mais conversores [18]. Desta forma, há dois conversores: o principal (princ), que fornece a maior parte da energia para o circuito, e o conversor de correção (corr), que tem por objetivo se somar (em corrente ou

tensão) ao primeiro para corrigir ou compensar quaisquer deformidades na forma de onda de saída. As principais configurações de conversores híbridos, com saídas em tensão e corrente, são mostradas na figura 14.

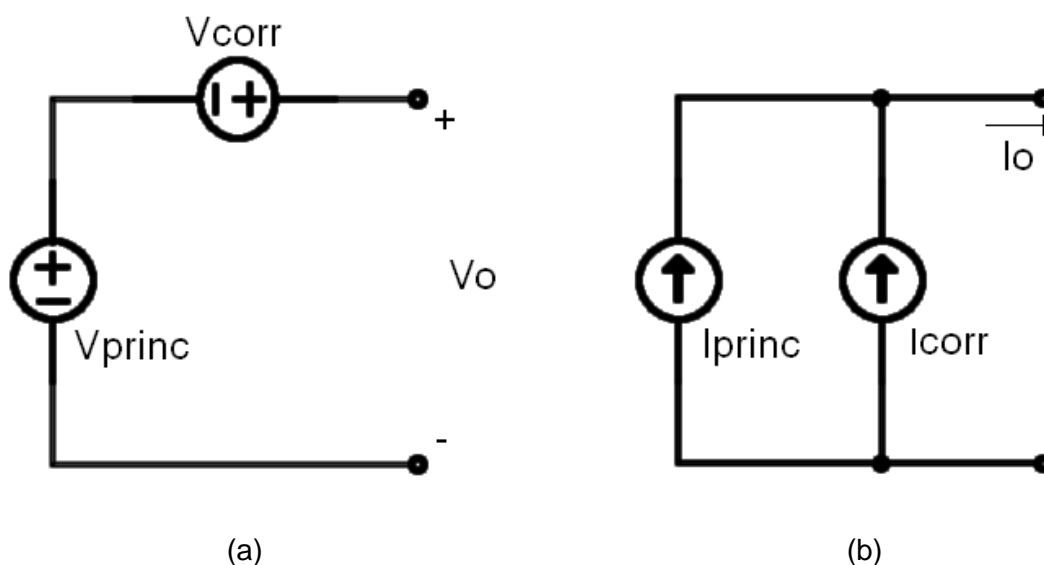


Figura 14 - Configurações de conversores híbridos. Para saída em (a) tensão e (b) corrente.

Geralmente um conversor linear é utilizado como conversor auxiliar, a fim de compensar a forma de onda de saída do conversor principal, normalmente chaveado por lidar com a maior parte da potência entregue à saída.

É importante observar que se o conversor auxiliar não for chaveado, esta porção do circuito terá eficiência reduzida, diminuindo a eficiência global do circuito, uma vez que terá perdas significativas por efeito Joule. No entanto, oferece excelentes resultados, devido à sua alta fidelidade em sintetização de sinais, sendo capaz de compensar ativamente ondulações provenientes do chaveamento do conversor principal, de forma linear. Um exemplo de compensação é mostrado na figura 15, onde é possível observar as formas de onda dos conversores principal, auxiliar e resultante compensada idealizada na saída, respectivamente.

Na configuração série, ressalta-se que toda a corrente do circuito flui através do conversor auxiliar, e não somente a parcela provida por esse, o que aumenta as perdas.

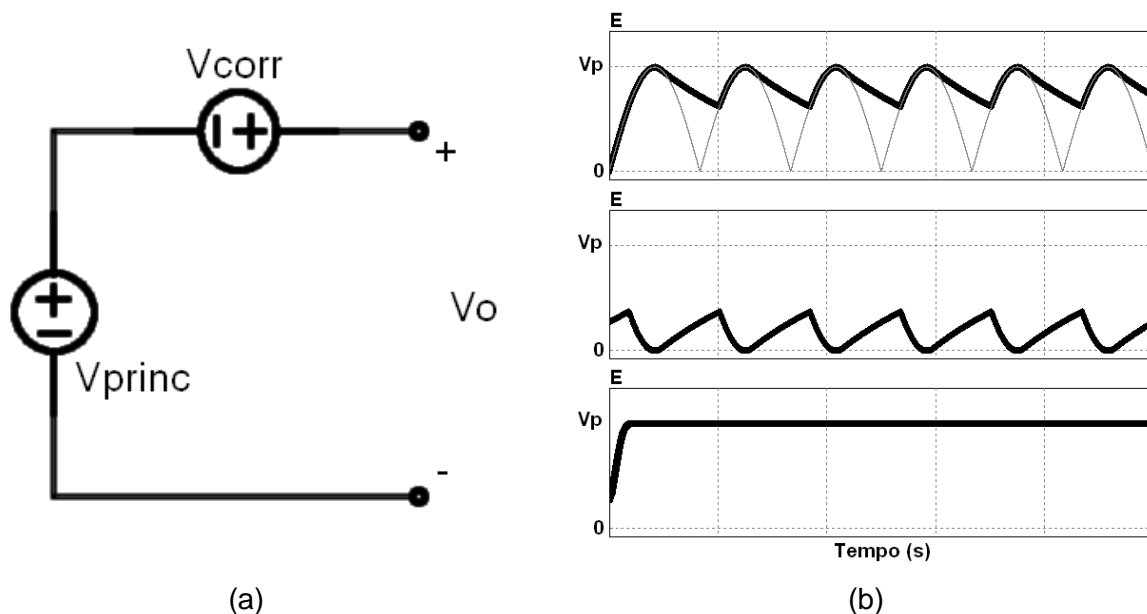


Figura 15 - Conversor híbrido, saída em tensão série. (a) configuração e (b) formas de onda.

2.7 Comparação qualitativa

A tabela 1 demonstra as características básicas de cada topologia apresentada.

Tabela 1 - Comparação qualitativa entre as topologias apresentadas.

Retificador	Nível de ondulação	Vantagens	Desvantagens
Monofásico meia ponte a diodos	Muito alto	Simplicidade do circuito	Aproveitamento de apenas de um semiciclo
Monofásico ponte completa a diodos	Alto	Aproveitamento de ambos semiciclos	Alta ondulação
Monofásico ponte completa a tiristores	Alto	Controle ativo dos níveis RMS de corrente e tensão	Necessidade de circuitos de controle e disparo
Trifásico a diodos com ponto médio	Baixo	Simplicidade do circuito	Necessidade de três fases
Trifásico a diodos de onda completa	Muito baixo	Baixa ondulação mesmo sem uso de filtro capacitivo	Necessidade de três fases
Conversores híbridos	Muito baixo	Alta fidelidade do sinal de saída	Altas perdas no conversor de compensação linear
SP	Muito baixo	Redução de capacitância, aumento de vida útil	Necessidade de circuitos de chaveamento e sincronização

2.8 Conclusões

Nesse capítulo foram expostas e comparadas algumas das principais topologias retificadoras, bem como topologias de conversores híbridos. Como pode ser observado, cada uma possui suas vantagens e desvantagens, sendo indicadas para aplicações específicas. Enquanto as topologias retificadoras foram expostas com o objetivo de ressaltar a importância do filtro capacitivo na redução das ondulações, os conversores híbridos foram apresentados devido à sua semelhança fundamental com a topologia proposta no capítulo 3.

3 METODOLOGIA

3.1 Considerações gerais

O estudo da topologia proposta tem como foco a compensação ativa da ondulação de baixa frequência, fator presente em qualquer retificador monofásico alimentado pela rede elétrica. O conversor possuirá saída em corrente contínua e, idealmente, constante com valor igual à de tensão de pico da rede.

Primeiramente são feitos testes apenas com o circuito do retificador em si, porém nas simulações e no protótipo final é implementado um conversor abaixador (*buck*) em sua saída, tanto para viabilizar os testes com cargas em baixa tensão quanto para avaliar a dinâmica do circuito de compensação aplicado a outros conversores. O protótipo é capaz de alimentar um *chip* LED com potência de aproximadamente 85 W, tensão de 32 V e corrente de 2,65 A. Os valores de projeto para ondulações de tensão e corrente são inferiores a 10 %. Os valores de capacitância necessários para alcançar esse valor de ondulação são menores do que os observados em outras topologias de retificadores ou outros tipos de conversores com métodos de redução de capacitância. Uma comparação será demonstrada entre um retificador em ponte completa e a topologia proposta neste trabalho.

3.2 Desenvolvimento da topologia

Durante as fases iniciais de estudo, foi constatada a necessidade e importância do armazenamento de energia já que, como mostrado na figura 6, nas regiões de vale não há fornecimento de energia para o circuito. Desta forma, técnicas podem ser aplicadas à redução dos elementos armazenadores, mas sua eliminação completa é teoricamente impossível. A topologia proposta tem como base de funcionamento um armazenador capacitivo, que deve atuar como uma fonte CC controlada. A figura 16 demonstra o diagrama em blocos do circuito de entrada e compensação.

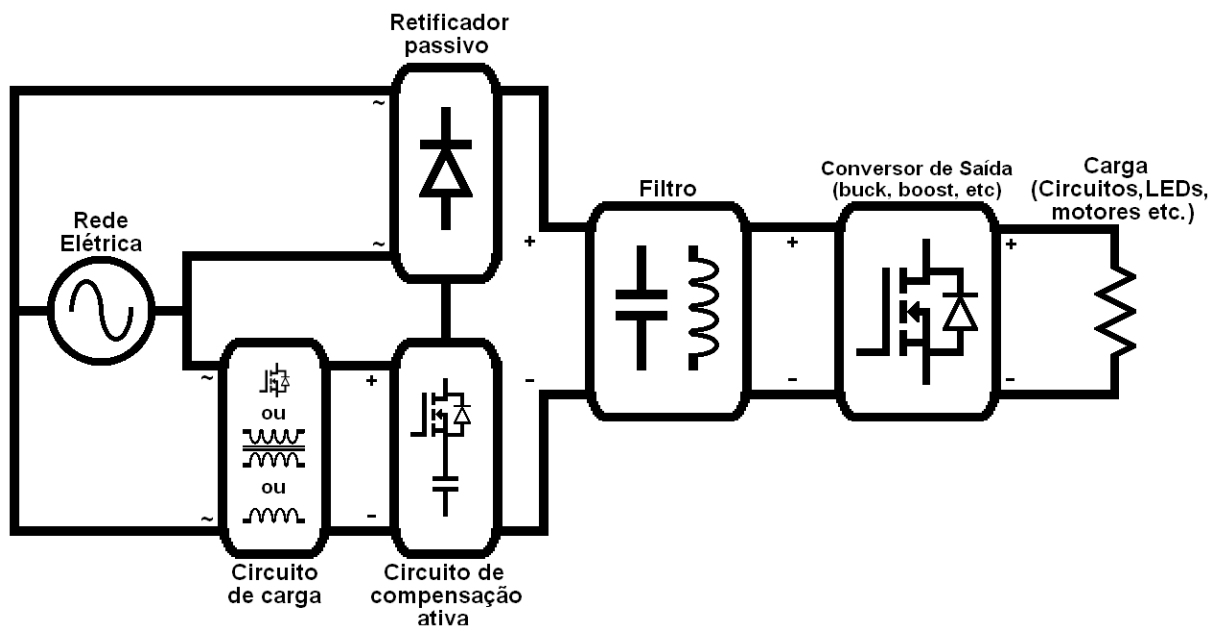


Figura 16 - Diagrama em blocos da topologia proposta.

O princípio básico consiste em alternar uma fonte CC, ora em série e ora em paralelo, com o retificador de entrada (que consiste em um retificador a diodos em ponte completa). Desta forma, a soma das duas fontes terá idealmente sempre soma igual ao valor de pico de tensão da rede (não ao valor RMS). Na figura 17 é exibido o diagrama esquemático idealizado da topologia, já com um conversor abaixador em sua saída.

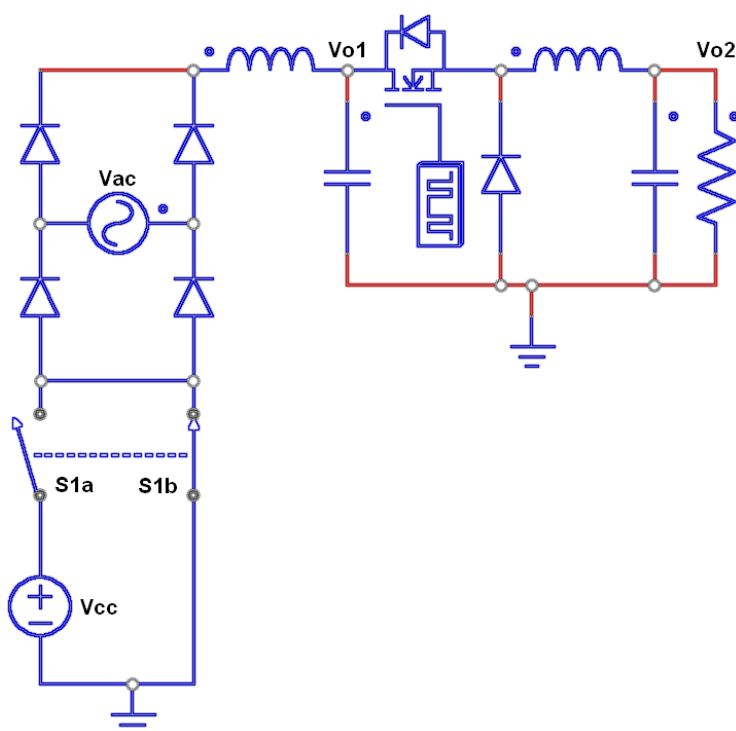


Figura 17 - Diagrama esquemático idealizado da topologia proposta.

As tensões V_{O1} e V_{O2} são as tensões de saída do retificador ativo e conversor abaixador de tensão, respectivamente. A chave S1 é composta por duas partes, isoladas eletricamente. S1a e S1b funcionam de forma complementar (como mostra a linha tracejada). Assim, o chaveamento de S1 permite que o retificador de entrada esteja em série com a fonte CC ou conectada ao terminal terra (assim como em um retificador tradicional). Desta forma, com um chaveamento variável ao longo do tempo, é possível regular a tensão série com o retificador, para alcançar sempre o valor de pico. Nos momentos em que a senóide da forma de onda de entrada for máxima, S1b estará fechada, ao passo que nos momentos de vale S1b abre e S1a é fechada. Nos momentos intermediários, o chaveamento ocorrerá de forma proporcional, obedecendo à função aplicada ao conversor de compensação. O funcionamento detalhado é descrito na seção 3.4.

A forma de onda de saída é, portanto, a soma das formas de onda retificada do retificador de entrada, mostrada em (1), e resultante do chaveamento da fonte CC, mostrada em (2).

$$V_{RET} = V_P \cdot |\text{sen}(\omega t)| \quad (1)$$

$$V_{SP} = D(\omega t) \cdot V_{C1} \quad (2)$$

Em (1), V_P representa a tensão de pico da rede. Já em (2), $D(\omega t)$ representa a razão cíclica da chave S1, que na topologia real é composta por um transistor MOSFET. A fim de determinar a função que comanda o acionamento da chave, é possível isolar $D(\omega t)$ em (2) e considerar $V_P = V_{CC}$, obtendo-se (3).

$$D(\omega t) = 1 - |\text{sen}(\omega t)| \quad (3)$$

A figura 18 mostra a substituição das chaves S1a e S1b por transistores MOSFET, comandados por um circuito de disparo modelado pela função $D(\omega t)$. Nesta configuração, S1a é do tipo N, enquanto S1b é do tipo P, ambos acionados pelo mesmo bloco de acionamento e assim operando de forma complementar.

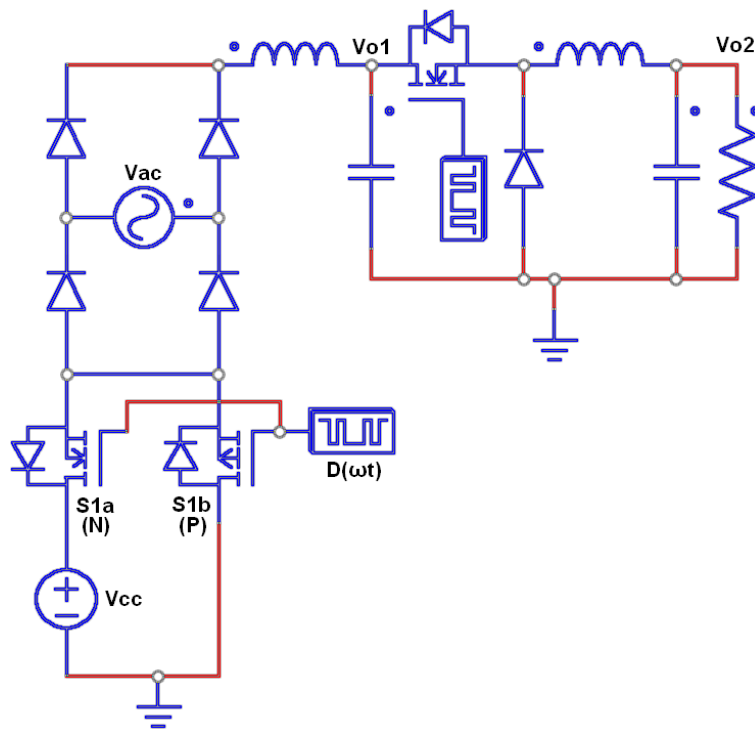


Figura 18 - Circuito de compensação ativa com transistores MOSFET e bloco de comando.

A fonte de tensão contínua V_{CC} é, no circuito real, composta por um capacitor. Desta forma, é necessário também um circuito de carga. Esta versão do circuito é demonstrada na figura 19.

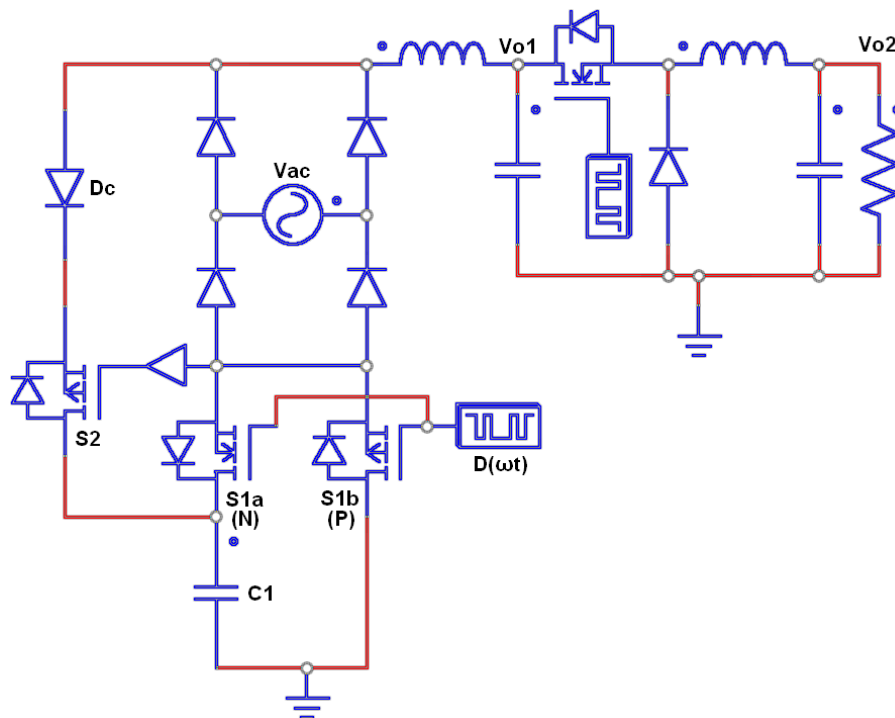


Figura 19 - Implementação do capacitor de compensação e circuito de carga.

Nesta versão, a fonte de alimentação ideal V_{CC} é substituída pelo capacitor $C1$, elemento armazenador principal do circuito. O circuito de carga, composto pela chave $S2$ e diodo D_C , é conectado ao terminal positivo do retificador de entrada, e a chave é comandada indiretamente por $S1$, funcionando de forma complementar. Desta forma, nos momentos em que $S1a$ estiver aberta, $S2$ fecha, ocorrendo o carregamento do capacitor, desde que nesses instantes a amplitude de tensão de saída do retificador seja superior à tensão instantânea no capacitor $C1$.

3.3 Otimização do circuito

A primeira versão viável do circuito, apresentada na figura 19, possui um total de quatro chaves MOSFET (três da topologia retificadora e uma do conversor abaixador). Com o objetivo de simplificar o projeto, analisou-se a possibilidade de redução do número de chaves.

Primeiramente, observa-se que a chave $S1b$ pode ser substituída por um diodo, uma vez que, ao acionar $S1a$, o diodo é polarizado inversamente e é bloqueado, obtendo o mesmo comportamento complementar. Esta versão do circuito é demonstrada na figura 20.

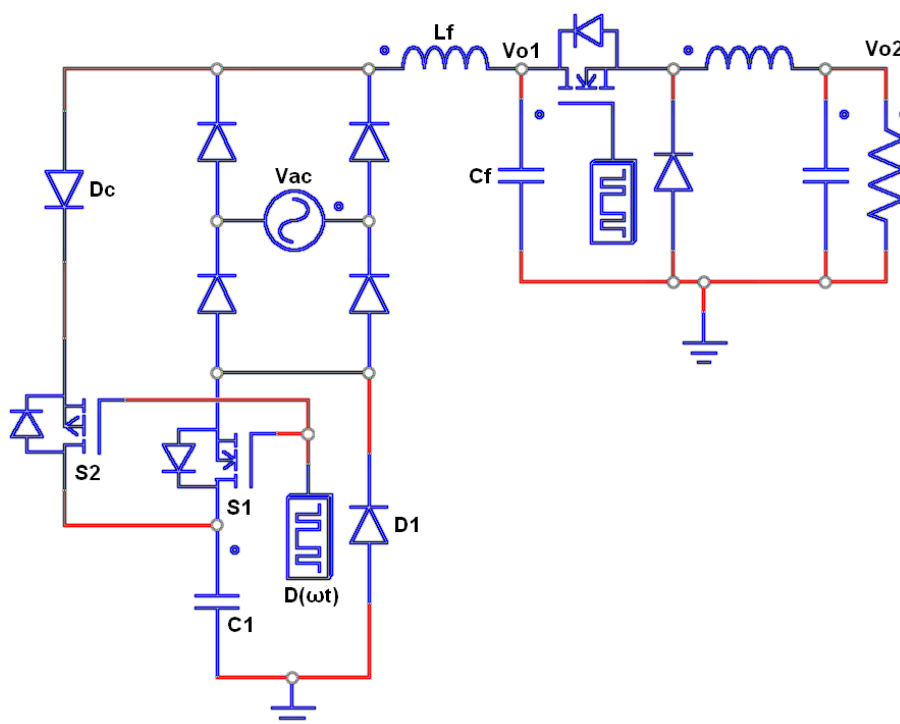


Figura 20 - Otimização - substituição da chave $S1b$ pelo diodo $D1$.

Após, foram analisadas alternativas ao circuito de carga. Não foi encontrada configuração possível com apenas diodos, uma vez que o circuito não isolado colocaria o retificador de entrada em curto-circuito. No entanto, uma solução isolada foi encontrada, substituindo-se a chave S2 por um circuito isolado de carga, composto por um transformador (T1) e um retificador em ponte completa. Esta versão é demonstrada na figura 21.

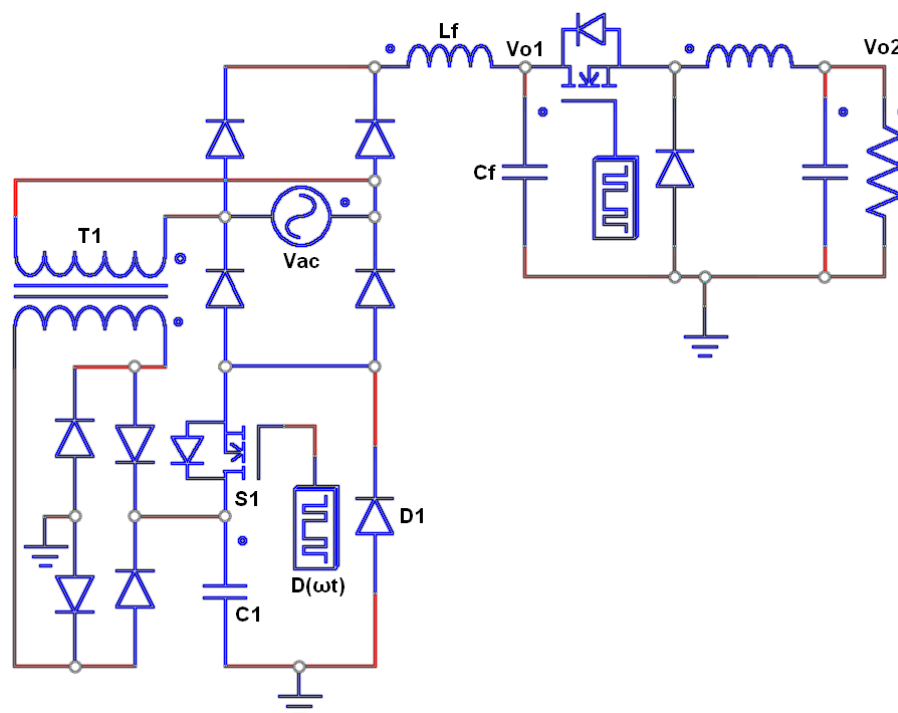


Figura 21 - Otimização - substituição de S2 por circuito de carga isolado.

A carga do capacitor ocorrerá de forma idêntica ao método anterior, sempre que a amplitude de tensão de saída do retificador for superior à instantânea no capacitor. Esta versão possui maior simplicidade e menor número de chaves. Com isso é possível diminuir o nível de ruído no circuito e aumentar a confiabilidade, uma vez que transformadores e diodos são componentes com longo tempo de vida útil [6]. O transformador T1 tem proporção de 1:1 e funciona simplesmente como isolador.

É importante observar que o transformador demonstrado possui enrolamento secundário único, sendo necessário um retificador em ponte completa em sua saída. Para os testes realizados, foi utilizado um transformador disponível comercialmente, no entanto a eficiência do circuito de carga pode ser melhorada caso seja feito o uso de um transformador com ponto médio no enrolamento secundário, possibilitando o

uso de um retificador em ponte completa com ponto médio. Apesar de nesta versão a tensão reversa nos diodos ser dobrada, haverá apenas um diodo em série com o circuito a cada instante, o que implica na redução de perdas [2].

Esta versão da topologia elimina uma chave e um circuito de acionamento de chave (*driver*), ao custo de maior peso e espaço. Para aplicações reais, seria mais indicada em casos onde confiabilidade e níveis de ruído fossem mais importantes do que peso e volume. A qualidade de energia também é melhorada, com a redução de um elemento chaveado.

Com o objetivo de eliminar as desvantagens impostas pelo circuito de carga isolado, uma terceira versão da topologia foi desenvolvida, aliando as vantagens dos dois métodos anteriores. Um circuito de carga composto por um indutor (L_C) e um diodo (D_C) foi implementado e obteve resultados equivalentes. Esta versão é a utilizada no protótipo e é demonstrada na figura 22.

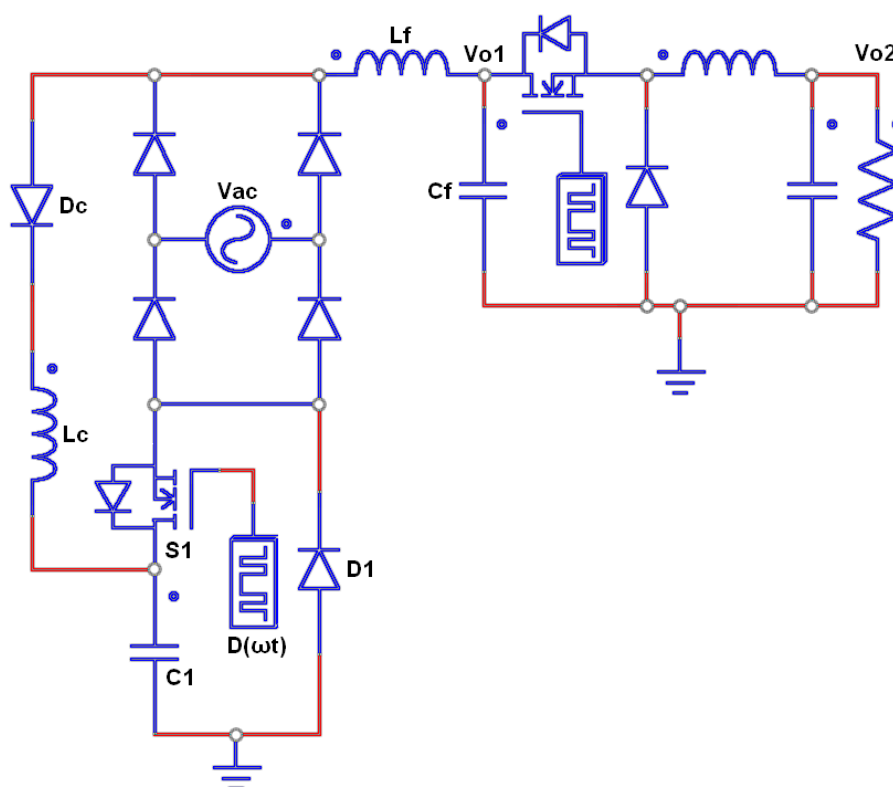


Figura 22 - Otimização - eliminação do circuito isolado de carga.

Esta versão ainda possui a vantagem da inserção de um elemento armazenador adicional, que pode permitir uma redução ainda mais significativa nos valores de ondulação de saída.

3.4 Dinâmica do circuito

O chaveamento de S1 é função de um sinal PWM variável, de acordo com a função definida por (3). A forma de onda deve ser complementar à obtida no retificador de entrada, de forma que a soma destas seja idealmente constante. As formas de onda idealizadas do circuito são demonstradas na figura 23.

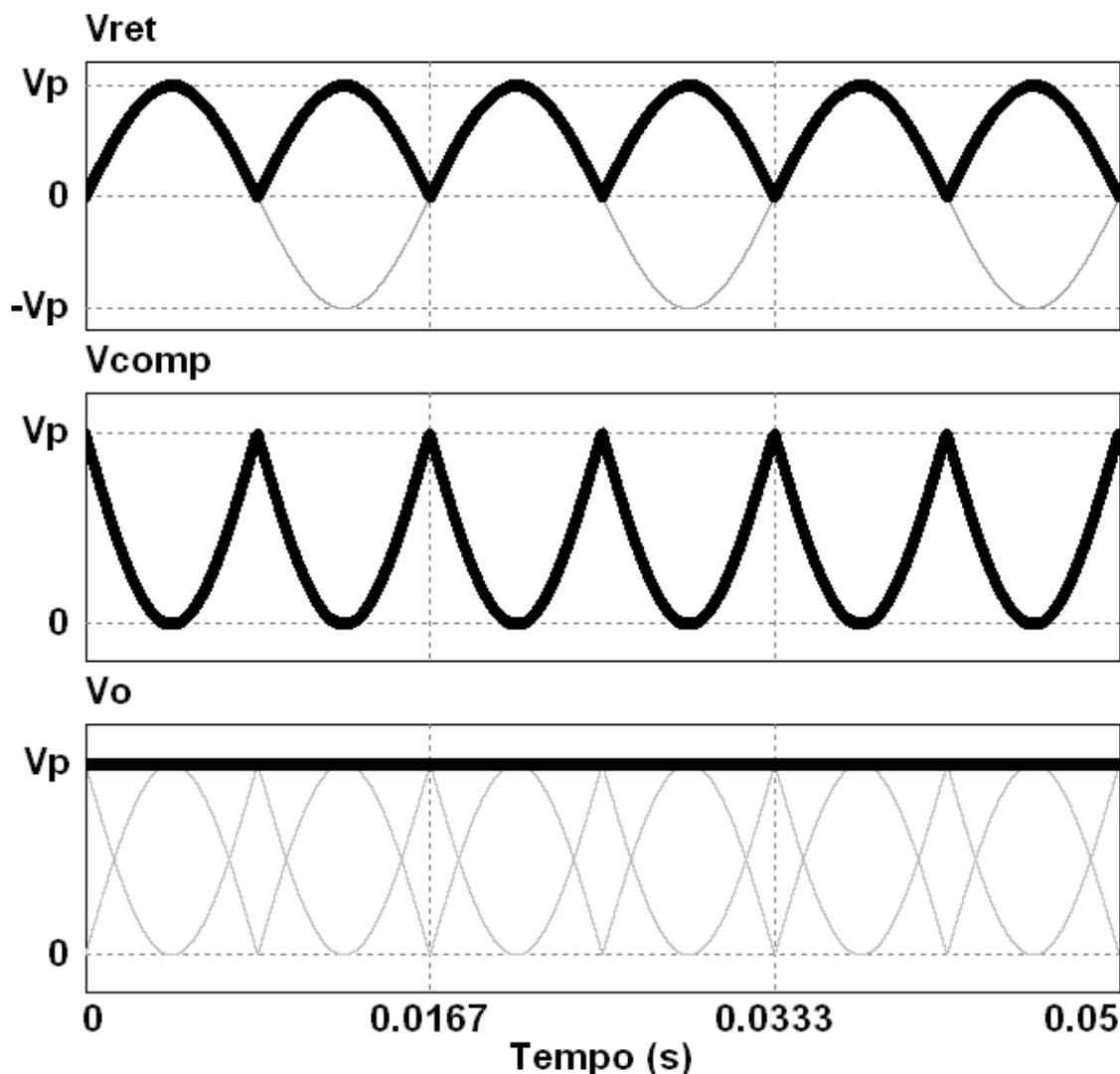


Figura 23 - Formas de onda idealizadas do circuito.

A forma de onda resultante da soma do retificador de entrada e do circuito de compensação deve ser filtrada, pois o ruído da chave S1 causa perturbações. Desta forma, o filtro LC que precede o conversor de saída deve ser corretamente dimensionado. O detalhamento de projeto desses componentes é demonstrado na seção 3.8.

O circuito possui basicamente dois estágios, conforme demonstrado na figura 24.

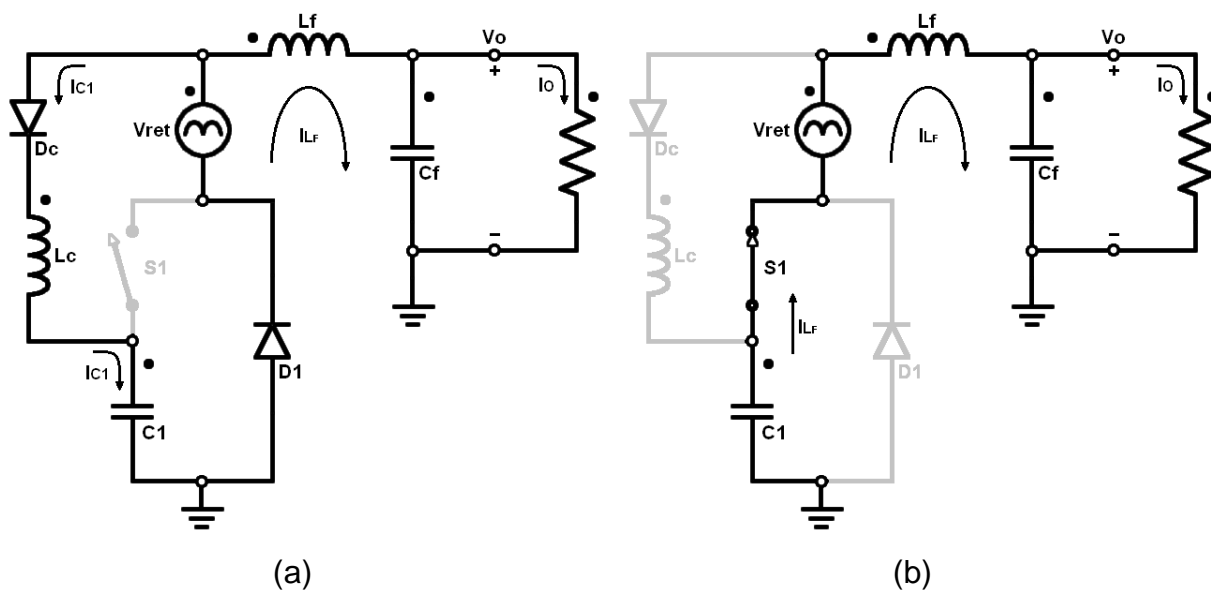


Figura 24 - Estágios de condução do retificador SP. (a) estágio 1 e (b) estágio 2.

Durante o primeiro estágio, S1 está aberta e o diodo D1 está em estado de condução. O retificador em ponte completa é aterrado através de D1, e o circuito de carga de C1, composto por D_C e L_C , carrega o capacitor (assumindo os momentos em que a amplitude de tensão de V_{RET} é maior do que a tensão instantânea em C1).

No segundo estágio, S1 é fechada, polarizando D1 e fazendo-o entrar em estado de bloqueio, desconectando o pino negativo do retificador V_{RET} do terminal terra do circuito. Ao mesmo tempo, C1 continua aterrado e é conectado a esse terminal, colocando C1 em série com V_{RET} , de forma que suas tensões são somadas no terminal de entrada do indutor L_F . O circuito de carga é bloqueado, pois o indutor L_C é carregado. Na figura 24b, o circuito de carga não está em destaque por, apesar de haver corrente circulante devido ao carregamento de L_C , não representar sua função de carregamento de capacitor C1 nesse estágio.

É possível observar que durante o estágio 1, através do circuito de carga, o capacitor C1 está conectado em paralelo com o retificador de entrada (desconsiderada a dinâmica de atraso de corrente em L_C). Já no estágio 2, o capacitor é disposto em série com esse retificador. Por esse motivo, a topologia retificadora, a qual está em processo de patente, foi denominada Retificador SP (Série-Paralelo ou mesmo no inglês, *Series-Parallel*).

3.5 Justificativa da vantagem em redução de capacitância sobre outros métodos

O princípio de funcionamento desse conversor difere dos demais pela adoção de uma dinâmica de funcionamento que permite um aproveitamento maior (idealmente total) da energia provida pela rede elétrica, ao contrário do que ocorre em circuitos retificadores tradicionais. A figura 25 demonstra as formas de onda de entrada e saída de um retificador onda completa com filtro capacitivo, destacando os períodos onde há aproveitamento da energia de entrada.

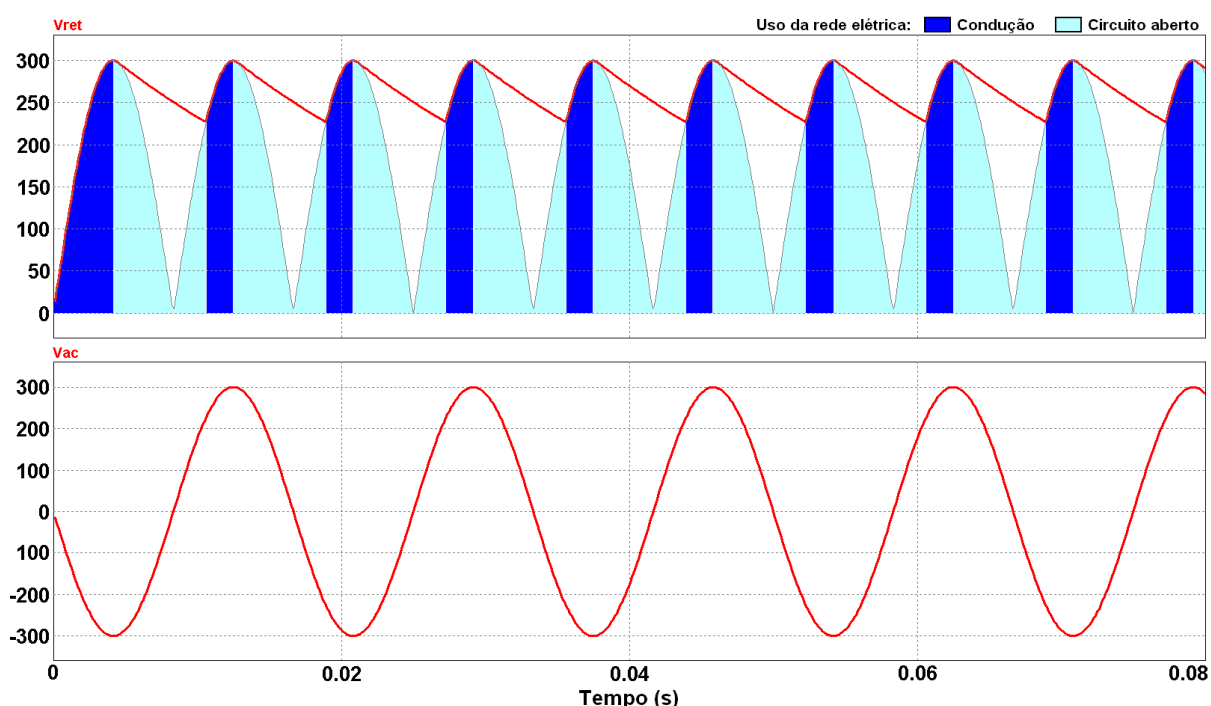


Figura 25 - Formas de onda e aproveitamento de energia de um retificador em onda completa.

Nas porções grifadas do gráfico, a corrente é conduzida pelos diodos e o capacitor de saída é carregado. No restante do tempo, os diodos bloqueiam a entrada de energia e o capacitor alimenta integralmente o circuito, descarregando rapidamente. Logo, esse baixo tempo de condução causa a necessidade de um filtro de elevado valor, a fim de diminuir os níveis de ondulação de saída. Nesse caso, o tempo de condução corresponde a uma parcela pequena de tempo (inferior a 25%). A principal justificativa desse trabalho é o fato de que com a topologia proposta a energia da rede é idealmente 100% aproveitada, a todo instante, de tal forma que nos momentos em que a amplitude de tensão não é nula, está sendo fornecida ao circuito, tendo a diferença em relação a V_P provida pelo circuito de compensação. A

figura 26 demonstra o comportamento idealizado do circuito proposto, onde é possível observar o aproveitamento integral da forma de onda de entrada da rede elétrica.

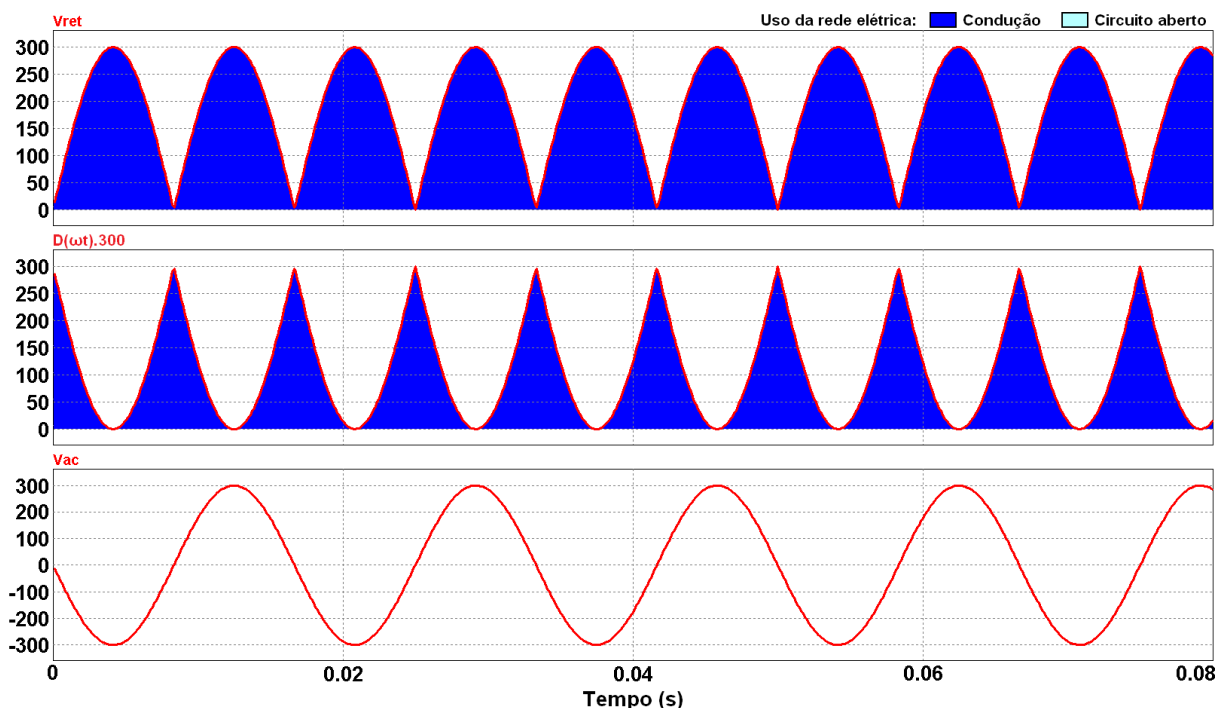


Figura 26 - Formas de onda e aproveitamento de energia da topologia proposta.

Como pode ser observado, a cada instante a tensão de entrada é conduzida, enquanto soma-se à forma de onda do circuito de compensação para obter o valor V_P , que no exemplo é 300 V. Com esta dinâmica, o capacitor apenas supre energia para o circuito sozinho nos instantes em que a tensão da rede é nula, mas em qualquer outro instante fornece apenas a parcela complementar. Por exemplo, nos momentos em que a rede dispõe de apenas 50 V, em que estaria desconectada no retificador tradicional, esses 50 V serão somados a 250 V do circuito de compensação e repassados à carga.

3.6 Simulações

As simulações foram realizadas em ambiente PSIM™ e tiveram os parâmetros que são utilizados no protótipo. A tabela 2 demonstra os parâmetros utilizados na simulação.

Tabela 2 - Parâmetros utilizados na simulação.

Parâmetro	Simbologia	Valor
Tensão de pico de entrada	V_p	311 V
Frequência da rede elétrica	F	60 Hz
Frequência PWM (ambas as chaves)	F_s	31,4 kHz
Tensão de saída	V_{O2}	32 V
Corrente de saída	I_o	2,65 A
Potência de saída	P_o	85 W

O circuito simulado é demonstrado na figura 27.

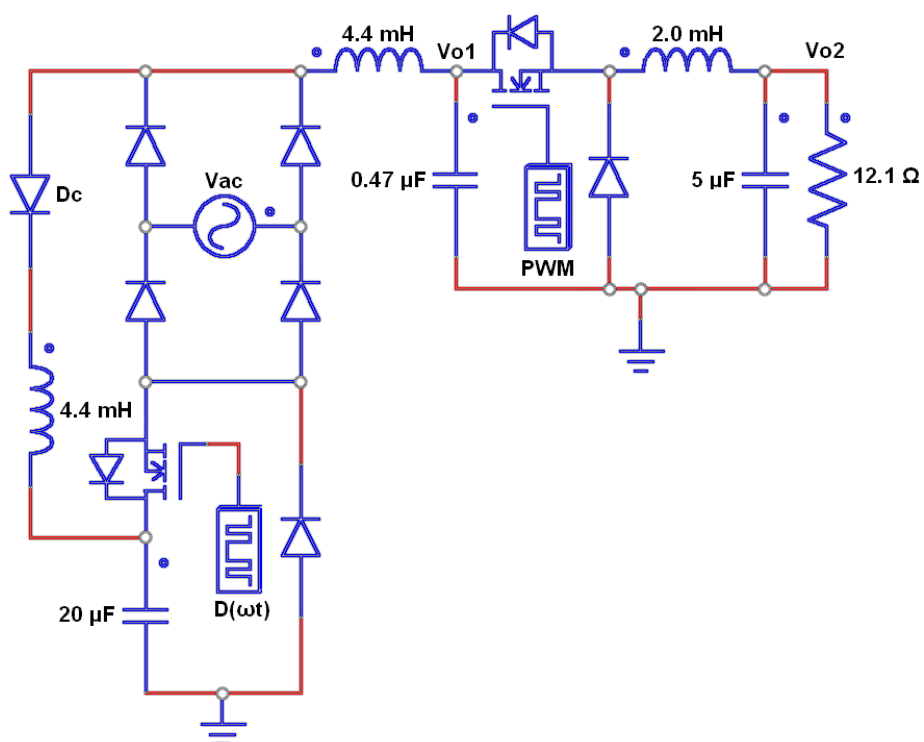


Figura 27 - Circuito simulado em ambiente PSIM™.

Nesta simulação já foram utilizados os valores projetados. A modelagem matemática do circuito é apresentada na seção 3.7. Os resultados da simulação são demonstrados na Figura 28.

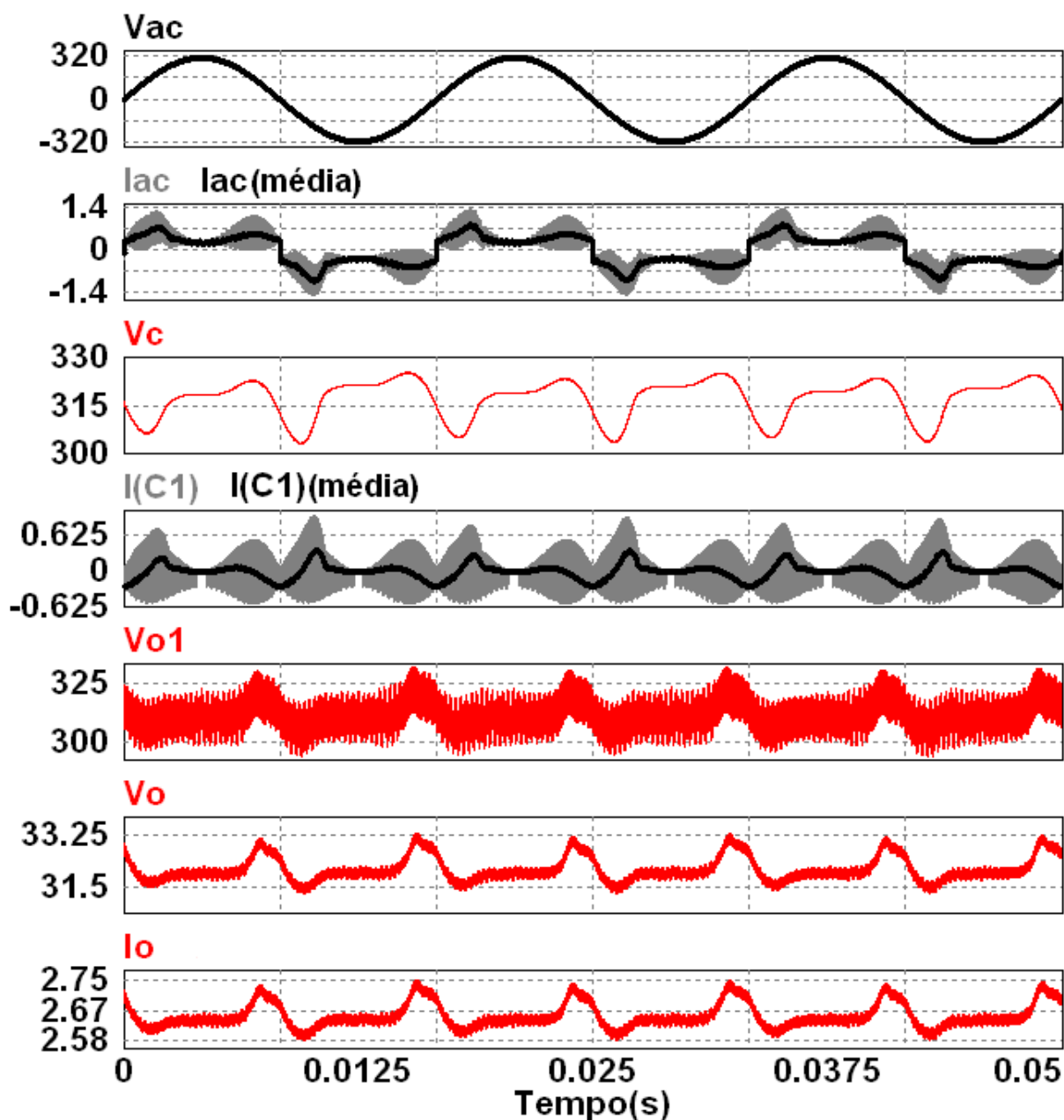


Figura 28 - Formas de onda da simulação da topologia proposta.

Os valores de ondulação de tensão e corrente de saída foram de 8.7% e 8.9%, respectivamente. Esses valores já registram as ondulações resultantes dos dois conversores somadas. Atualmente o acionamento das duas chaves está em fase. É possível que uma defasagem entre os dois PWMs traga ainda melhores resultados na redução de ondulações, sendo esta uma das sugestões para trabalhos futuros na seção 4.1. Ressalta-se que as capacitâncias desse circuito (retificador SP) somadas são da ordem de 20 μF , para um conversor de 85 W. Se um retificador comum em ponte completa for utilizado, faz-se necessária uma capacitância de filtro de aproximadamente 99 μF , conforme calculado por (4), comprovando a viabilidade

do método ao utilizar cerca de 20 % da capacitância para obter o mesmo nível de ondulação [3].

$$C = \frac{P_{IN}}{F \cdot (V_P^2 - V_{C_{MIN}}^2)} = \frac{85}{60 \cdot (311^2 - 287^2)} = 98,7 \mu F \quad (4)$$

Os indutores utilizados também possuem valores comercialmente viáveis. Embora a ondulação da forma de onda de saída do retificador SP (V_{O1}) pareça elevada na figura 28, é da ordem de 8 %. Tal ondulação é devido ao chaveamento do conversor de saída, podendo ser reduzida com o aumento da capacitância C_F , que é de 470 nF (0,47 μF) para esse caso. No entanto, esta ondulação possui pouca influência na ondulação de saída do conversor.

A figura 25 mostra as formas de onda do PWM de acionamento da chave de compensação, bem como o valor médio obtido na saída do retificador SP.

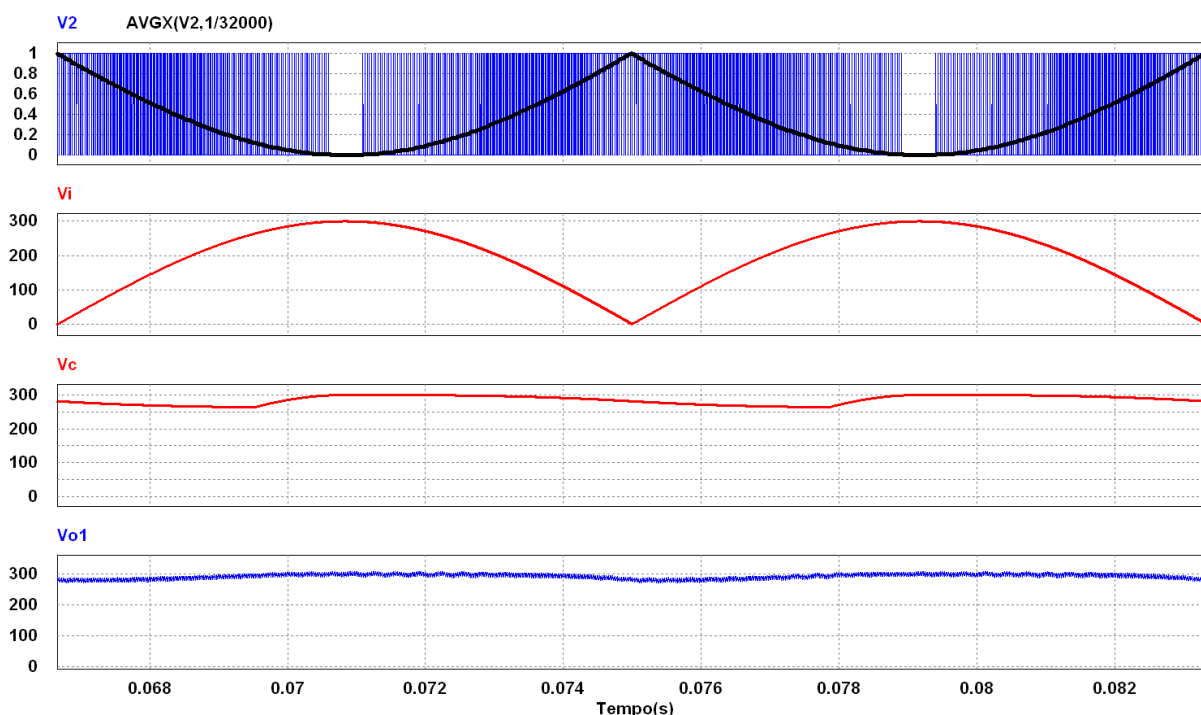


Figura 29 - Formas de onda da razão cíclica variável e seu valor médio.

3.7 Modelagem matemática

A modelagem deve ser feita de forma a possibilitar o projeto da topologia proposta para certa faixa de valores de potência de saída. Além disso, deve possibilitar a escolha arbitrária de níveis de ondulação, que são específicos para cada aplicação.

3.7.1 Capacitor de Compensação – C1

Esse é o principal elemento armazenador de energia do circuito, e os níveis de ondulação de saída são consequência direta de seu valor. A corrente de um capacitor é definida por (5) [19].

$$I_C = C \cdot \frac{dV_C}{dt} \quad (5)$$

Integrando-se os dois lados de (5) e isolando o termo C, é obtida (6).

$$C = \frac{I_{C_{M\acute{E}D}} \cdot \Delta t}{\Delta V_C} \quad (6)$$

Onde ΔV_C representa a variação máxima de tensão (ondulação) em C1. A variação de tempo é definida por (7), uma vez que a frequência do sinal de entrada é dobrada no processo de retificação em ponte completa.

$$\Delta t = \frac{1}{2F} \quad (7)$$

A corrente média do capacitor pode ser obtida através do cálculo da tensão média de saída do conversor de compensação e é definida em (8), através da potência de saída projetada para o conversor (P) e tensão de pico de entrada (V_P).

$$I_{C_{M\acute{E}D}} = \frac{V_{SP_{M\acute{E}D}} \cdot P}{(V_P)^2} \quad (8)$$

A tensão média do conversor de compensação é definida por (9).

$$V_{SP_{M\acute{E}D}} = \frac{1}{T} \int_0^t V_{SP}(\omega t) \cdot d(\omega t) = \frac{1}{\pi} \int_0^{\pi} V_P \cdot (1 - |\text{sen}(\omega t)|) \cdot d(\omega t) = 0,363 V_P \quad (9)$$

Para generalizar o cálculo de ΔV_C , em termos de tensão de pico e nível de ondulação de projeto, define-se (10).

$$\Delta V_C = \Delta V_{C(\%)} \cdot V_P \quad (10)$$

Substituindo-se (7), (8), (9) e (10) em (6), é definida (11), para o cálculo do capacitor C1.

$$C1 = \frac{0,181.P}{(V_p)^2.F.\Delta V_{C(\%)}} \quad (11)$$

Na figura 30 é possível observar que os pontos do valor mínimo de tensão de saída ocorrem nos instantes de vale da rede. Para esta análise, foram utilizadas as formas de onda de V_{O1} e V_C obtidas pela versão da topologia com circuito isolado de carga, constante na Figura 21. As duas versões possuem resultados semelhantes e dessa forma evita-se o uso de uma equação diferencial de segunda ordem.

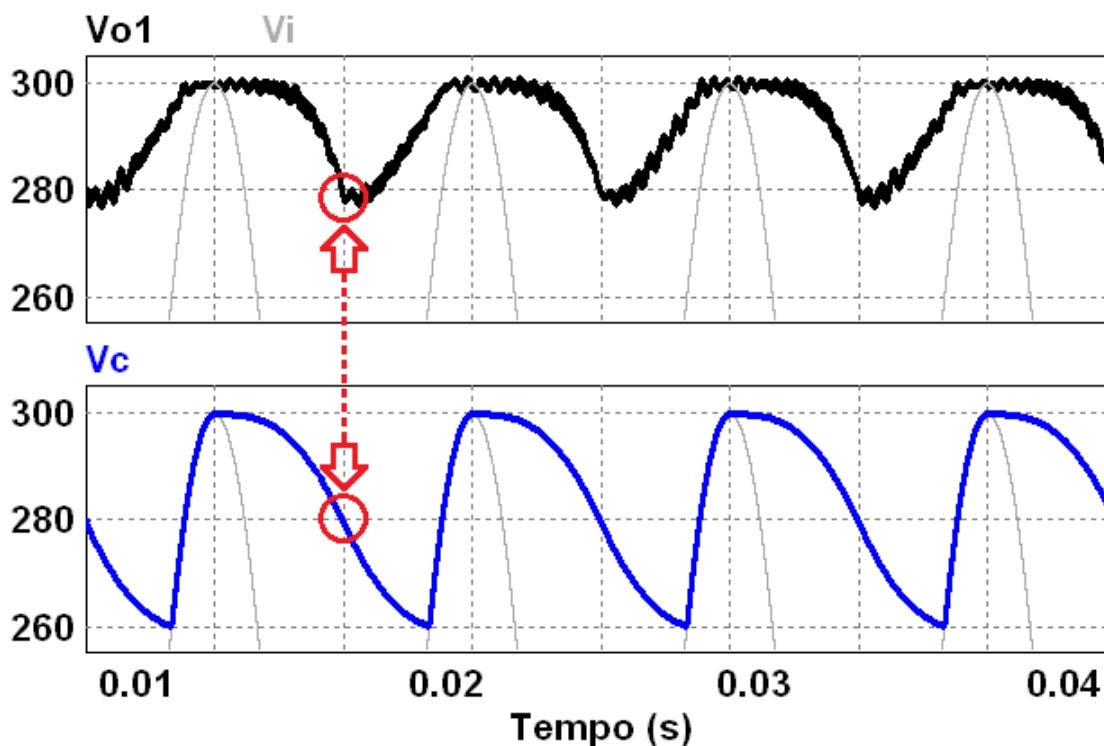


Figura 30 – Comparação de níveis de oscilação do capacitor C1 e tensão de saída.

Nos pontos de vale, a contribuição da rede é zero, sendo a tensão de saída igual à tensão do capacitor. Devido à dinâmica do circuito, nesses pontos o capacitor possui aproximadamente a metade do valor de ondulação de tensão (sofre aproximadamente metade do valor de descarga), por haver uma simetria no processo de descarga. Na figura 30, é possível observar que no exemplo simulado o capacitor atinge uma tensão mínima de 260 V, enquanto que a tensão mínima alcançada na saída é de 280 V, ocorrendo no exato momento de vale da rede.

Portanto, é possível aproximar a ondulação de tensão de saída pela metade do valor da oscilação de tensão no capacitor C1, sendo (12) definida em termos de oscilação de tensão de saída do conversor, sendo a equação final para o projeto do capacitor C1, onde F representa a frequência da rede elétrica e $\Delta V_{O(\%)}$ a porcentagem de ondulação de tensão projetada.

$$C1 = \frac{0,091.P}{(V_P)^2.F.\Delta V_{O(\%)}} \quad (12)$$

3.7.2 Indutor de saída do conversor de compensação - L_F

O projeto do valor da indutância de L_F pode ser definido por (13), uma vez que deve operar no modo contínuo de condução (MCC) [3].

$$L_{MÍN} = \frac{V_P.(1-\delta).\delta.\tau}{2.I_{O_{MÍN}}} \quad (13)$$

Esta é a mesma equação utilizada para o projeto de valores de indutância de saída em conversores *buck*. Na figura 31 é apresentada uma reorganização do circuito da topologia proposta, a fim de demonstrar que sua estrutura apenas difere de um conversor *buck* pela inserção do retificador de entrada em série com o indutor de saída. Por esse motivo, (13) pode ser aplicada a esse conversor.

No entanto, a razão cíclica é variável na topologia proposta, sendo o ganho δ alterado a todo o momento. Desta forma, faz-se necessária a definição de um valor de δ para ser aplicado em (13). Tal valor deve corresponder aos momentos em que a variação de corrente no indutor (ΔI_L) é máxima, uma vez que o valor de indutância mínima ($L_{MÍN}$) deve satisfazer os requisitos de operação no MCC nesses instantes. A equação que define a tensão no indutor é descrita por (14) [19].

$$V_L(t) = L.\frac{dI_L}{dt} \quad (14)$$

Integrando-se ambos os lados de (14) e isolando o termo da variação de corrente no indutor, obtém-se (15).

$$\Delta I_L = \frac{-V_L.\Delta t}{L} \quad (15)$$

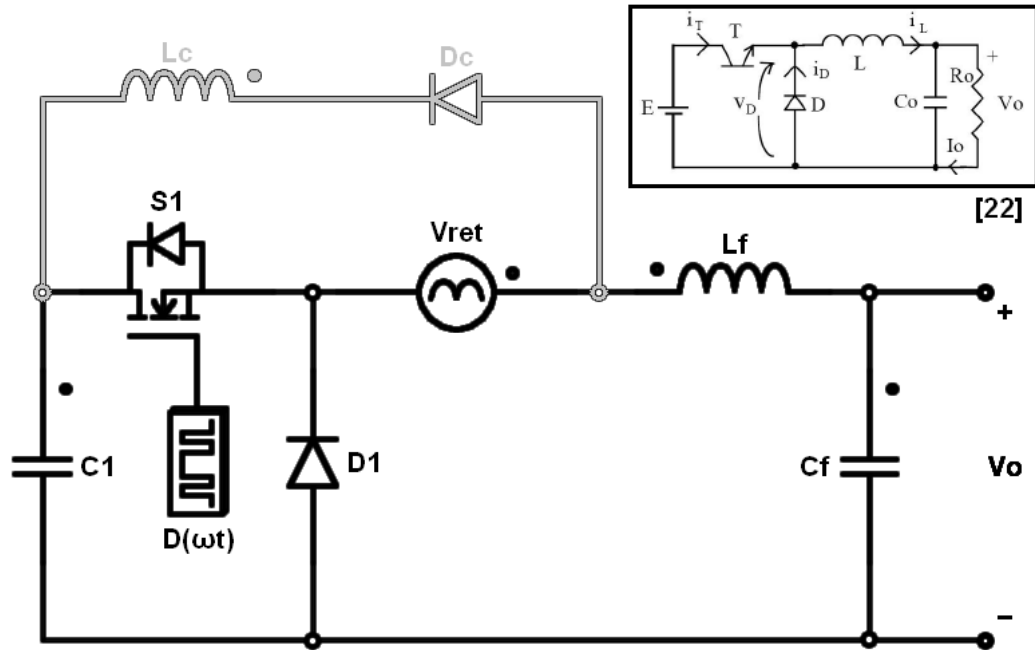


Figura 31 - Circuito reorganizado, enfatizando semelhança fundamental com conversor buck.

Ao analisar a topologia proposta, é possível encontrar a relação descrita por (16), onde V_{SP} é a tensão de saída do conversor de compensação e V_{CF} é a tensão no capacitor do primeiro filtro LC.

$$V_L = V_{SP} - V_{CF} \quad (16)$$

Uma vez que a ondulação de tensão em C_F é baixa, é possível fazer a aproximação definida por (17).

$$V_{CF} \approx V_P \quad (17)$$

A tensão de saída do conversor de compensação é definida em função da tensão de pico e da razão cíclica, conforme (18).

$$V_{SP} = V_P \cdot D \quad (18)$$

A variação de tempo pode ser expressa em termos de período de chaveamento e razão cíclica, conforme definido por (19).

$$\Delta t = T \cdot D \quad (19)$$

Fazendo-se a substituição de (16), (17), (18) e (19) em (15), é obtida (20).

$$\Delta I_L = \frac{V_P \cdot T}{L} \cdot (D - D^2) \quad (20)$$

Com o objetivo de encontrar o valor da razão cíclica nos pontos de máxima variação de corrente no indutor, é possível representá-la em (21) pela expressão que a define, (3).

$$\Delta I_{L_F \text{ MÁX}} = \frac{V_P \cdot T}{L} \cdot \text{MÁXIMO}(|\text{sen}(\omega t)| - |\text{sen}(\omega t)|^2) \quad (21)$$

Resolvendo-se a função de máximo em (21), conclui-se que quando $D=50\%$, a variação de corrente no indutor é máxima. Esse cálculo não é influenciado pelas constantes (V_P , T e L), logo se assume que o ganho δ será de 0,5 sempre, para o projeto de L_F utilizando-se (13). Com o uso do software Wolfram™ obteve-se a forma de onda de (21) gerada, conforme demonstrado na figura 32. Os valores das constantes V_P , T e L foram especificados de acordo com os valores de projeto para o protótipo, sendo 311 V, 31.25 ms e 4.4 mH, respectivamente.

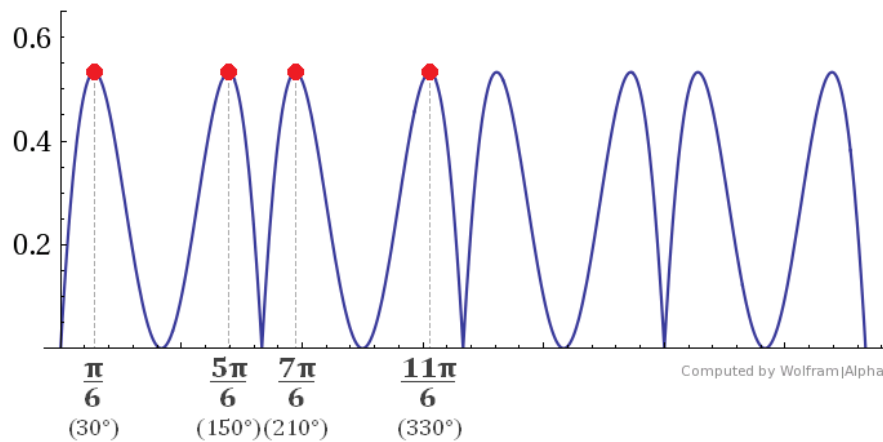


Figura 32 - Forma de onda gerada pela equação de modelagem da variação de corrente no indutor L_F , com pontos de máximo (Imagem original gerada por Wolfram Alpha™).

Aplicando-se (3) para a razão cíclica nos momentos que ocorrem os pontos de máximo indicados, comprova-se que $D=0,5$ em todos, justificando o comportamento da corrente observada no indutor L_F . Desta forma, tal comportamento pode ser escrito como a amplitude média da corrente que o percorre, somado à metade de sua variação, conforme explícito em (22).

$$I_{L_F}(t) = \frac{V_P \cdot T}{L} \cdot \frac{|\text{sen}(\omega t)| - |\text{sen}(\omega t)|^2}{2} \quad (22)$$

Devido à aproximação por uma função contínua, a forma de onda gerada por esta função será a envoltória superior da forma de onda que percorre o indutor. Uma comparação entre esta e a forma de onda simulada no indutor L_F é demonstrada na figura 33.

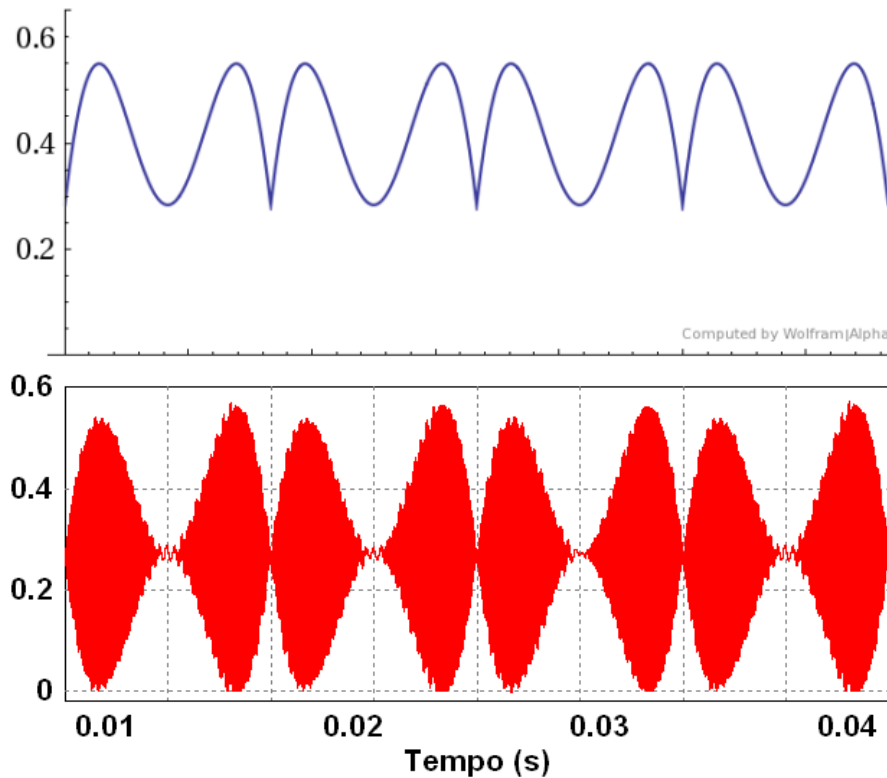


Figura 33 - Comparação entre formas de onda calculada e simulada no indutor L_F

A fim de expressar matematicamente o comportamento da corrente no indutor, é possível utilizar (23), assumindo a função como descontínua, devido ao chaveamento de S1.

$$I_{L_F}(t) = \frac{V_p \cdot T \cdot S_x \cdot (|\text{sen}(\omega t)| - |\text{sen}(\omega t)|^2)}{2 \cdot L} \quad (23)$$

$$\text{onde } S_x = \begin{cases} +1, & \text{para S1 fechada } (T_{ON}) \\ -1, & \text{para S1 aberta } (T_{OFF}) \end{cases}$$

Desta forma, generaliza-se (13) na forma definida por (24), já expressa em termos da ondulação percentual de corrente e corrente média de saída, Esta é a equação final para o projeto do indutor L_F , onde $\Delta I_L(\%)$ representa a ondulação percentual de corrente no indutor.

$$L_F = \frac{V_P \cdot T_S}{8 \cdot I_O \cdot \left(1 - \frac{\Delta I_L(\%)}{2}\right)} \quad (24)$$

É importante observar que, como o indutor é projetado de acordo com a variação de corrente máxima, devido aos requisitos para operação em MCC um aumento da potência do conversor permite uma diminuição no valor da indutância de L_F , ao contrário do que comumente ocorre em projetos de conversores, onde os valores dos componentes do filtro indutivo são diretamente proporcionais ao valor da potência do conversor. Por outro lado, tal característica de projeto se constitui em uma limitação quanto à potência mínima desse conversor, pois pequenos valores de potência de saída exigem maiores valores de indutância para L_F e L_C .

3.7.3 Indutor do circuito de carga - L_C

Embora L_C e L_F possuam funções distintas no circuito, seus parâmetros de projeto são idênticos, sendo (24) também aplicável para o projeto de L_C .

A corrente em L_F é composta por uma componente em baixa frequência, proveniente do retificador em ponte completa, e outra em alta frequência, originada do conversor de compensação. Ocorre que apenas esta última é responsável pela variação de corrente no indutor (ΔI_L), pela qual (23) é definida. Desta forma, ao considerar que apenas a parcela de corrente provida por C1 é relevante ao projeto do indutor L_F , e constatando que toda a energia que chega a C1 passa por L_C (indutor de carga), fica evidente que a variação de corrente ocorre de forma análoga em ambos os indutores. Se, da mesma forma que foi feita a aproximação definida por (17), a tensão em C1 for aproximada pela tensão V_P , devido à baixa ondulação de tensão, os parâmetros de projeto de L_F e L_C se igualam, sendo possível a aplicação de (24) nos dois casos.

3.7.4 Capacitor de saída do retificador SP - C_F

O filtro LC composto por C_F e L_F tem como única função a filtragem do sinal de alta frequência de chaveamento do conversor de compensação, não tendo função significativa quanto à redução de ondulação. Por esse motivo, o projeto desse capacitor consiste simplesmente no cálculo da frequência de corte (F_C) do filtro de segunda ordem, projetado aproximadamente uma década abaixo da frequência de

chaveamento de S1. A equação que define a frequência de corte, em função dos valores de indutância e capacitância do filtro, é expressa por (25).

$$F_C = \frac{1}{2\pi\sqrt{L_C C}} \quad (25)$$

Uma vez que o valor de L (L_F) é definido previamente por (24), isola-se o termo C (C_F) em (25) e aplica-se F_C uma década abaixo de F_S , para se obter (26), equação final para o projeto do valor de capacitância de C_F .

$$C_F = \frac{1}{L_F \cdot \left(2\pi \cdot \frac{F_S}{10}\right)^2} \quad (26)$$

3.7.5 *Conversor de saída*

Uma vez que diversos tipos de conversores de saída podem ser utilizados (ou mesmo utilizando elementos passivos como carga) as equações para esses não são abordadas na modelagem matemática. O conversor de saída utilizado no protótipo tem suas equações demonstradas na seção 3.8.

3.8 **Projeto e dimensionamento dos componentes do circuito**

3.8.1 *Características do projeto*

Nesta seção serão detalhados os passos para o correto projeto e dimensionamento para os componentes do circuito. Por se tratar do projeto de um protótipo, embora os cálculos sejam feitos de forma exata, alguns componentes serão propositalmente superdimensionados. Na tabela 3 são listadas as características gerais do circuito completo.

3.8.2 *Projeto e dimensionamento dos componentes do conversor de compensação*

Primeiramente, devem ser especificados os componentes do conversor de compensação, cujo diagrama esquemático é demonstrado na figura 34.

3.8.2.1 Diodos da ponte retificadora – D2, D3, D4, D5

Os quatro diodos que compõem a ponte retificadora devem suportar tensão máxima reversa igual ou superior à tensão de pico de entrada (V_P). Esta é calculada com o uso de (27). Além disso, devem suportar a frequência de operação do circuito de chaveamento, pois sua polarização é também controlada indiretamente pela chave S1.

Tabela 3 - Características gerais do circuito completo.

Parâmetro	Simbologia	Valor
Tensão de entrada	V_{AC}	220 V_{RMS}
Frequência da rede elétrica	F	60 Hz
Frequência de chaveamento	F_S	31,4 kHz
Frequência de amostragem	F_{AM}	10,8 kHz
Corrente de entrada	I_{IN}	285 mA
Tensão de saída	V_{O2}	32 V
Corrente de saída	I_O	2,65 A
Potência de saída	P_O	85 W
Ondulação de corrente (primeiro estágio)	$\Delta I_{L_F}(\%)$	5,0 %
Ondulação de tensão (primeiro estágio)	$\Delta V_{C1}(\%)$	7,5 %
Ondulação de corrente (segundo estágio)	$\Delta I_{L_O}(\%)$	7,5 %
Ondulação de tensão (segundo estágio)	$\Delta V_{C_O}(\%)$	1,0 %
Ondulação de corrente de saída	$\Delta I_O(\%)$	8,5 %
Ondulação de tensão de saída	$\Delta V_O(\%)$	8,5 %

$$V_P = V_{RMS} \cdot \sqrt{2} \quad (27)$$

Portanto,

$$V_P = 220 \cdot \sqrt{2} = 311 \text{ V}$$

Os componentes também deverão suportar a corrente eficaz de entrada do circuito. Esta pode ser calculada pela soma das correntes eficazes que percorrem os indutores L_F e L_C , pois serão as correntes de entrada do circuito retificador e de carga, respectivamente. Seu cálculo deve ser individualizado pelo fato de a forma de

corrente de entrada do conversor de compensação não ser senoidal. As equações que descrevem o cálculo da corrente de saída do retificador e da corrente de entrada do conversor de compensação são definidas por (28) e (29), respectivamente.

$$I_{RET_{RMS}} = \frac{P}{\sqrt{2} \cdot V_P} = \frac{0,707 \cdot P}{V_P} \quad (28)$$

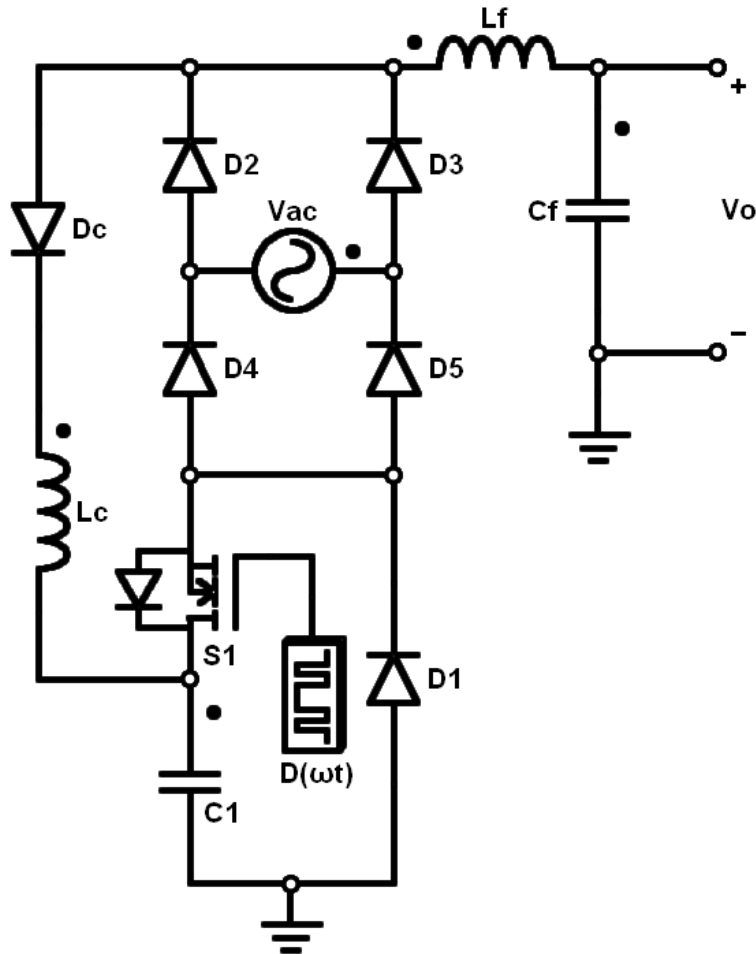


Figura 34 - Diagrama esquemático do conversor de compensação.

$$I_{SP_{RMS}} = \frac{V_{SP_{RMS}} \cdot P}{(V_P)^2} = \frac{0,604 \cdot P}{V_P} \quad (29)$$

Em (29), $V_{SP_{RMS}}$ representa o valor eficaz da tensão de saída do conversor de compensação. Para o cálculo da corrente de entrada, também deve ser considerado o fator de potência do circuito, uma vez que a porção reativa da energia de entrada deve ser contabilizada por aumentar as perdas e aquecimento dos componentes, sendo importante no correto dimensionamento desses [19]. Um fator de potência de

0,67 pode ser adotado com um alto nível de confiabilidade, uma vez que para diversas simulações e testes do circuito esse foi sempre superior a 0,70. A equação completa para o cálculo da corrente eficaz de entrada é então descrita por (30).

$$I_{IN_{RMS}} = \frac{I_{RE T_{RMS}} + I_{SP_{RMS}}}{FP} = \frac{1,957 \cdot P}{V_P} \quad (30)$$

Aplicando-se (30) aos valores de projeto, é definido o valor de corrente de entrada eficaz para o protótipo:

$$I_{IN_{RMS}} = \frac{1,957 \cdot 85}{311} = 535 \text{ mA}$$

Desta forma, os diodos da ponte retificadora devem suportar tensão reversa superior a 311 V e corrente eficaz superior a 535 mA. Embora um diodo como o 1N4004 (400 V, 1 A) possa ser utilizado, diodos de uso geral como esse não trazem em sua folha de dados informações sobre frequência máxima de operação e tempo de resposta (ou tempo de recuperação reversa). Nos testes com o protótipo mesmo diodos de uso geral responderam de forma adequada, no entanto não é recomendável o uso de componentes sem especificação conhecida. Por esse motivo, no protótipo foram adotados diodos MUR460, com tempo de recuperação reversa da ordem de 20 ns.

3.8.2.2 Diodo de aterramento do retificador de entrada – D1

A tensão máxima reversa desse diodo terá valor igual a V_P , pois esse é o valor de tensão máxima do capacitor C1, a qual está ligado em paralelo. No entanto, a corrente que percorre D1 corresponde apenas à parcela conduzida pelo retificador de entrada. Portanto, o cálculo de corrente máxima eficaz para esse diodo é descrito por (31), sendo a divisão de (28) pelo fator de potência do circuito.

$$I_{D1} = \frac{I_{RE T_{RMS}}}{FP} = \frac{0,707 \cdot 85}{311 \cdot 0,67} = 288 \text{ mA} \quad (31)$$

Desta forma, D1 deve suportar tensão reversa de pelo menos 311 V e corrente eficaz de 288 mA. O tempo de resposta, assim como os diodos do retificador de entrada, deve ser compatível com a frequência de chaveamento do circuito, uma vez

que D1 opera de forma complementar com a chave S1. Por motivos práticos, o diodo escolhido para o protótipo foi também o MUR460.

3.8.2.3 Diodo de carga do capacitor do conversor de compensação - D_C

De forma análoga ao projeto de D1, esse diodo é percorrido apenas por uma parcela da corrente total do circuito, correspondente à fornecida pelo circuito de compensação. Desta forma, a intensidade de corrente eficaz a percorrer D_C é descrita por (32), sendo a divisão de (29) pelo fator de potência do circuito.

$$I_{D_C} = \frac{I_{SP_{RMS}}}{FP} = \frac{0,604.85}{311.0,67} = 246 \text{ mA} \quad (32)$$

A tensão reversa máxima nesse diodo também deve ser superior a V_P , suportando uma corrente eficaz igual ou superior a 246 mA. No protótipo esse componente também foi superdimensionado, utilizando um diodo MUR460.

3.8.2.4 MOSFET de chaveamento do conversor de compensação – S1

Esse é o principal componente do circuito do conversor de compensação, sendo também o único componente ativo. Seu correto dimensionamento é de importância fundamental para o funcionamento correto e seguro do circuito.

Sua tensão máxima (V_{DS}) é a mesma observada nos diodos, sendo igual a V_P (311 V). Devido à sua posição no circuito, sua corrente eficaz máxima (I_D) é a mesma já calculada para o diodo D_C , sendo nesse caso igual a 246 mA. Quanto à frequência de operação (F_S), deve ser capaz de operar em 31.4 kHz com tempos de resposta adequados. A resistência em estado de saturação ($r_{DS_{ON}}$) deve ser a mais baixa possível, pois é um parâmetro de forte influência nas perdas por aquecimento, afetando o rendimento global do conversor [3].

O correto dimensionamento térmico deve ser feito, objetivando evitar o superaquecimento do componente, o qual pode reduzir sua vida útil ou causá-lo danos permanentes. Deve-se pesquisar a folha de dados do transistor, buscando os seguintes parâmetros: $r_{DS_{ON}}$ (Drain to Source On resistance), $R_{\theta JA}$ (thermal Resistance Junction to Ambient), C_{OSS} (Small Signal Output Capacitance), t_R (Rise time) e t_F (Fall time) [2].

Há basicamente duas formas pelas quais há perdas em forma de calor no transistor MOSFET. Há as perdas por condução, geradas pela impedância interna do transistor durante o estado de saturação, descritas por (33). Além dessas, há as perdas por comutação, as quais ocorrem de duas formas: em função do tempo que o componente demora a passar do estado de bloqueio para o estado de condução e vice-versa (*crossover*) e pela energia consumida para carregar e descarregar o capacitor do terminal *gate*, conhecida como perda de carga [3], [20], [21]. As expressões para o cálculo destas potências dissipadas são descritas em (34) e (35), respectivamente. A potência total dissipada pelo MOSFET é descrita por (36). É importante observar que independentemente do projeto térmico apropriado, a potência total dissipada pelo componente não deve exceder o valor definido por P_D (Potência total máxima Dissipada), constante na folha de dados do componente.

$$P_{S1COND} = (I_{DC})^2 \cdot rDS_{ON} \quad (33)$$

$$P_{S1CROSS} = \frac{t_F + t_R}{2} \cdot (V_P \cdot I_{DC} \cdot F_S) \quad (34)$$

$$P_{S1CHARGE} = C_{OSS} \cdot V_P^2 \cdot F_S \quad (35)$$

$$P_{S1TOTAL} = P_{S1COND} + P_{S1CROSS} + P_{S1CHARGE} \quad (36)$$

O transistor MOSFET escolhido para o protótipo foi o IRF840. Esse modelo excede em muito alguns dos parâmetros necessários, porém o superdimensionamento foi proposital, a fim de conferir um nível superior de confiabilidade à versão do circuito utilizada para o estudo. Suas características são listadas na tabela 4.

Primeiramente, calculam-se as perdas por condução, de acordo com (33):

$$P_{S1COND} = 0,246^2 \cdot 0,85 = 51,44 \text{ mW}$$

Para calcular as perdas por comutação, são utilizadas (34) e (35):

$$P_{S1CROSS} = \frac{35 \cdot 10^{-9} + 30 \cdot 10^{-9}}{2} \cdot (311 \cdot 0,246 \cdot 31,4 \cdot 10^3) = 78,08 \text{ mW}$$

$$P_{S1CHARGE} = 200 \cdot 10^{-12} \cdot 311^2 \cdot 31,4 \cdot 10^3 = 607,41 \text{ mW}$$

Tabela 4 - Características técnicas do transistor IRF840.

Parâmetro	Simbologia	Valor
Tensão máxima entre os pinos Drain e Source	V_{DS}	500 V
Corrente máxima contínua	I_D	8,0 A
Potência total máxima dissipada	P_D	125 W
Resistência em estado de condução	$r_{DS(ON)}$	0,85 Ω
Resistência térmica entre junção e ambiente	$R_{\theta JA}$	62,5°C/W
Resistência térmica entre junção e cápsula	$R_{\theta JC}$	1,0°C/W
Temperatura máxima na junção	T_J	150°C
Capacitância de saída	C_{OSS}	200 pF
Tempo de subida	t_R	35 ns
Tempo de descida	t_F	30 ns

Portanto, a potência total dissipada pela chave é dada por (36):

$$P_{S1TOTAL} = 0,05144 + 0,07808 + 0,60741 = 737 \text{ mW}$$

A seguir, deve-se calcular a temperatura máxima de junção que o componente deverá alcançar durante sua operação. Para tanto, é necessário definir a temperatura máxima do ambiente de trabalho, pois esta se somará à diferença de temperatura gerada pelo componente. Esse valor é específico para cada aplicação. Para esse projeto, uma temperatura ambiente máxima (T_{AMB}) de 40°C foi adotada. É possível estimar a temperatura máxima a partir de (37) [2].

$$T_{JS1MÁX} = T_{AMB} + P_{S1TOTAL} \cdot R_{\theta JA} \quad (37)$$

Sendo possível definir a temperatura máxima estimada de operação de S1:

$$T_{JS1MÁX} = 40 + 0,737 \cdot 62,5 = 86^\circ\text{C}$$

De acordo com esse cálculo, a chave deverá aquecer cerca de 46°C acima da temperatura ambiente, quando em operação ao ar livre (sem dissipador de calor). Considerando que a temperatura máxima de operação para esse componente é de

150°C, o transistor opera com certa faixa de tolerância. Apesar disso, é uma temperatura alta, e um dissipador de pequeno porte é recomendável e foi utilizado no protótipo.

A parcela mais significativa da potência dissipada por S1 é verificada no cálculo das perdas de comutação por perda de carga, correspondendo, nesse caso, a 82% da energia total dissipada pelo transistor. Em (35), observa-se que esse valor é diretamente proporcional à frequência de chaveamento utilizada. Por esse motivo, frequências de chaveamento muito altas devem ser evitadas, pois apesar de proporcionar uma redução nos valores dos componentes dos filtros, aumentam significativamente as perdas por Efeito Joule.

Quando um dissipador de calor é utilizado, deve-se considerar o parâmetro $R_{\theta JC}$ (*thermal Resistance Junction to Case*) da folha de dados do transistor (em vez de $R_{\theta JA}$), acrescido das resistências térmicas do dissipador e componente de acoplamento térmico (normalmente pasta térmica ou elastômero), descritos por $R_{\theta DA}$ e $R_{\theta CD}$, respectivamente. Quando esses valores forem conhecidos, é possível calcular a temperatura máxima atingida pela junção do transistor pela utilização de (38).

$$T_{J_{S1_{MÁX}}} = T_{AMB} + P_{S1_{TOTAL}} \cdot (R_{\theta JC} + R_{\theta CD} + R_{\theta DA}) \quad (38)$$

Supondo que um dissipador com $R_{\theta DA}=12.5^{\circ}\text{C}/\text{W}$ seja utilizado, com um isolador de elastômero com $R_{\theta CD}=1.0^{\circ}\text{C}/\text{W}$, e considerando que na folha de dados do componente consta que $R_{\theta JC}=1.0^{\circ}\text{C}/\text{W}$, é possível calcular a nova temperatura máxima na junção de S1:

$$T_{J_{S1_{MÁX}}} = 40 + 0,737 \cdot (1 + 1 + 12,5) = 49,2^{\circ}\text{C}$$

Desta forma, observa-se que através do uso de um pequeno dissipador foi possível reduzir a temperatura máxima da junção de S1 em 36°C.

3.8.2.5 Capacitor do conversor de compensação – C1

A tensão máxima do capacitor deve ser igual ou superior a V_P , que no protótipo é de 311 V. A capacitância é calculada com o uso de (12). Para o protótipo, um nível de ondulação de tensão de 7,5% é adotado.

$$C_1 = \frac{0,091.85}{311^2 \cdot 60.0,075} = 17,77 \mu\text{F}$$

Portanto o capacitor especificado é de 20 μF e 350 V.

3.8.2.6 Indutor de saída do conversor de compensação - L_F

A corrente eficaz percorrida por esse indutor é a mesma já calculada para o diodo D1, sendo de 288 mA. A ondulação de corrente projetada no primeiro estágio do conversor é de 5%. O período de chaveamento T corresponde a 31,85 μs . A indutância é definida diretamente por (24):

$$L_F = \frac{311 \cdot 31,85 \cdot 10^{-6}}{8 \cdot \left(1 - \frac{0,05}{2}\right) \cdot 0,288} = 4,4 \text{ mH}$$

Desta forma, o indutor especificado foi de 4.4 mH. O componente utilizado no protótipo possui especificação de corrente máxima de 2 A, propiciando uma grande margem de operação. Há ainda de se especificar o indutor quanto às características de seu núcleo, para não haver saturação do mesmo. No entanto, tais especificações geralmente não são fornecidas pelos fabricantes, sendo necessário fazer um ensaio experimental para verificar as características de seu núcleo e sua adequação à aplicação.

3.8.2.7 Indutor de carga do capacitor do circuito de compensação - L_C

O projeto desse indutor obedece aos mesmos parâmetros de L_F , à exceção de sua corrente média, que é a mesma calculada para o diodo I_C . Desta forma, o indutor deve ser especificado para um valor de corrente de 246 mA. A ondulação de corrente deve ser desprezada. O cálculo é feito utilizando (24):

$$L_C = \frac{311 \cdot 31,85 \cdot 10^{-6}}{8 \cdot 0,246} = 4,9 \text{ mH}$$

Para o protótipo, foi também utilizado um indutor de 4.4 mH, por ser o valor comercial mais próximo obtido.

3.8.2.8 Capacitor de saída do conversor de compensação - C_F

Assim como C_1 , esse capacitor também deve possuir tensão nominal superior a V_P , sendo também especificado para 350 V. A capacitância é calculada diretamente com o uso de (26):

$$C_F = \frac{1}{4,4 \cdot 10^{-3} \cdot \left(2 \cdot \pi \cdot \frac{31,4 \cdot 10^3}{10}\right)^2} = 0,58 \mu F$$

Portanto, o capacitor a ser utilizado possui tensão nominal de 350 V e capacitância de 0,47 μF (valor comercial mais próximo).

3.8.3 Projeto e dimensionamento dos componentes do conversor de saída

O diagrama esquemático do conversor de saída é demonstrado na figura 35.

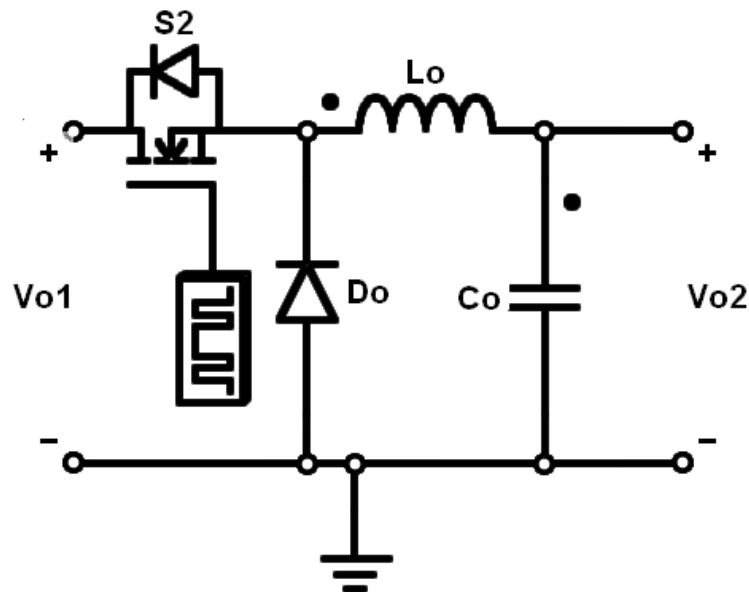


Figura 35 - Diagrama esquemático do conversor de saída.

3.8.3.1 MOSFET de chaveamento do conversor de saída – S2

Esse transistor deve ser especificado para uma tensão mínima V_{DS} igual a 311 V. Opera com a mesma frequência de chaveamento de S1, porém com razão cíclica fixa. A tensão de saída projetada é de 32 V, logo a razão cíclica deve ser calculada conforme (39).

$$D_{S2} = \frac{V_O}{V_P} = \frac{32}{311} = 0,103 \quad (39)$$

Desta forma, deve suportar picos de corrente de até 2,65 A, bem como corrente média de 288 mA (mesma corrente que percorre L_F). O transistor adotado é o mesmo utilizado em S1, cujas especificações são demonstradas na tabela 4. Para o cálculo térmico, primeiramente são calculadas as perdas por condução, utilizando-se (33):

$$P_{S2_{COND}} = 0,288^{2,0,85} = 70,5 \text{ mW}$$

Para calcular as perdas por comutação, são utilizadas (34) e (35):

$$P_{S2_{CROSS}} = \frac{35 \cdot 10^{-9} + 30 \cdot 10^{-9}}{2} \cdot (311 \cdot 0,288 \cdot 31,4 \cdot 10^3) = 91,4 \text{ mW}$$

$$P_{S2_{CHARGE}} = 200 \cdot 10^{-12} \cdot 311^2 \cdot 31,4 \cdot 10^3 = 607,41 \text{ mW}$$

Portanto, a potência total dissipada pela chave é dada por (36):

$$P_{S2_{TOTAL}} = 0,0705 + 0,0914 + 0,60741 = 769 \text{ mW}$$

A temperatura de junção máxima em operação ao ar livre é determinada utilizando-se (37):

$$T_{J_{S2_{MÁX}}} = 40 + 0,769 \cdot 62,5 = 88^\circ\text{C}$$

Se for utilizado um dissipador idêntico ao aplicado a S1, a nova temperatura máxima de junção pode ser calculada por (35):

$$T_{J_{S2_{MÁX}}} = 40 + 0,769 \cdot (1 + 1 + 12,5) = 51,2^\circ\text{C}$$

3.8.3.2 Diodo de roda livre - D_O

Esse diodo deve ter tensão reversa máxima igual ao valor de V_P , bem como tempo de recuperação reversa compatível com a frequência de chaveamento de S2. Assim, um diodo MUR460 é escolhido, o mesmo modelo escolhido para os diodos do conversor de compensação. Em termos de corrente, deve ser projetado com os

mesmos parâmetros de S2, com corrente média de 288 mA e podendo suportar picos de até 2,65 A.

3.8.3.3 Indutor do conversor de saída - L_O

A indutância crítica (valor mínimo para condução no MCC) é definida por (13), considerando uma razão cíclica de 0,103 e 7.5% de ondulação de corrente:

$$L_{O_{Mín}} = \frac{311 \cdot (1 - 0,103) \cdot 0,103 \cdot 31,85 \cdot 10^{-6}}{2 \cdot \left(\frac{1 - 0,075}{2}\right) \cdot 2,65} = 373 \mu H$$

O valor de projeto para o indutor L_O é descrito por (40) [3].

$$L_O = \frac{(V_P - V_O) \cdot D \cdot T_S}{2 \cdot \Delta I_L} = \frac{(311 - 32) \cdot 0,103 \cdot 31,85 \cdot 10^{-6}}{2 \cdot (0,075 \cdot 2,65)} = 2,3 \text{ mH} \quad (40)$$

Desta forma, o indutor L_O deve suportar uma corrente média de 2,65 A. O valor de indutância escolhido foi de 2.2 mH por ser o valor comercial disponível mais próximo. O valor de ondulação de 7,5% ocorre na corrente do indutor, sendo atenuado na saída. Para o nível de ondulação de corrente na saída (I_O), o fator predominante é o projeto do capacitor C_O .

3.8.3.4 Capacitor do conversor de saída - C_O

O capacitor de saída pode ser especificado com a tensão de saída do conversor, sendo o único componente a necessitar de tensão com amplitude inferior a V_P , sendo nesse caso 32 V. O valor de capacitância pode ser definido por (41) [3]. A ondulação de tensão de saída escolhida foi de 1 %.

$$C_O = \frac{V_O \cdot T_S^2}{\Delta V_C \cdot 8 \cdot L_O} \cdot (1 - D) = \frac{32 \cdot 31,85^2}{(0,01 \cdot 32) \cdot 8 \cdot 2,2 \cdot 10^{-3}} \cdot (1 - 0,103) = 5,17 \mu F \quad (41)$$

Portanto, esse capacitor possui tensão especificada de 50 V e capacitância de 5 μF . A corrente de saída obedece a níveis de ondulação semelhantes. A capacitância C_O pode ser reduzida para 500 nF se um nível de 10% de ondulação de tensão e corrente na saída for adotado. No entanto, um baixo nível de ondulação de projeto é adotado pois as ondulações desse conversor se somam às do conversor

de compensação, afetando diretamente as ondulações de tensão e corrente de saída do circuito (ΔV_O e ΔI_O).

A escolha de um conversor abaixador não isolado não é a ideal, pois a razão cíclica é muito baixa. A escolha de um conversor isolado, como o *forward*, possibilita a redução de L_O e C_O , uma vez que a razão cíclica pode ser superior a 50%, melhorando a dinâmica do circuito [10].

3.8.4 Diagrama esquemático do circuito

A figura 36 demonstra o diagrama esquemático do circuito do conversor, exibindo os valores calculados para os componentes.

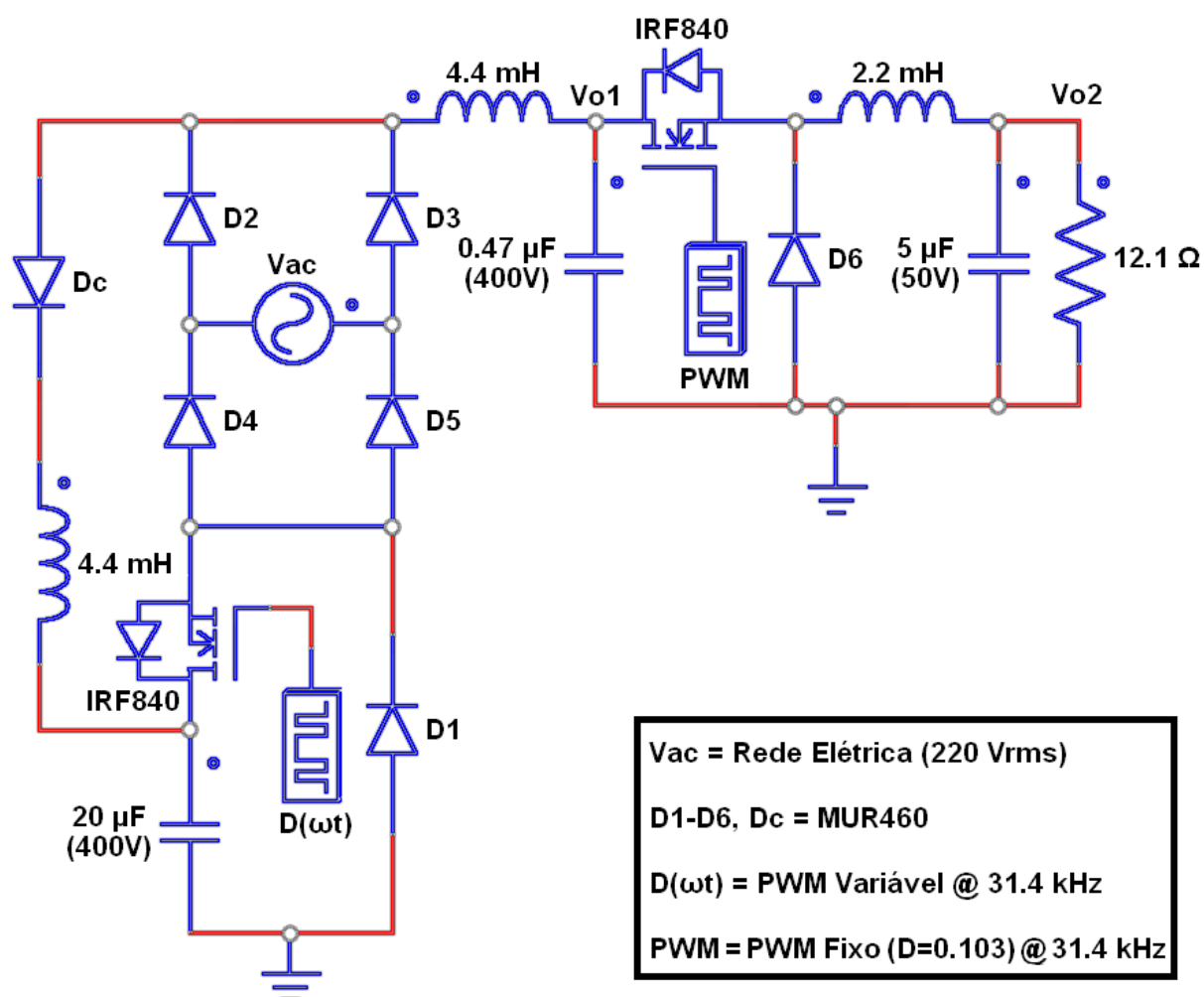


Figura 36 - Diagrama esquemático do circuito do conversor com valores de componentes projetados.

3.9 Resultados experimentais

3.9.1 Comando da chave MOSFET

O código de comando da chave com razão cíclica variável é exposto no apêndice I. O micro controlador utilizado é o Atmel ATMEGA328P-PU. Suas características técnicas são demonstradas na tabela 5.

Tabela 5 - Características técnicas do microcontrolador ATMEGA328P-PU.

Parâmetro	Símbolo	Valor
Tensão de operação	V_{CC}	1,8 a 5,5 V
Frequência máxima de operação	F_p	20 MHz
Capacidade de processamento	—	20 MIPS ($F_p = 20$ MHz)
Consumo máximo	$I_{MÁX}$	200 μ A
Canais PWM	n_{PWM}	6
Resolução PWM	—	8 bits
Entradas analógicas	$n_{IN_{DAC}}$	6
Resolução entradas analógicas	—	10 bits
Encapsulamento	—	PDIP 28 pinos

O micro controlador opera com um cristal de 16 MHz e foi testado em laboratório, tendo suas formas de onda para o chaveamento com razão cíclica variável demonstradas na figura 37. O equipamento utilizado possui função de filtragem, desta forma foi também possível obter o valor médio. É possível observar o comportamento da função, que obedece (3), conforme esperado.

Também é possível observar que, em torno da metade do segundo semiciclo, há uma mudança na forma de onda. Tal mudança foi proposital, ao acionar manualmente a entrada de interrupção do micro controlador, que é utilizada para sincronizar o circuito com a rede através de um circuito de sincronização. Nesse caso, foi feito manualmente e ao acaso, para fins de teste de funcionamento.

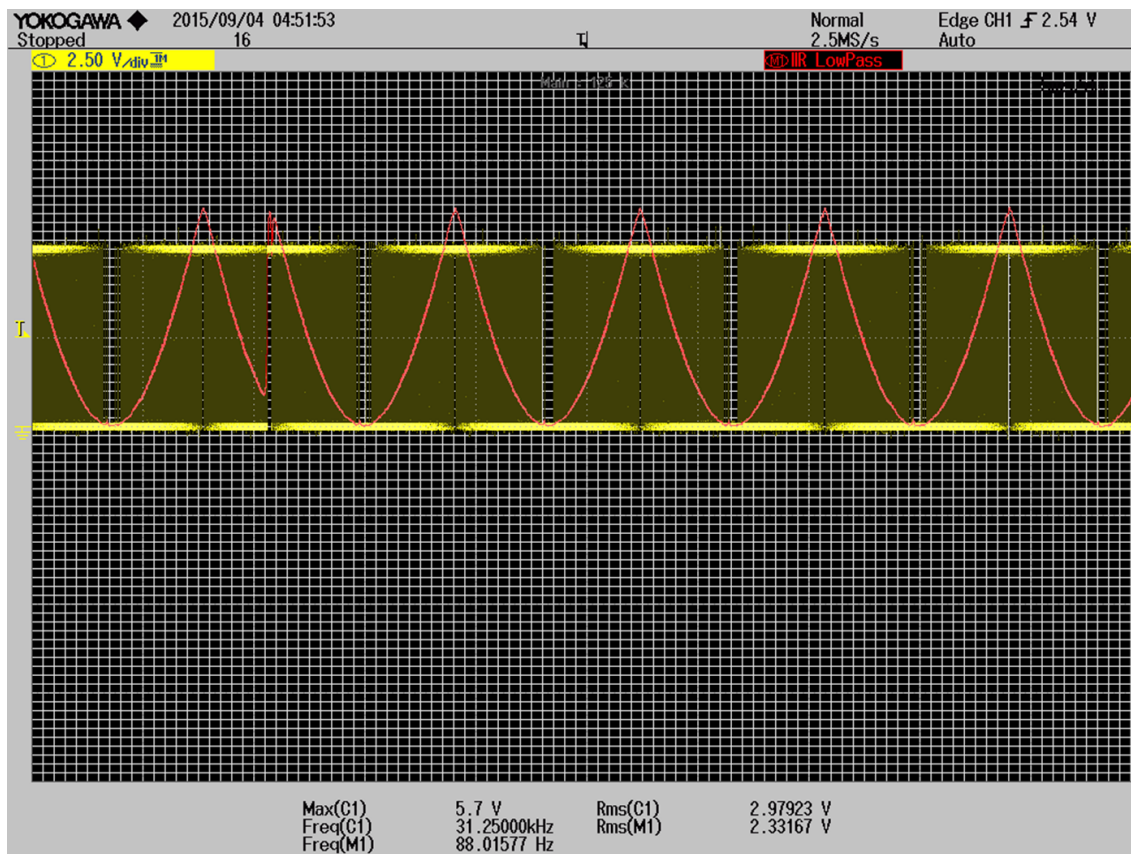


Figura 37 - Formas de onda do microcontrolador com valor médio.

A medição foi feita posteriormente em outro equipamento, no qual é possível detalhar a forma de onda PWM, mostrada na figura 38.

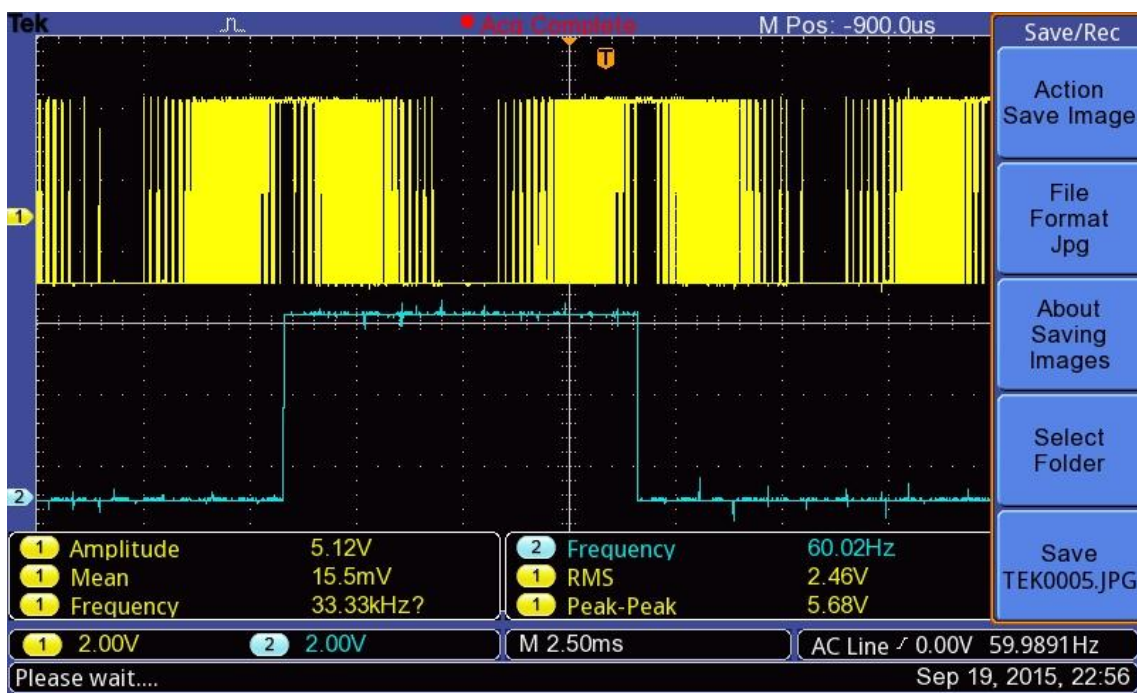


Figura 38 - Forma de onda PWM com sinal auxiliar

Na figura 38, uma saída lógica do micro controlador foi utilizada para gerar um sinal auxiliar de *trigger*, para melhorar a visualização no osciloscópio.

3.9.2 Circuito de sincronização com a rede elétrica

O circuito de sincronização com a rede adotado é isolado, e tem seu diagrama esquemático demonstrado na figura 39.

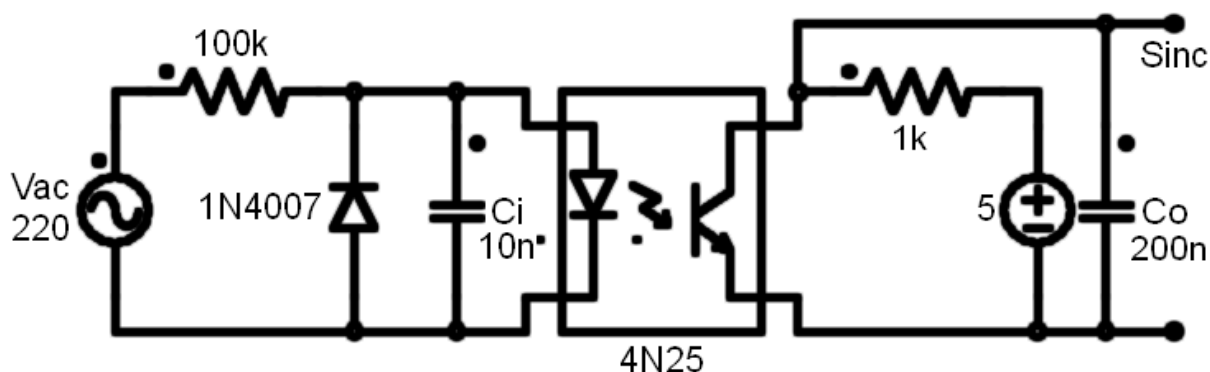


Figura 39 - Circuito de sincronização com a rede elétrica.

A sincronização com a rede elétrica é crucial, uma vez que para cada ponto da forma de onda senoidal de entrada um diferente valor de razão cíclica é estabelecido. O programa foi feito de modo a processar uma nova razão cíclica a cada 2° de fase da senóide de entrada (ou 180 vezes por ciclo). Desta forma, considerando que a rede elétrica tenha frequência de 60 Hz, a taxa de amostragem é de 10,8 kHz, ou seja, o valor da razão cíclica D é variado 10800 vezes por segundo. A figura 40 mostra as formas de onda do PWM sincronizado com a rede e o sinal de sincronização obtido com o circuito.

Devido às características de resposta do circuito de detecção de passagem por zero utilizado, a sincronização com a rede ocorre nas bordas de descida do sinal, que ocorrem muito mais rapidamente do que as de subida, como é possível observar na figura 40.

Foi constatado que esse circuito de sincronização possui um atraso de resposta (300 μ s), inerente ao funcionamento do acoplador óptico utilizado (4N25). Desta forma, foi necessário aplicar uma compensação no programa do micro controlador, de exatos 6°. Assim foi possível obter uma sincronia perfeita apesar da defasagem de resposta, mostrada na figura 41.

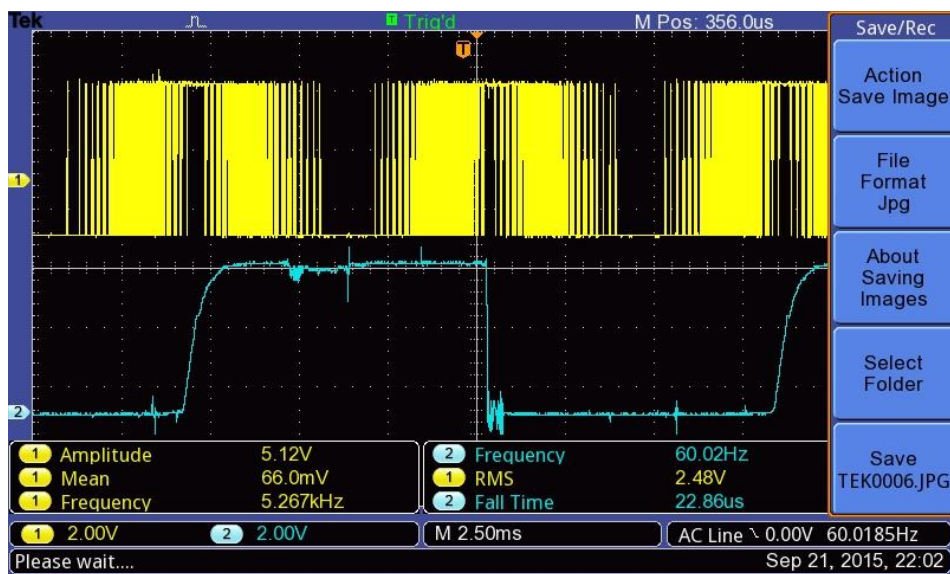


Figura 40 - Formas de onda de saída do PWM variável e sinal sincronizador.

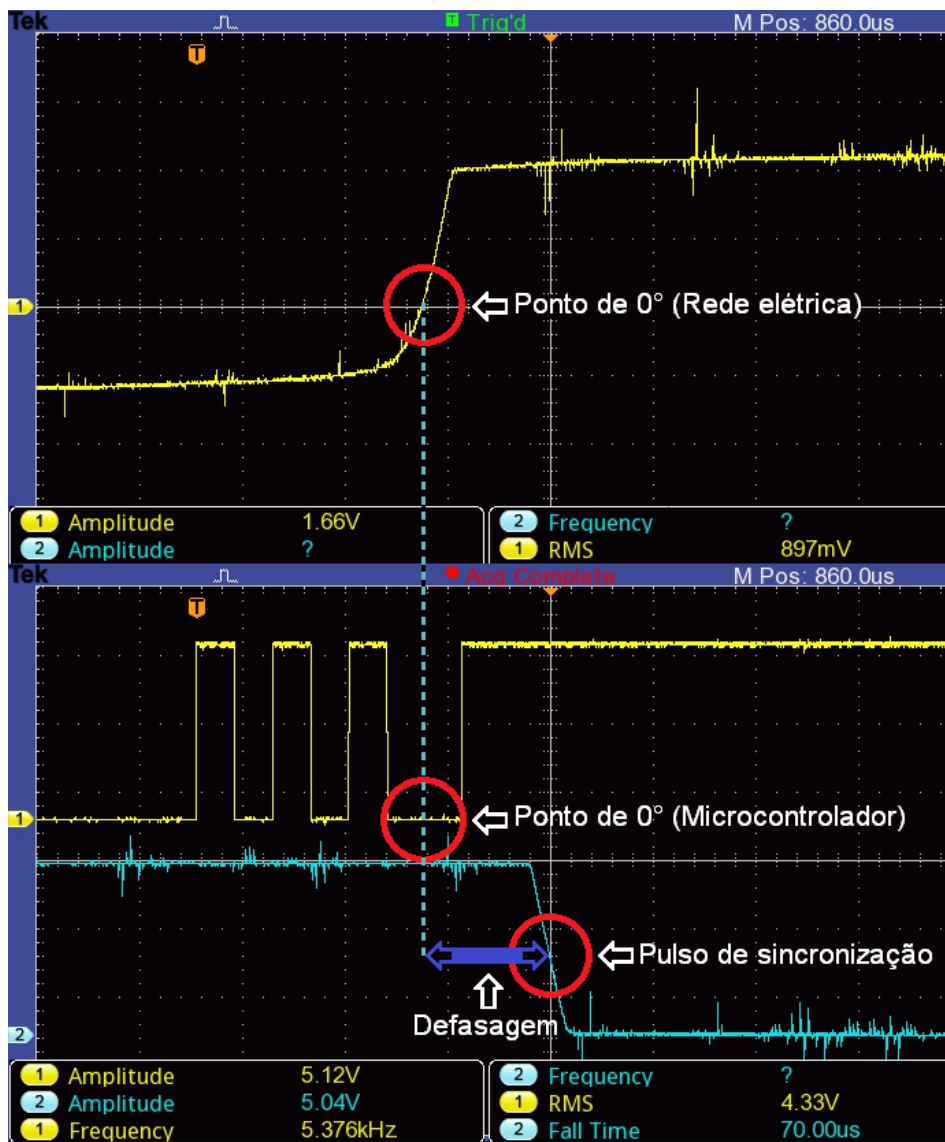


Figura 41 - Defasagem de resposta do circuito de sincronização com a rede elétrica.

Embora seja possível reduzir esta defasagem através da redução do valor do resistor de entrada do circuito (figura 39), a potência dissipada por esse aumentaria de forma exponencial, reduzindo a eficiência global do conversor. Por esse motivo, uma compensação manual foi escolhida, pois é possível obter uma perfeita sincronia mesmo com uma corrente de entrada da ordem de 1 mA no circuito de detecção de passagem por zero.

3.9.3 Formas de onda obtidas com o protótipo

Um osciloscópio foi utilizado para registrar as formas de onda adquiridas do protótipo. Para as medições de corrente, um resistor série (*shunt*) de 1 Ω foi utilizado, o que possibilita a conversão direta de valores interpretados das imagens, diretamente de mV para mA (proporção de 1:1), à exceção da forma de corrente de saída (I_o), onde um resistor série de 0,1 Ω foi aplicado.

Na figura 42 é mostrada a forma de onda da corrente no indutor de saída do conversor de compensação, L_F .

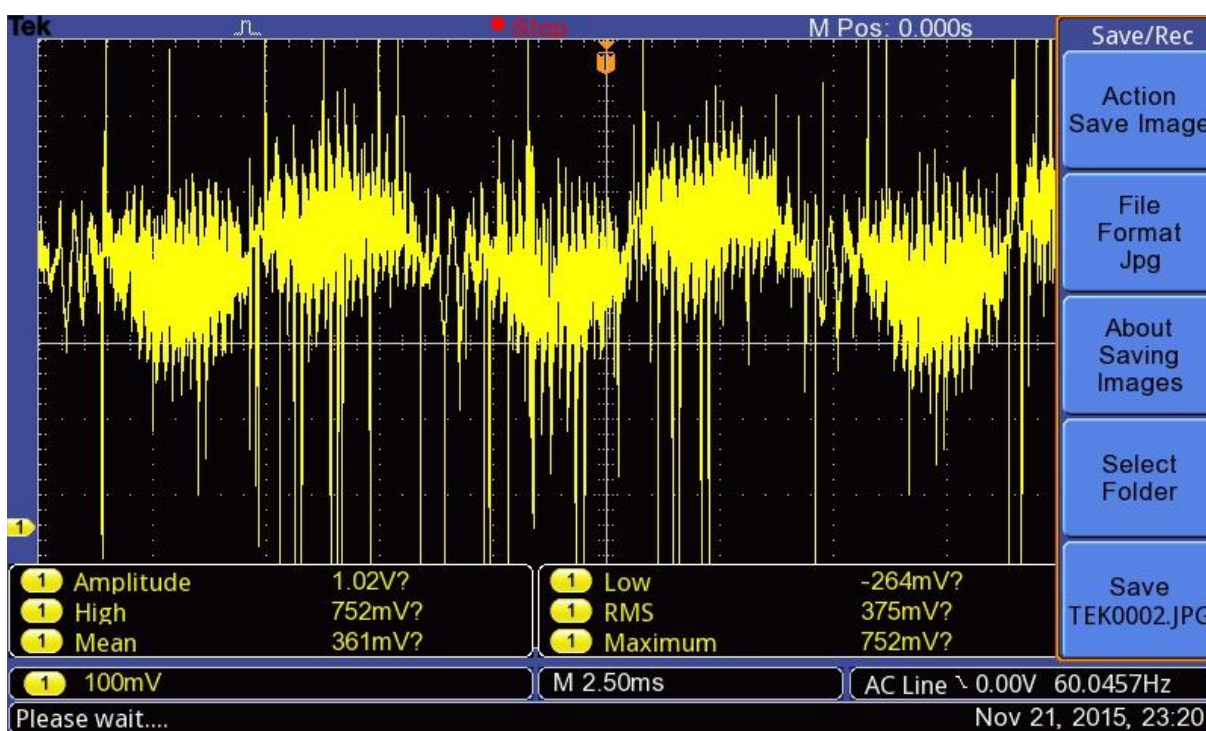


Figura 42 - Forma de onda da corrente no indutor L_F .

O comportamento observado é justificado pelo estudo matemático elaborado na seção 3.7.2, sendo muito semelhante ao observado nas simulações.

A figura 43 demonstra a forma de onda de corrente no indutor de carga do capacitor do conversor de compensação, L_C .

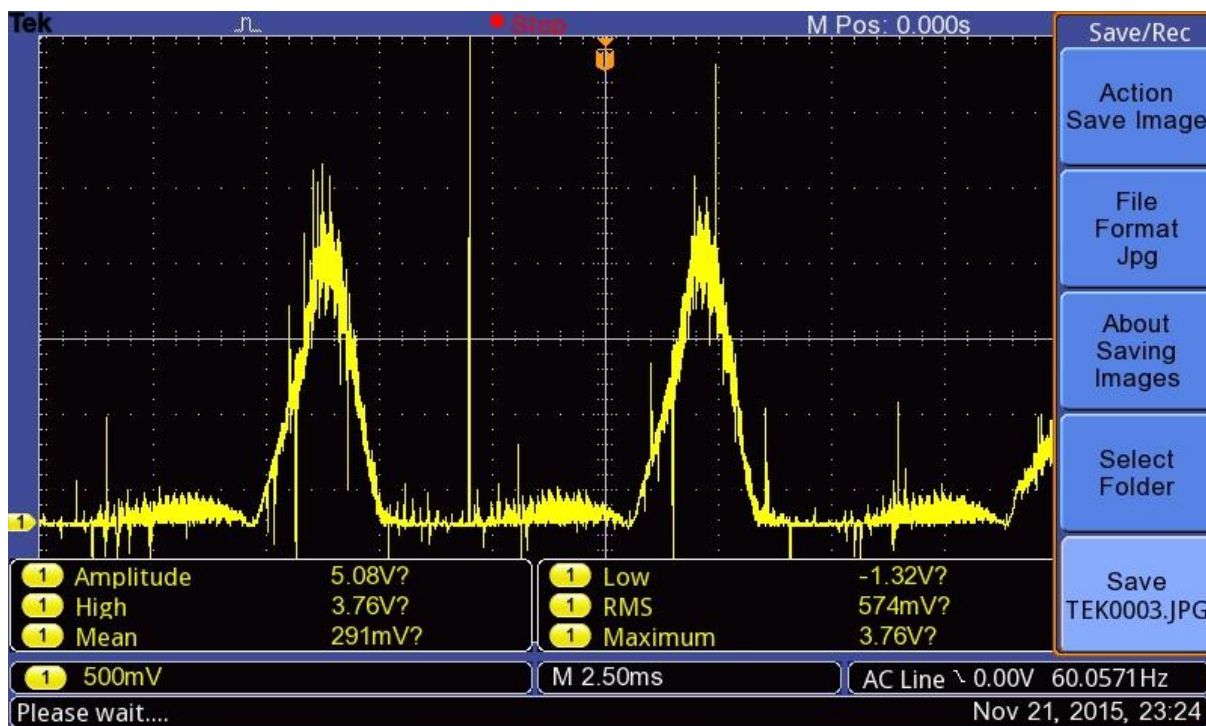


Figura 43 - Forma de onda da corrente no indutor L_C .

Pelos motivos descritos na seção 3.7.3, a variação de corrente nesse indutor é muito semelhante à observada no indutor L_F . Os picos de corrente média observados são devido aos momentos em que ocorre a carga do capacitor C_1 , quando a forma de onda do valor retificado em onda completa da rede elétrica se aproxima do valor de pico (V_P).

Na figura 44 é demonstrada a forma de onda da corrente média (alternada) total de entrada do conversor, composta pela soma das formas de onda de corrente de L_F , que na forma alternada se assemelha a uma onda quadrada, e L_C , cujos picos de corrente do capacitor podem ser observados em cada semiciclo.

A figura 45 demonstra as formas de corrente instantânea e média no capacitor do conversor de compensação C_1 .

É possível visualizar os picos de carga, provenientes do indutor L_C , bem como a corrente de descarga do capacitor, que obedece ao comportamento da função razão cíclica variável, estabelecida por (3). Na forma de onda inferior, ao ser

computado o valor médio estabelecido pelo chaveamento variável de S1, é possível visualizar o formato de onda gerado por esta função.

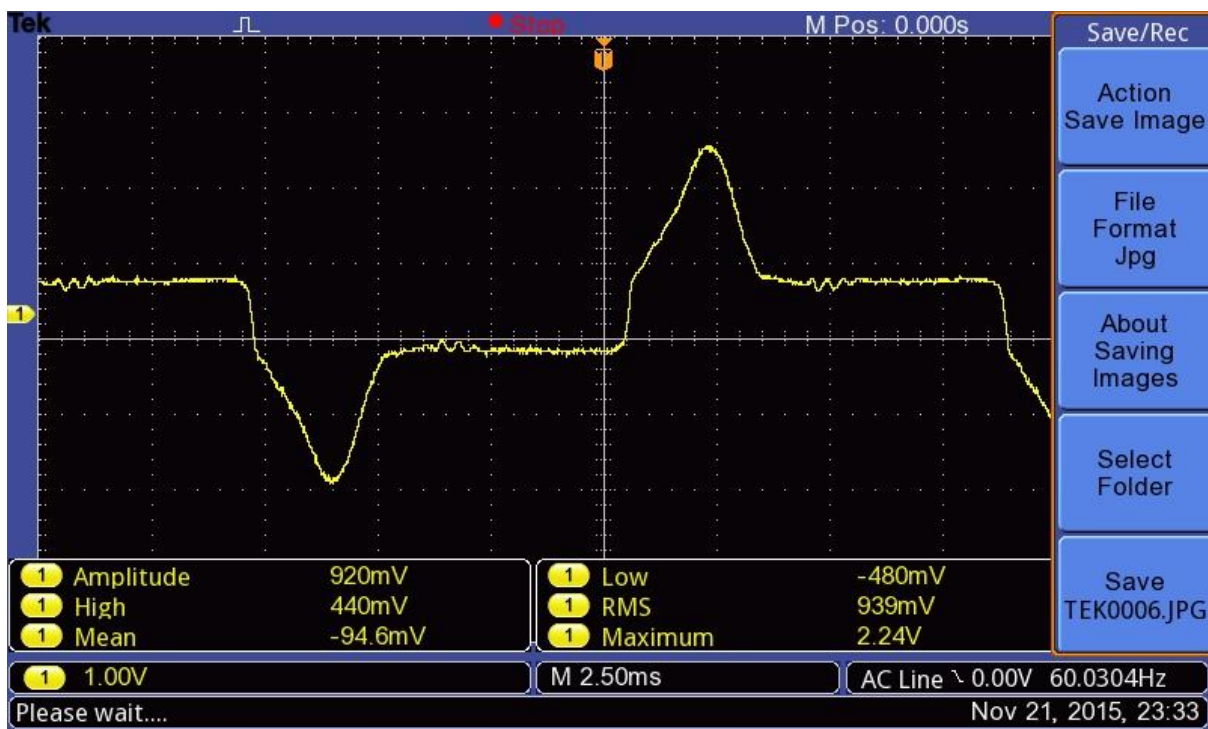


Figura 44 - Forma de onda de corrente de entrada do conversor.

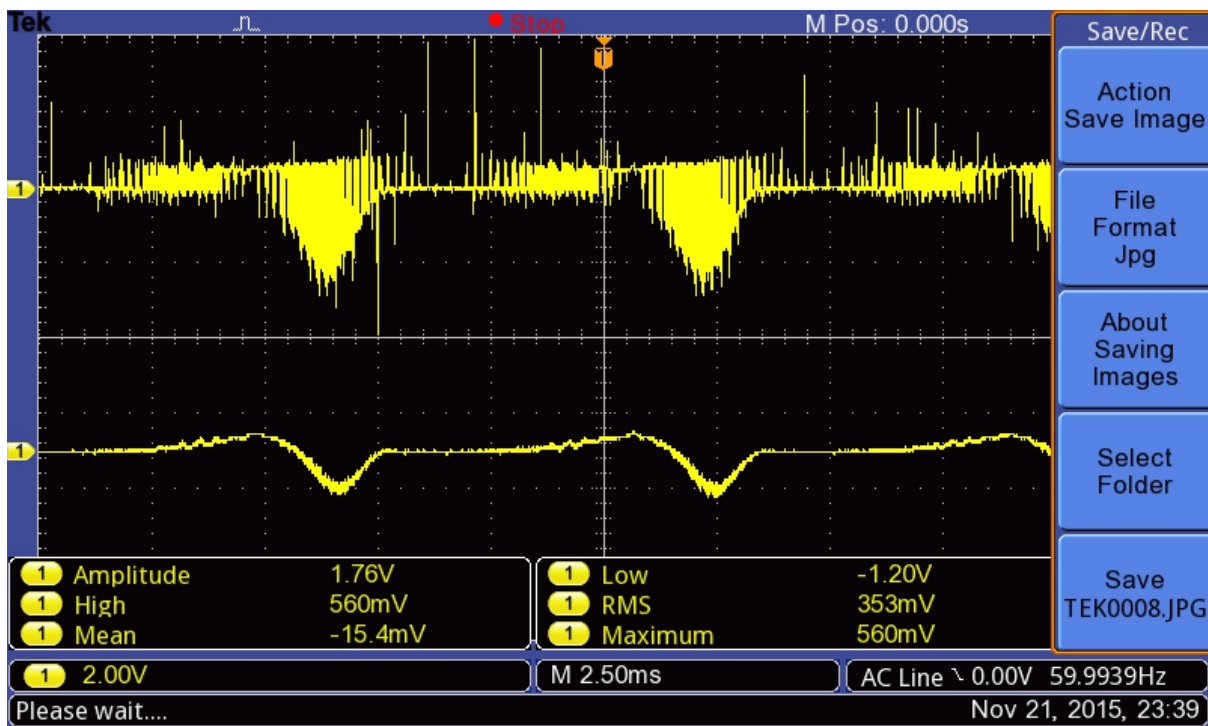


Figura 45 - Formas de onda de corrente instantânea e média no capacitor C1.

Na figura 46 são demonstradas as formas de onda instantânea e média na chave S1.

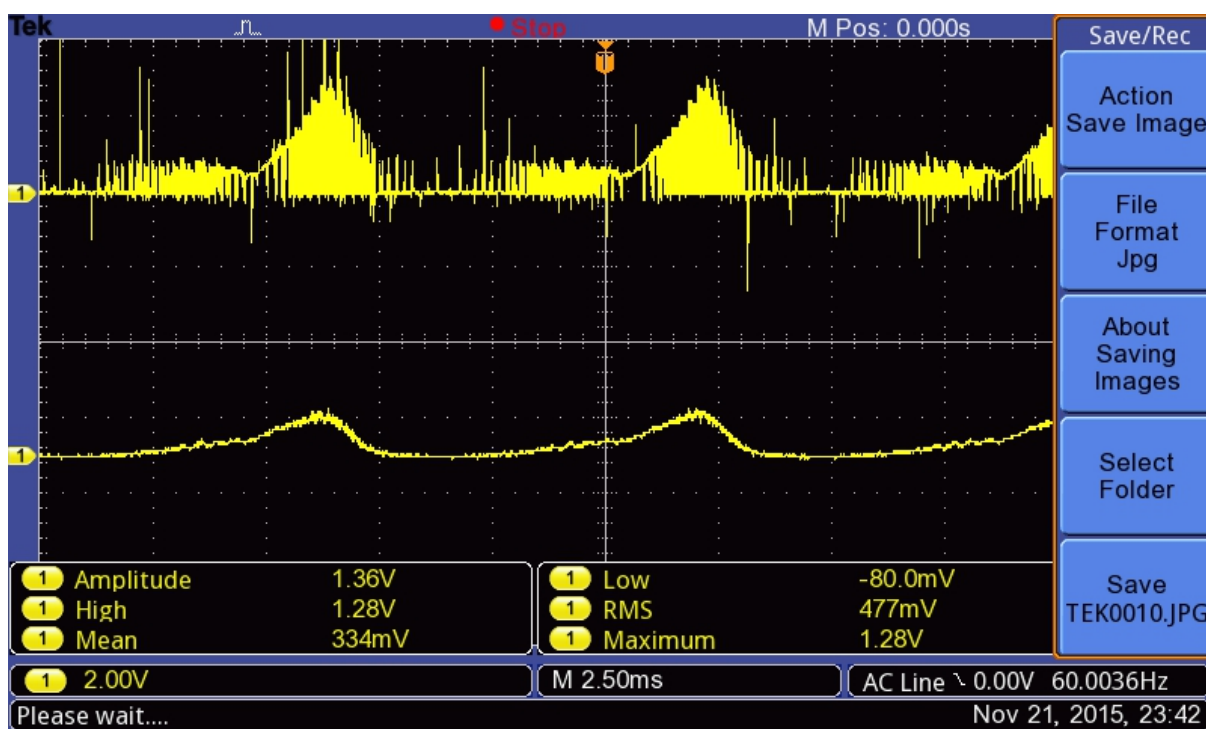


Figura 46 - Formas de onda de corrente instantânea e média na chave S1.

A corrente de descarga do capacitor C1 pode ser então visualizada separadamente, ao contrário do que ocorre na figura 45, onde é demonstrada juntamente com a corrente de carga.

A forma de tensão de entrada, juntamente com a tensão retificada (V_{AC}), é demonstrada na figura 47.

É possível observar uma leve deformação na onda, provavelmente ocasionada por interferência harmônica na rede elétrica aferida. Alguns dos resultados experimentais foram levemente afetados.

A tensão de saída do conversor de compensação é demonstrada na figura 48. O valor médio é também apresentado, para fins de visualização.

É possível visualizar a função PWM variável gerada, com o valor médio resultando na função definida por (3). A amplitude máxima em cada instante é a tensão do capacitor C1, sendo mínima nos instantes de vale da rede elétrica, quando a razão cíclica é máxima.

Na figura 49 é demonstrada a soma da tensão de saída do conversor de compensação (V_{SP}) e tensão de saída do retificador em ponte completa (V_{RET}). O resultado médio é também apresentado.

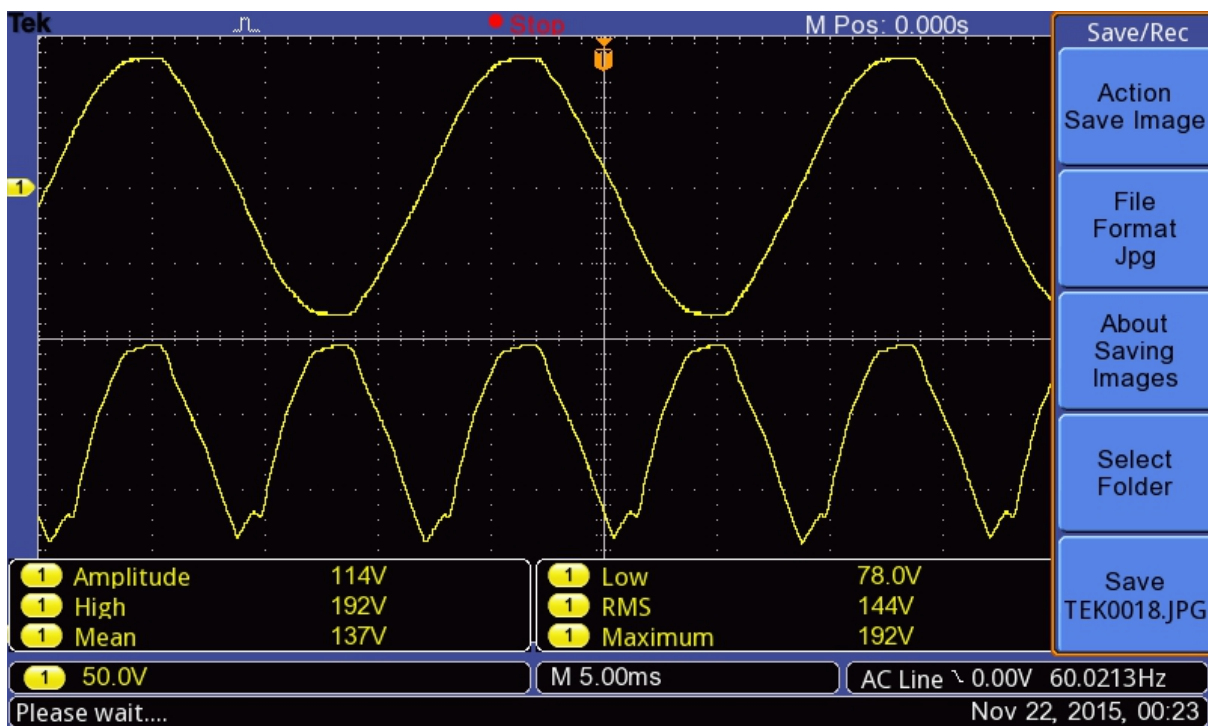


Figura 47 - Formas de onda de tensão de entrada e tensão retificada.

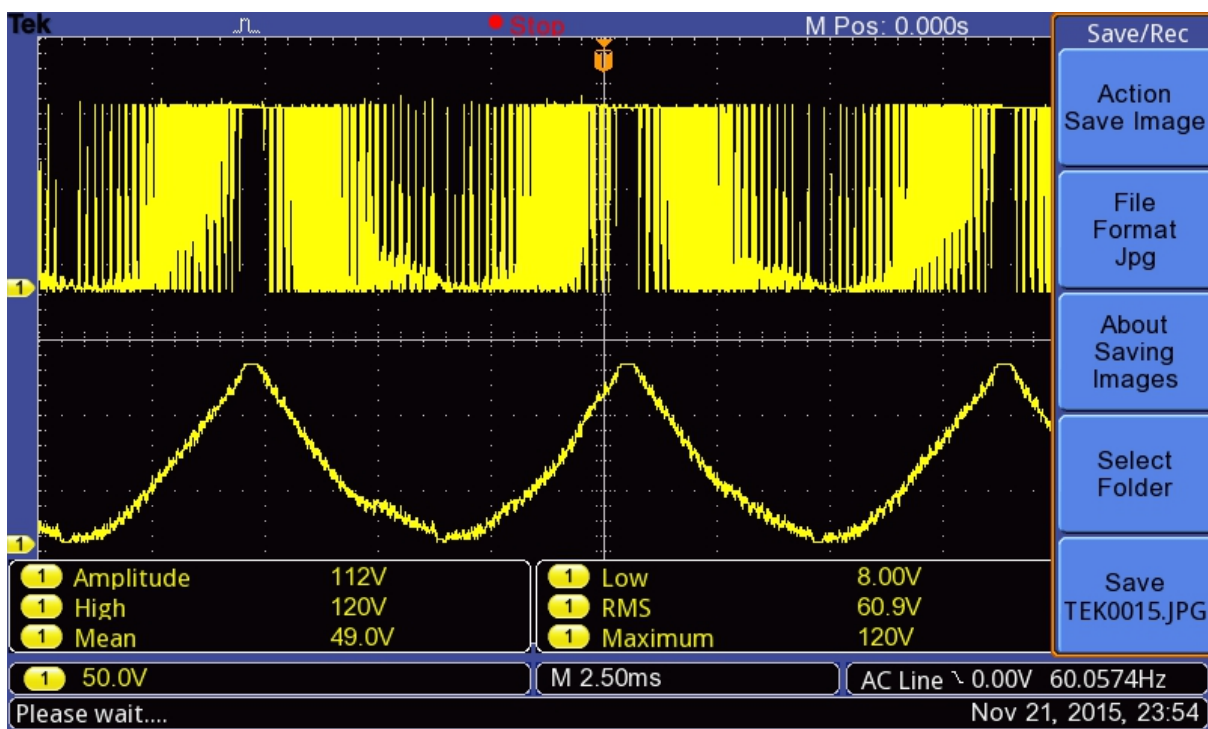


Figura 48 - Formas de onda instantânea e média da tensão de saída do conversor de compensação.

A forma de tensão do retificador SP (V_{O1}) é demonstrada na figura 50. Esta é a tensão de saída da topologia em estudo, tendo idealmente a tensão de valor de pico da rede elétrica, com ondulação projetada de acordo com o cálculo do capacitor C1. Esse formato de tensão é muito semelhante ao médio apresentado na figura 49,

justamente porque o filtro LC de saída, composto por L_F e C_F atuam como um filtro passa-baixa, filtrando a ondulação de alta frequência causada pelo chaveamento de S1 e efetivamente obtendo o valor médio em sua saída. Esta é a forma de tensão a ser utilizada na entrada do conversor de saída ou mesmo diretamente em uma carga, desde que essa tolere uma tensão em corrente contínua desta amplitude.

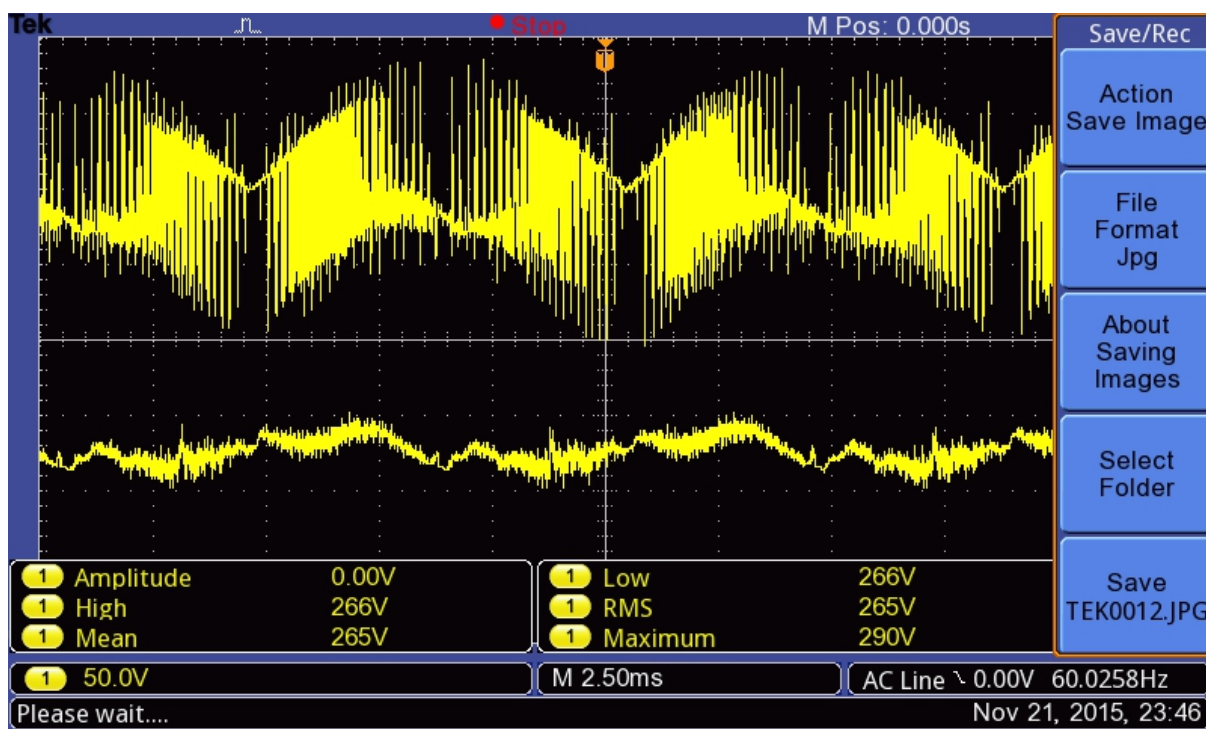


Figura 49 - Formas de onda instantânea e média da soma das tensões V_{RET} e V_{SP} .

A figura 51 demonstra a forma de tensão no capacitor C1. Conforme demonstrado na seção 3.7.1, sua ondulação de tensão deve ser aproximadamente o dobro da observada na saída.

O formato de tensão do conversor de saída (*buck*) é demonstrado na figura 52, sendo a forma tensão de saída final do circuito, aplicada à carga utilizada nos testes, composta por um *chip* LED de 32 V.

As ondulações de tensão e saída do conversor são modeladas de acordo com o projeto dos capacitores C1 e C_O . A ondulação em baixa frequência proveniente do retificador SP é somada à ondulação em alta frequência da chave S2. Em realidade, a metade do valor da ondulação do conversor de saída é somada à parte superior da amplitude da tensão V_{O1} , enquanto a outra metade é somada à parte inferior, totalizando uma unidade.

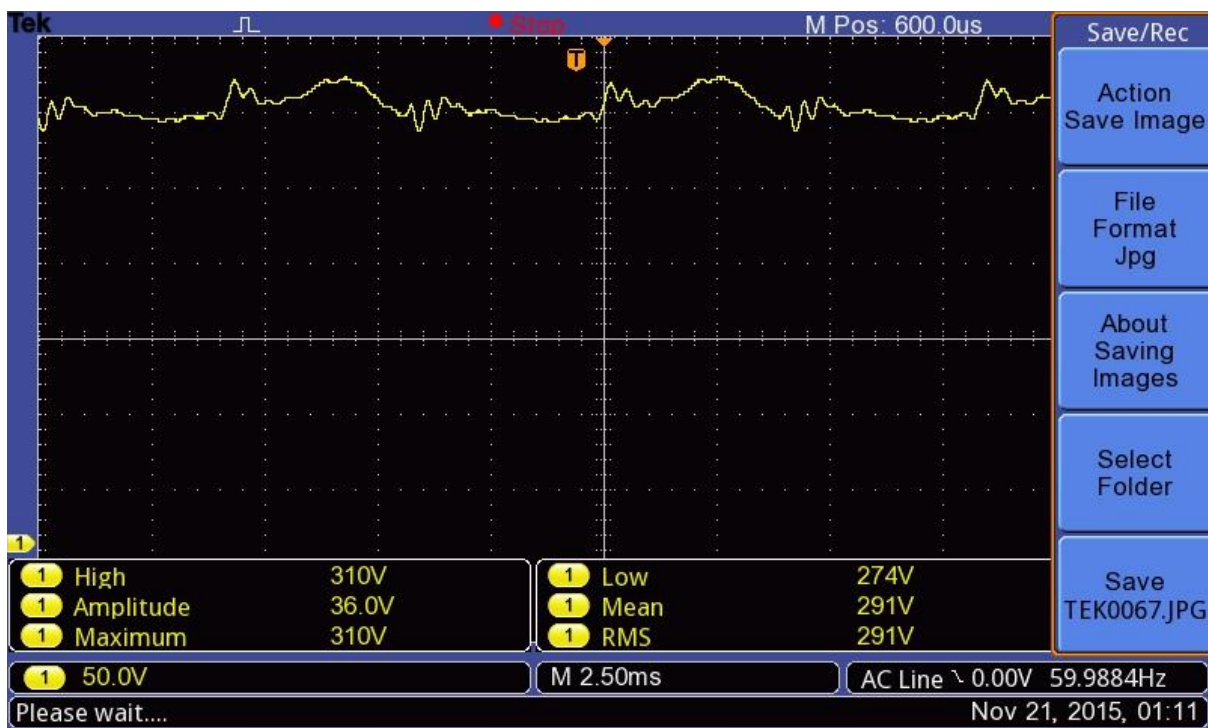


Figura 50 - Forma de onda de tensão de saída do retificador SP (primeiro estágio).

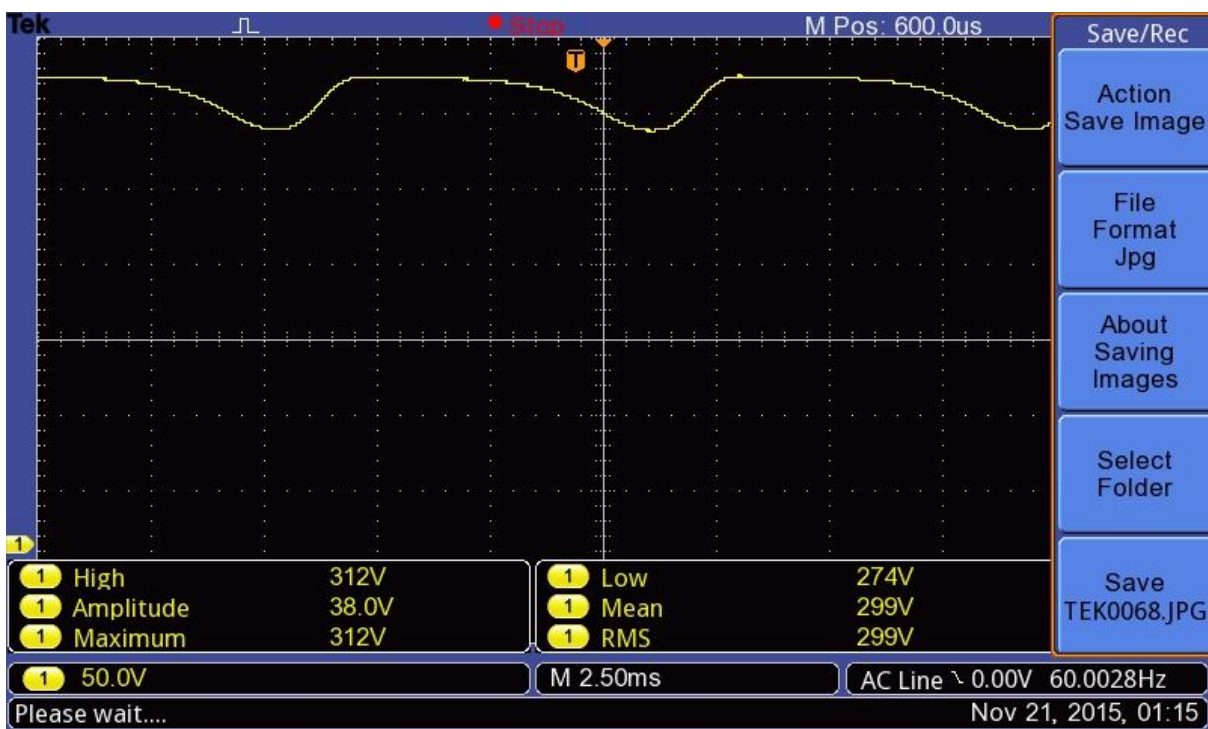


Figura 51 - Forma de onda de tensão do capacitor C1.

Embora esses valores sejam projetados para a ondulação de tensão por tratarem das ondulações dos capacitores, afetam diretamente o valor de ondulação de corrente de saída, mantendo níveis muito semelhantes. Os valores de ondulação de corrente calculados nos indutores são registrados apenas neles, pois ambos os

conversores possuem filtros LC em suas saídas, predominando as ondulações de tensão dos capacitores C_F e C_O . Por esse motivo, as ondulações de tensão e corrente de saída devem ter valores percentuais aproximados, idealmente iguais a 8,5% (Soma de $\Delta V_{CF}(\%)$ e $\Delta V_{CO}(\%)$). Uma possível justificativa para esse comportamento de ondulação de corrente pode ser a dinâmica de funcionamento do conversor abaixador, que tem como característica de funcionamento entrada controlada por tensão e saída controlada por corrente. Como foi demonstrado na figura 31, o retificador SP possui esta mesma dinâmica fundamental.

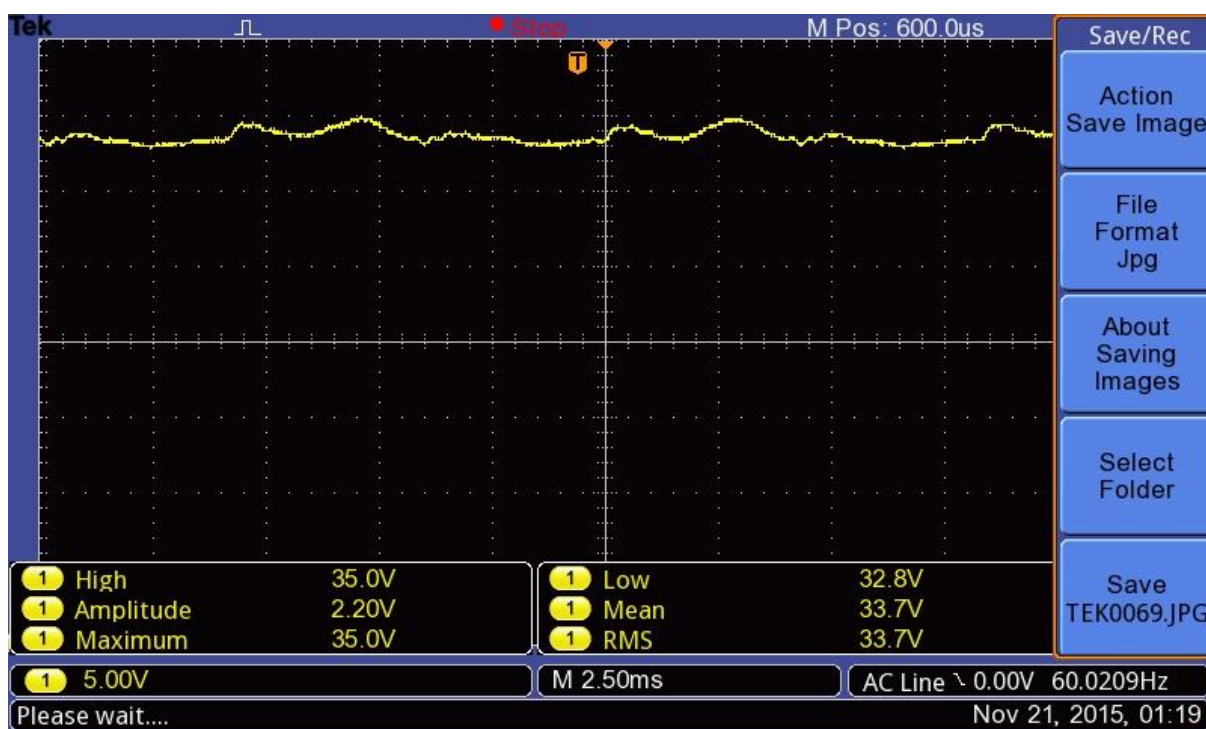


Figura 52 - Forma de onda de tensão de saída (V_O).

A figura 53 demonstra o formato de corrente de saída, I_O .

Para fins de comparação, a figura 54 demonstra a forma de onda de tensão de um retificador em ponte completa, com a mesma tensão de entrada e mesma capacitância ($20 \mu\text{F}$) como filtro. A ondulação de tensão aferida foi superior a 30%.

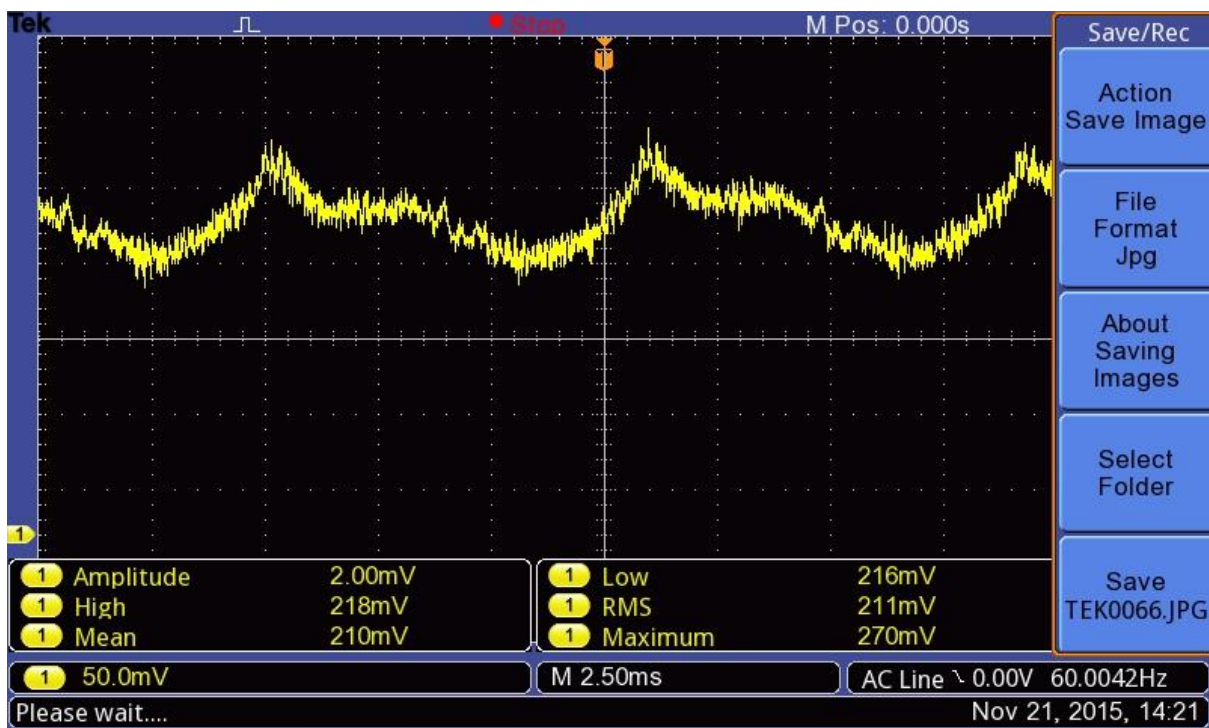


Figura 53 - Forma de onda de corrente de saída (I_o).

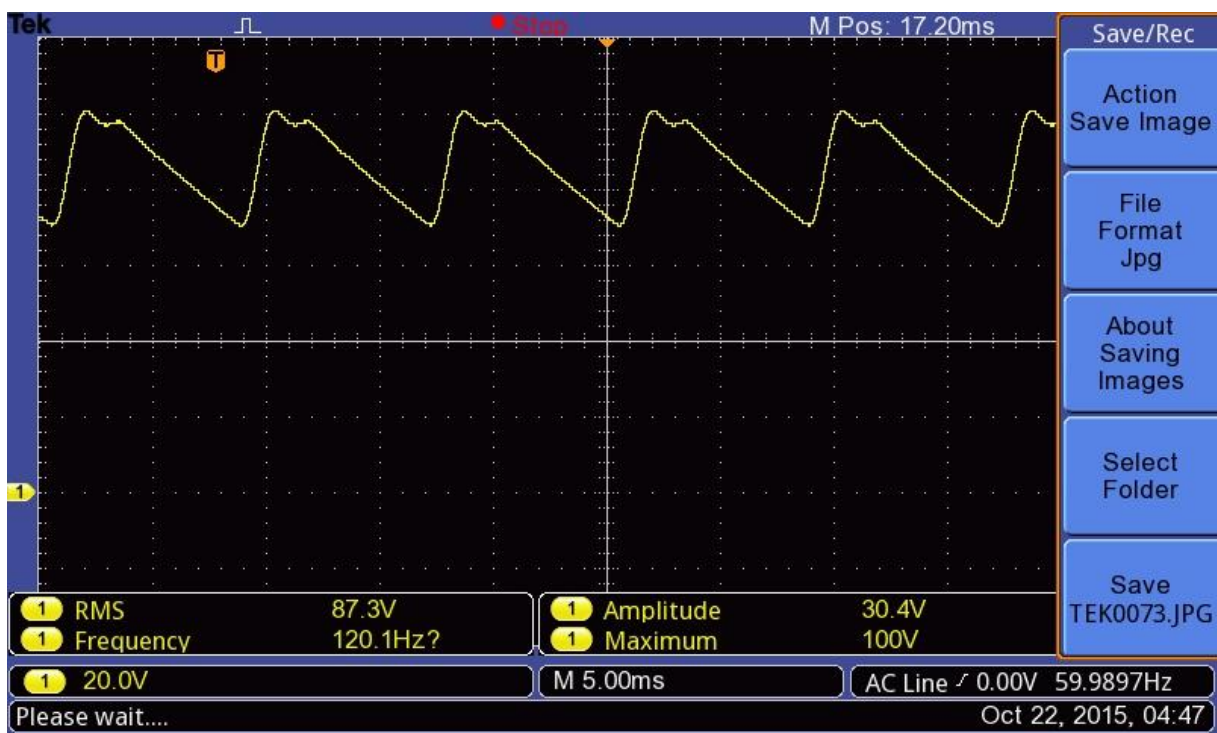


Figura 54 - Forma de onda de tensão de saída medida de um retificador em ponte completa

3.9.4 Características do protótipo

Conforme o projeto e dimensionamento descrito na seção 3.8.3, os componentes utilizados no protótipo são listados na tabela 6. Nesta lista não constam os componentes dos circuitos de acionamento dos transistores MOSFET, bem como suas fontes de alimentação e o circuito de sincronização com a rede elétrica.

Devido à posição dos transistores S1 e S2 no circuito, as fontes dos circuitos de *driver* necessitam ser isoladas, tanto do conversor quanto entre si. Um transformador de 200 mA com dois enrolamentos de secundário isolados foi utilizado para alimentar as duas fontes que alimentam os circuitos *driver* das chaves S1 e S2. Uma vez que a frequência de chaveamento não é elevada, o consumo desses é da ordem de 60 mA cada. Pontes retificadoras e reguladores lineares de tensão de 12 V foram utilizados na alimentação de cada um deles, a fim de assegurar sua proteção. A potência dissipada pelos reguladores é mínima se comparada à potência total do conversor, devido à baixa intensidade de corrente que os percorre, dispensando o uso de dissipadores de calor.

Tabela 6 - Listagem dos componentes eletrônicos do protótipo.

Componente	Símbolo	Valor
Diodo de aterramento do retificador de entrada	D1	MUR460
Diodos do retificador de entrada	D2, D3, D4, D5	MUR460
Diodo do circuito de carga	D _C	MUR460
Diodo de roda livre do conversor de saída	D6	MUR460
Indutor do circuito de carga	L _C	4,4 mH (I > 246 mA)
Indutor de saída do retificador SP	L _F	4,4 mH (I > 288 mA)
Indutor do conversor de saída	L _O	2,2 mH (I > 2,65 A)
Capacitor do conversor de compensação	C1	20 µF (350 V)
Capacitor de saída do retificador SP	C _F	0,47 µF (350 V)
Capacitor do conversor de saída	C _O	5 µF (50 V)
Transistor do conversor de compensação	S1	IRF840
Transistor do conversor de saída	S2	IRF840

Um circuito integrado opto-isolado foi utilizado para os circuitos de *driver*, o FOD3180, cujas características são listadas na tabela 7.

Tabela 7 - Especificações técnicas do circuito integrado FOD3180.

Parâmetro	Simbologia	Valor
Temperatura máxima de operação	T_{OPR}	-40 a 100°C
Tensão de alimentação	$V_{CC} - V_{EE}$	10 a 20 V
Frequência máxima de operação	$F_{S_{MÁX}}$	250 kHz
Máxima corrente de pico de saída	I_{Op}	2 A
Máxima potência dissipada	P_O	250 mW
Resistência em estado de condução	$R_{DS(ON)}$	1,5 Ω
Mínima rejeição em modo comum	—	15 kV/ μ s
Tensão máxima de isolamento	—	5 kV (1 min)
Tensão de entrada	V_F	1,43 V
Corrente de entrada	$I_{F(ON)}$	10 a 16 mA
Tempo de subida	t_R	75 ns
Tempo de descida	t_F	55 ns
Resistência entre entrada e saída	R_{I-O}	$10^{11} \Omega$ ($V_I - O = 500 V$)
Capacitância entre entrada e saída	C_{I-O}	1 pF ($F = 1 MHz$)

Na figura 55 são demonstrados o diagrama esquemático do circuito e o diagrama em blocos do componente.

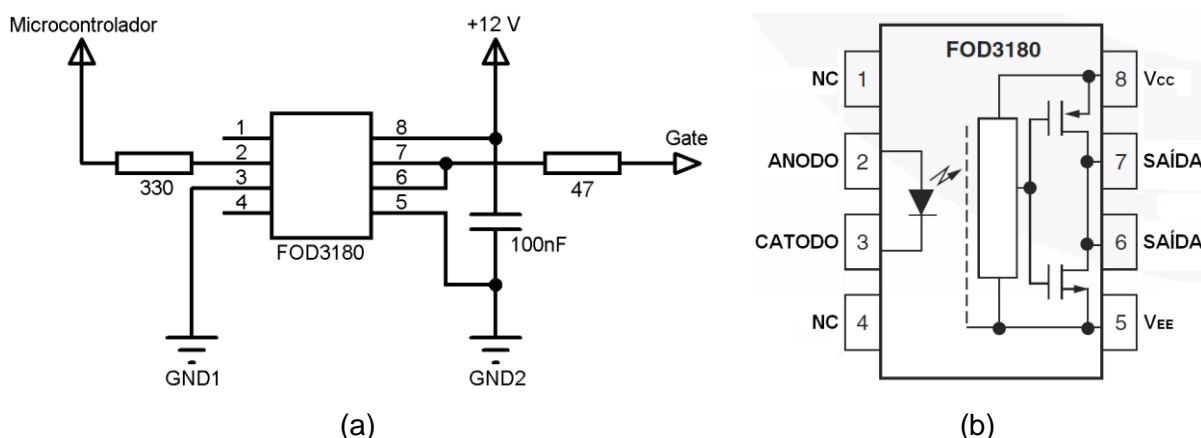


Figura 55 - Circuito driver utilizado. (a) Diagrama esquemático e (b) diagrama em blocos do CI FOD3180.

O circuito externo ao circuito integrado é extremamente simplificado, sendo composto por um capacitor de desacoplamento e dois resistores, com função de limitação de corrente de entrada do emissor foto-acoplado e corrente de saída para o acionamento da chave, respectivamente.

O diagrama esquemático completo do circuito, elaborado no software Proteus™, é demonstrado na figura 56.

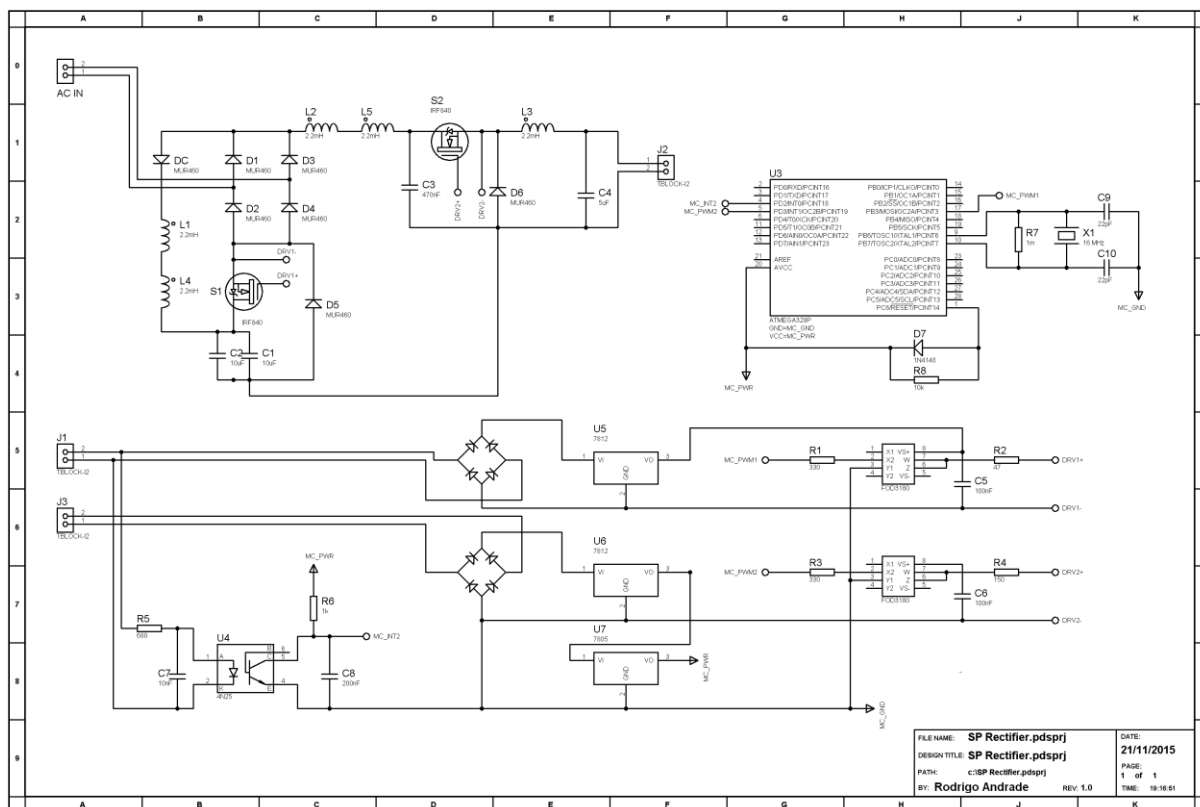


Figura 56 - Diagrama esquemático completo do circuito, em ambiente Proteus™.

O projeto da placa de circuito impresso, elaborado no mesmo programa, é demonstrado na figura 57.

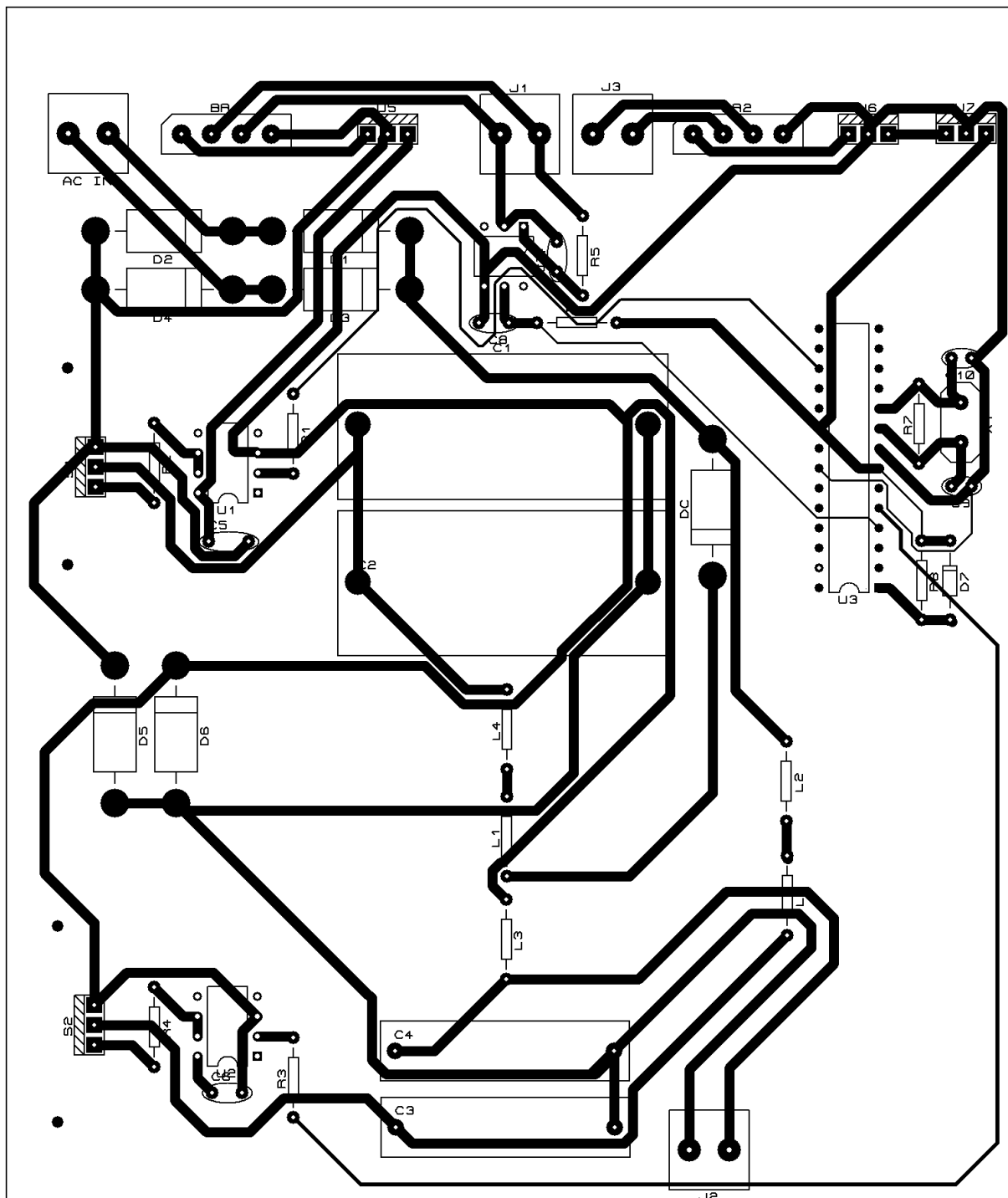


Figura 57 - Projeto da placa de circuito impresso utilizada para a construção do protótipo.

A foto do protótipo construído é demonstrada na figura 58.

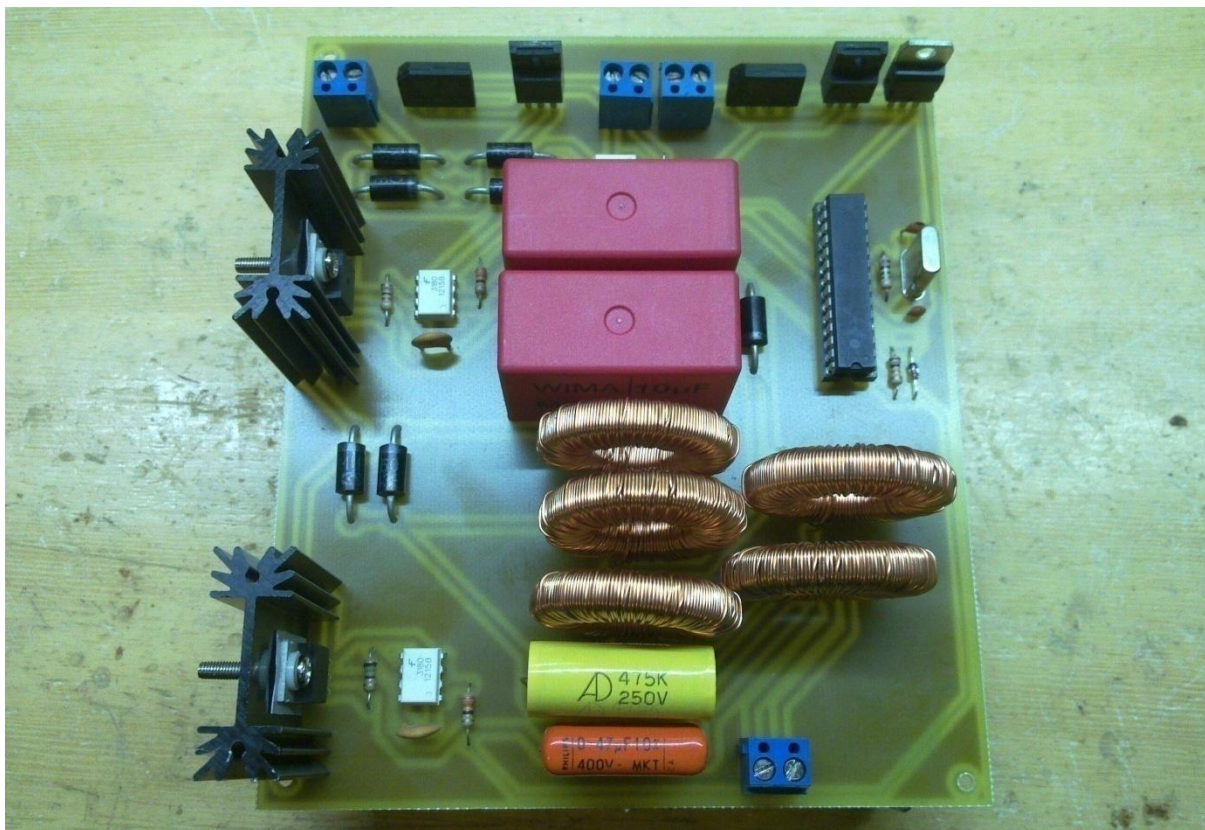


Figura 58 - Foto do protótipo do retificador SP com conversor abaixador na saída.

3.10 Comparação quantitativa entre topologias

Com a modelagem matemática apresentada na seção 3.7, é possível comparar quantitativamente a topologia retificadora proposta com as cinco outras apresentadas no capítulo 2, para os mesmos parâmetros de projeto, a fim de avaliar o valor de capacitância necessário para atingir um mesmo nível de ondulação. Uma ondulação de tensão de projeto de 7,7% foi utilizada para os cálculos, uma vez que é a ondulação registrada na saída do retificador SP nas simulações do protótipo (8,7% foram obtidos na saída final, tendo 1,0% de ondulação adicional originado no conversor abaixador de saída). Os resultados são complementares à análise qualitativa apresentada na seção 2.7 e são demonstrados na tabela 8. Nas equações listadas, P representa a potência do conversor, enquanto V_P , V_{LP} e V_{CMIN} representam a tensão de pico, tensão de pico de linha e tensão mínima a ser atingida pelo capacitor, respectivamente.

Tabela 8 - Comparação quantitativa entre as topologias retificadoras apresentadas.

Retificador	Equação para C	C para $\Delta V_o=7,7\%$
Monofásico meia ponte a diodos ¹	$C_F = \frac{2 \cdot P}{F \cdot (V_P^2 - V_{C_{MIN}}^2)}$	197,42 μ F
Monofásico ponte completa a diodos ¹	$C_F = \frac{P}{F \cdot (V_P^2 - V_{C_{MIN}}^2)}$	98,71 μ F
Monofásico ponte completa a tiristores ¹	$C_F = \frac{P}{F \cdot (V_P^2 - V_{C_{MIN}}^2)}$	98,71 μ F
Trifásico a diodos com ponto médio ¹	$C_F = \frac{2 \cdot P}{3 \cdot F \cdot (V_P^2 - V_{C_{MIN}}^2)}$	65,81 μ F
Trifásico a diodos de onda completa ^{1,2}	$C_F = \frac{P}{6 \cdot F \cdot (V_{L_P}^2 - V_{C_{MIN}}^2)}$	16,45 μ F
SP	$C1 = \frac{0,091 \cdot P}{V_P^2 \cdot F \cdot \Delta V_o(\%)}$	17,77 μF

¹ [2].² Considerado $V_{L_P} = 311$ V.

3.11 Conclusões

O desenvolvimento da topologia passou por diversos estágios, chegando-se finalmente a uma topologia viável em nível de simulações e posteriores otimizações, até obter-se a topologia final, utilizada na construção do protótipo. Com a modelagem matemática elaborada, é possível projetar o retificador proposto para valores arbitrários de potência de saída, tendo como limitação mínima o valor da indutância L_F , que aumenta com a diminuição da potência, e limitação máxima o valor de capacitância a ser utilizado em C1 em função dos níveis de ondulação de tensão e corrente de saída desejados. Embora a tecnologia recomendada para capacitores desse projeto (capacitores de poliéster) possua valores comerciais limitados atualmente a 80 μ F, é possível associar vários desses em paralelo, a fim de possibilitar o projeto em altas potências com baixos níveis de ondulação.

Os testes com o protótipo ocorreram conforme o esperado para o comportamento do circuito. Algumas diferenças entre as formas de onda simuladas e aferidas foram registradas, produto provável das características não ideais dos componentes, como perdas e atrasos em resposta. Também foram registradas deformações na forma de onda de entrada, provenientes de conteúdo harmônico da rede elétrica do local utilizado para realizar os testes (principalmente terceira harmônica), o que afeta negativamente os resultados fornecidos.

O comportamento geral do circuito obedeceu aos padrões de projeto e simulações, provando que a topologia é viável a nível prático. Os níveis de ondulação, apesar de mais elevados do que nas simulações, se mantiveram baixos.

4 CONCLUSÃO

Através da elaboração de uma topologia simples, foi possível manter baixos níveis de ondulação de tensão e corrente de saída mesmo com valores limitados de capacitância, possibilitando assim o uso de capacitores de poliéster, aumentando o tempo de vida útil do conversor e da carga ligada a ele.

Espera-se a aplicação desse conversor não apenas a dispositivos LED, mas quaisquer sistemas que operem em CC e que necessitem de elevada vida útil ou maior temperatura de operação. Além disso, o custo final deve ser baixo, pois em termos de componentes é uma topologia simples.

A topologia retificadora proposta pode ser empregada na substituição de qualquer retificador monofásico, utilizado como entrada de conversores abaixadores e elevadores, tornando sua aplicação vasta. Suas limitações, em comparação a outros conversores não lineares, se limitam à sua potência mínima de projeto, uma vez que o valor do indutor L_C pode alcançar valores comercialmente inviáveis para pequenas potências (superior a 10 mH para potências de saída inferiores a 40 W).

Os resultados obtidos com o protótipo foram satisfatórios, uma vez que foi provada a viabilidade prática do circuito. Uma capacitância de 20 μF foi utilizada para obter ondulações de tensão e corrente da ordem de 10 % em um conversor de 85 W.

Ao atuar já no processo de retificação da corrente de entrada, é possível atenuar os níveis de ondulação de forma eficaz, propiciando um melhor aproveitamento da energia proveniente da rede elétrica. Foi utilizada uma técnica inédita de compensação ativa de ondulação de baixa frequência, e a topologia proposta está em processo de patente.

Para o controle da chave, foi utilizado um microcontrolador no protótipo. No caso de produção em massa, um circuito integrado pode ser desenvolvido especificamente para desempenhar essa função, a fim de reduzir custos, assim como é praticado em outras topologias de conversores.

4.1 Sugestões para trabalhos futuros

Há muitos melhoramentos a serem feitos, desta forma sugere-se os seguintes temas:

- Correção de fator de potência e distorção harmônica;
- Controle em malha fechada do retificador SP;
- Estudo do impacto nas ondulações de tensão e corrente da defasagem entre o chaveamento dos transistores do retificador SP e conversor de saída;
- Estudo da dinâmica do circuito quando aplicada a outros tipos de conversor de saída;
- Estudo detalhado do comportamento do conversor com cargas predominantemente indutivas e capacitivas.

5 REFERÊNCIAS

- [1] [USDE] U.S. Department of Energy. **Lifetime of White LEDs**. 2009.
- [2] BARBI, I. **Eletrônica de Potência – edição do autor**. 2006.
- [3] POMILIO, J.A. **Circuitos com transistores MOSFET: aplicação em fonte chaveada operando com Modulação por Largura de Pulso, com controle da tensão de saída**. 2013.
- [4] BARTH, C.B. MOON, I. LEI, Y. QIN, S., PILAWA, P. **Experimental Evaluation of Capacitors for Power Buffering in Single-Phase Power Converters**. 2015.
- [5] EPCOS. **Electrolytic Capacitor Design Notes and Specifications**. 2014.
- [6] Y.X. Qin,; H.S.H. Chung, D.Y. Lin,; S.Y.R. Hui. **Current source ballast for high power lighting emitting diodes without electrolytic capacitor**. 34th Annual Conference of IEEE Industrial Electronics, 2008. IECON 2008. 10-13 Nov. 2008 Páginas: 1968 – 1973.
- [7] WANG, S. RUAN, X. YAO, K., TAN, S.C. **A Flicker-Free Electrolytic Capacitor-Less AC-DC LED Driver**. 2012.
- [8] EPCOS. **PET Capacitor Design Notes and Specifications**. 2015.
- [9] H. Chang and Y.-S. Lai, **Novel AC driver and protection circuits with dimming control for light emitting diodes**. 2007.
- [10] CHEN, W. **A Comparative Study on the circuit Topologies for Offline Passive Light-Emitting Diode (LED) Drivers with Long Lifetime & High Efficiency**. 2010
- [11] G. A. Onushkin, Y.-J. Lee, J.-J. Yang, H.-K. Kim, J.-K. Son, G.-H. Park, and Y. Park, **Efficient alternating current operated white light emitting diode chip**. 2009.
- [12] H. Broeck, G. Sauerländer, and M. Wendt. **Power driver topologies and control schemes for LEDs**. 2007.
- [13] R.-L. Lin and Y.-F. Chen. **System analysis of DCM dual-loop controlled light-emitting-diode boost driver**. 2009.
- [14] J.-S. Kim, Y.-K. Lee, J.-S. Lee, Y.-K. Shin, J.-H. Tark, K.-C. Ryu, and B.-D. Yang. **Fast-switching current-pulse drivers for LED backlight** 2009.
- [15] I. Vogels, D. Sekulovski, M. Perz. **Visible artefacts of LEDs**. 2012.
- [16] OWEN, E. L. **Power Disturbance and Quality: Light Flicker Voltage Requirements**. 1996.
- [17] LI, X.P. CHEN, L. **An Approach of LED Lamp System Lifetime Prediction**. 2011.
- [18] YUNDT, G. **Series or Parallel-Connected Composite Amplifiers**. 1983.

- [19] SADIKU, M. N. O. ALEXANDER, C. K. **Fundamentals of Electric Circuits – Fifth Edition.** 2012.
- [20] BALIGA, B. J. **Fundamentals of Power Semiconductor Devices.** 2008.
- [21] Application notes MOS-006. **Power MOSFET Continuous Drain Current Rating and Bonding Wire Limitation.** 2009.
- [22] POMILIO, J.A. **Topologias Básicas de Fontes Chaveadas.** 2009.

APÊNDICE I – Programa de comando do micro controlador (C++)

```

int PWMpin = 11;           // Pino PWM do conversor de compensação
int BUCKpin = 3;          // Pino PWM fixo do conversor de saída
int REFpin = 9;           // Pino de referencia (visualização PWM)
float sinrad;
int PWMout;
int time0=0;
int sinetable[180];       // Vetor para aproximações a cada 2°
volatile int i=45;
unsigned long tempo=0;
unsigned long tempo1=0;
int tempo2=1;
int start=0;

void setup()
{
  //1 = 31372.55 | 2 = 3921.16 | 3 = 980.39 | 4 = 490.2 | 5 = 245. |
  6 = 122.5 | 7 = 30.6 Hz
  //TCCR0B = 0x03;           // PWM = 980Hz (pins 5,
  6) - USED BY MILLIS() and DELAY() functions
  //TCCR1B = 0x03;           // PWM = 490Hz (pins 9,
  10)
  TCCR2B = 0x01;           // PWM = 31.4KHz (pins
  3, 11)

  Serial.begin(115200);     // Monitoramento via serial/USB
  pinMode(REFpin, OUTPUT); // Pino de referencia -> saída
  analogWrite(BUCKpin, 22); // Razão cíclica do PWM fixo
  sinetable[0]=255;        // Tabela de vetores
  sinetable[1]=246;
  sinetable[2]=237;
  sinetable[3]=228;
  sinetable[4]=220;
  sinetable[5]=211;
  sinetable[6]=202;
  sinetable[7]=193;
  sinetable[8]=185;
  sinetable[9]=176;
  sinetable[10]=168;
  sinetable[11]=159;
  sinetable[12]=151;
  sinetable[13]=143;
  sinetable[14]=135;
  sinetable[15]=128;
  sinetable[16]=120;
  sinetable[17]=112;
  sinetable[18]=105;
  sinetable[19]=98;
  sinetable[20]=91;
  sinetable[21]=84;
  sinetable[22]=78;
  sinetable[23]=72;
  sinetable[24]=65;
  sinetable[25]=60;

```

```
sinetable[26]=54;  
sinetable[27]=49;  
sinetable[28]=44;  
sinetable[29]=39;  
sinetable[30]=34;  
sinetable[31]=30;  
sinetable[32]=26;  
sinetable[33]=22;  
sinetable[34]=19;  
sinetable[35]=15;  
sinetable[36]=12;  
sinetable[37]=10;  
sinetable[38]=8;  
sinetable[39]=6;  
sinetable[40]=4;  
sinetable[41]=2;  
sinetable[42]=1;  
sinetable[43]=1;  
sinetable[44]=0;  
sinetable[45]=0;  
sinetable[46]=0;  
sinetable[47]=1;  
sinetable[48]=1;  
sinetable[49]=2;  
sinetable[50]=4;  
sinetable[51]=6;  
sinetable[52]=8;  
sinetable[53]=10;  
sinetable[54]=12;  
sinetable[55]=15;  
sinetable[56]=19;  
sinetable[57]=22;  
sinetable[58]=26;  
sinetable[59]=30;  
sinetable[60]=34;  
sinetable[61]=39;  
sinetable[62]=44;  
sinetable[63]=49;  
sinetable[64]=54;  
sinetable[65]=60;  
sinetable[66]=65;  
sinetable[67]=72;  
sinetable[68]=78;  
sinetable[69]=84;  
sinetable[70]=91;  
sinetable[71]=98;  
sinetable[72]=105;  
sinetable[73]=112;  
sinetable[74]=120;  
sinetable[75]=128;  
sinetable[76]=135;  
sinetable[77]=143;  
sinetable[78]=151;  
sinetable[79]=159;  
sinetable[80]=168;  
sinetable[81]=176;
```

```
sinetable[82]=185;
sinetable[83]=193;
sinetable[84]=202;
sinetable[85]=211;
sinetable[86]=220;
sinetable[87]=228;
sinetable[88]=237;
sinetable[89]=246;
sinetable[90]=255;
sinetable[91]=246;
sinetable[92]=237;
sinetable[93]=228;
sinetable[94]=220;
sinetable[95]=211;
sinetable[96]=202;
sinetable[97]=193;
sinetable[98]=185;
sinetable[99]=176;
sinetable[100]=168;
sinetable[101]=159;
sinetable[102]=151;
sinetable[103]=143;
sinetable[104]=135;
sinetable[105]=128;
sinetable[106]=120;
sinetable[107]=112;
sinetable[108]=105;
sinetable[109]=98;
sinetable[110]=91;
sinetable[111]=84;
sinetable[112]=78;
sinetable[113]=72;
sinetable[114]=65;
sinetable[115]=60;
sinetable[116]=54;
sinetable[117]=49;
sinetable[118]=44;
sinetable[119]=39;
sinetable[120]=34;
sinetable[121]=30;
sinetable[122]=26;
sinetable[123]=22;
sinetable[124]=19;
sinetable[125]=15;
sinetable[126]=12;
sinetable[127]=10;
sinetable[128]=8;
sinetable[129]=6;
sinetable[130]=4;
sinetable[131]=2;
sinetable[132]=1;
sinetable[133]=1;
sinetable[134]=0;
sinetable[135]=0;
sinetable[136]=0;
sinetable[137]=1;
```

```
sinetable[138]=1;
sinetable[139]=2;
sinetable[140]=4;
sinetable[141]=6;
sinetable[142]=8;
sinetable[143]=10;
sinetable[144]=12;
sinetable[145]=15;
sinetable[146]=19;
sinetable[147]=22;
sinetable[148]=26;
sinetable[149]=30;
sinetable[150]=34;
sinetable[151]=39;
sinetable[152]=44;
sinetable[153]=49;
sinetable[154]=54;
sinetable[155]=60;
sinetable[156]=65;
sinetable[157]=72;
sinetable[158]=78;
sinetable[159]=84;
sinetable[160]=91;
sinetable[161]=98;
sinetable[162]=105;
sinetable[163]=112;
sinetable[164]=120;
sinetable[165]=128;
sinetable[166]=135;
sinetable[167]=143;
sinetable[168]=151;
sinetable[169]=159;
sinetable[170]=168;
sinetable[171]=176;
sinetable[172]=185;
sinetable[173]=193;
sinetable[174]=202;
sinetable[175]=211;
sinetable[176]=220;
sinetable[177]=228;
sinetable[178]=237;
sinetable[179]=246;

cli();          //stop interrupts
               //set timer1 interrupt at 60Hz:
TCCR1A = 0;    //set entire TCCR1A register to 0
TCCR1B = 0;    // same for TCCR1B
TCNT1  = 0;    // initialize counter value to 0

//set compare match register for 60hz increments
OCR1A = 1854; // = [(16*10^6) / (60*8) - 1] (must be <65536);
           //1483 @ 16MHz or 1854 @ 20MHz.
TCCR1B |= (1 << WGM12);          // turn on CTC mode
//TCCR1B |= (1 << CS12) | (1 << CS10);    // Set CS10 and CS12 bits
for 1024 prescaler
```

```

    TCCR1B |= (1 << CS10);           // Set CS10 bit for prescaler=1
    TIMSK1 |= (1 << OCIE1A);        // enable timer compare interrupt
    sei();                           // allow interrupts
}

void loop()
{
    delay(1000);
    Serial.print(tempo2);           // Verificação de sincronia
    Serial.print(" Time: ");
    Serial.println(millis());
    tempo=0;
    tempo2=tempo2+1;
}

ISR(TIMER1_COMPA_vect)             // Rotina de interrupção para
                                   // temporização entre variações de razão
                                   // cíclica (~92.59µS)
{
    if(start==1)                   // Aguarda 1° pulso de sincronização
    {
        sinrad=sinetable[i++];
    }

    if(i==1)                        // Trigger auxiliar - testes de
                                   // sincronização com a rede
    {
        digitalWrite(REFpin,HIGH);
    }
    if(i==25)
    {
        digitalWrite(REFpin,LOW);
    }
    if(i==174)
    {
        digitalWrite(REFpin,HIGH);
    }
    if(i==175)
    {
        digitalWrite(REFpin,LOW);
    }
    if(i==176)
    {
        digitalWrite(REFpin,HIGH);
    }
    if(i==177)
    {
        digitalWrite(REFpin,LOW);
    }
    if(i==178)
    {
        digitalWrite(REFpin,HIGH);
    }
    if(i==179)
    {
        digitalWrite(REFpin,LOW);
    }
}

```

```
    }

    if(i==180)
    {
        i=0;
    }
    analogWrite(PWMpin, sinrad);
    tempo=tempo+1;
    attachInterrupt(0, INT_SYNC, FALLING);    // int0 = digital pin 2
}

void INT_SYNC()        // Rotina de interrupção para entrada externa
                      // de sincronização com a rede (pino 2)
{
    i=3;                // Defasagem de 3 (6°) devido ao atraso de
                      // resposta do circuito de sincronização
    start=1;           // Flag de primeira sincronização com a rede
}
```