

Universidade Federal do Pampa

Felipe Zemolin Righi

**Projeto de Filtro Passa-Baixas e Amplificador de Ganho Programável para Front-End
Analógico de ECG em CMOS 28 nm.**

Alegrete

2025

Felipe Zemolin Righi

**Projeto de Filtro Passa-Baixas e Amplificador de Ganho Programável para Front-End
Analógico de ECG em CMOS 28 nm.**

Trabalho de Conclusão de Curso apresentado
ao Curso de Bacharelado em Engenharia
Elétrica como requisito parcial para obtenção
do título de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Alessandro Gonçalves
Girardi

Alegrete
2025

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

R571p Righi, Felipe

Projeto de Filtro Passa-Baixas e Amplificador de Ganho
Programável para Front-End Analógico de ECG em CMOS 28 nm /
Felipe Righi.

86 p.

Trabalho de Conclusão de Curso(Graduação)-- Universidade
Federal do Pampa, ENGENHARIA ELÉTRICA, 2025.

"Orientação: Alessandro Girardi".

1. CMOS. 2. Silício. 3. Filtros. 4. Amplificadores. 5.
Eletrocardiograma. I. Título.

FELIPE ZEMOLIN RIGHI

**PROJETO DE FILTRO PASSA-BAIXA E AMPLIFICADOR DE GANHO PROGRAMÁVEL PARA
FRONT-END ANALÓGICO DE ECG EM CMOS 28 nm**

Trabalho de Conclusão de Curso
apresentado ao Curso de Engenharia
Elétrica da Universidade Federal do
Pampa, como requisito parcial para
obtenção do Título de Bacharel em
Engenharia Elétrica.

Dissertação defendida e aprovada em: 15 de dezembro de 2025.

Banca examinadora:

Prof. Dr. Alessandro Gonçalves Girardi

Orientador

UNIPAMPA

Prof. Dr. Paulo César Comassetto de Aguirre

UNIPAMPA

Prof. Dr. Alessandro Botti Benevides

UNIPAMPA



Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 15/12/2025, às 17:22, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 15/12/2025, às 17:25, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **ALESSANDRO BOTTI BENEVIDES, PROFESSOR DO MAGISTERIO SUPERIOR**, em 16/12/2025, às 15:37, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **1912640** e o código CRC **8F8A9212**.

”Segure na mão de Deus e vá”
(*“Lirba Maria P.Z, avó*)

RESUMO

Este Trabalho de Conclusão de Curso apresenta o projeto e a análise de um Front-End Analógico (AFE) para a aquisição de sinais de eletrocardiograma (ECG), implementado em tecnologia CMOS TSMC 28 nm e projetado para integração em um System-on-Chip (SoC). O sistema proposto é composto por um Filtro Passa-Altas (FPA), um Amplificador de Instrumentação (AI), um circuito Driven Right Leg (DRL), um Filtro Passa-Baixas (FPB) e um Amplificador de Ganho Programável (PGA), sendo o foco deste trabalho o projeto detalhado dos blocos FPB e PGA, fundamentais para a supressão de ruídos e adaptação do ganho às variações do sinal de ECG. Como etapa preliminar, foi realizada a modelagem comportamental do AFE em Verilog-A e SystemVerilog, utilizando modelos ideais para representar os blocos internos e os circuitos equivalentes do corpo humano e dos eletrodos, servindo de base para a definição das especificações e validação inicial da arquitetura. No desenvolvimento em CMOS, o FPB foi projetado como um filtro gm-C de segunda ordem com resposta de Butterworth e frequência de corte de 269,66 Hz, enquanto o PGA foi implementado com ganho programável entre 112,5 V/V e 450 V/V. As simulações elétricas demonstraram conformidade com as especificações de frequência, ganho e estabilidade, confirmando a viabilidade do projeto, cujos resultados indicam desempenho competitivo em termos de consumo, área e qualidade do sinal, reforçando a contribuição deste trabalho para o desenvolvimento de sistemas integrados aplicados à aquisição de sinais biomédicos.

Palavras-chave: Analog Front End (AFE), Eletrocardiograma (ECG), Filtro Passa-Baixas (FPB), Amplificador de Ganho Programável (PGA), Sinal analógico, Modelo comportamental, Tecnologia CMOS TSMC 28nm.

ABSTRACT

This Final Undergraduate Project presents the design and analysis of an Analog Front-End (AFE) for electrocardiogram (ECG) signal acquisition, implemented in TSMC 28 nm CMOS technology and designed for integration into a System-on-Chip (SoC). The proposed system is composed of a High-Pass Filter (HPF), an Instrumentation Amplifier (IA), a Driven Right Leg (DRL) circuit, a Low-Pass Filter (LPF), and a Programmable Gain Amplifier (PGA), with the focus of this work being the detailed design of the LPF and PGA blocks, which are fundamental for noise suppression and gain adaptation to ECG signal variations. As a preliminary step, a behavioral modeling of the AFE was carried out in Verilog-A and SystemVerilog, using ideal models to represent both the internal blocks and the equivalent circuits of the human body and electrodes, serving as the basis for specification definition and initial architecture validation. In the CMOS development, the LPF was designed as a second-order gm-C filter with a Butterworth response and a cutoff frequency of 269.66 Hz, while the PGA was implemented with programmable gain ranging from 112.5 V/V to 450 V/V. Electrical simulations demonstrated compliance with frequency, gain, and stability specifications, confirming the feasibility of the project. The results indicate competitive performance in terms of power consumption, area, and signal quality, reinforcing the contribution of this work to the development of integrated systems applied to biomedical signal acquisition.

Keywords: Analog Front End (AFE), Electrocardiogram (ECG), Low-Pass Filter (LPF), Programmable Gain Amplifier (PGA), Analog Signal, Behavioral Model, TSMC 28nm CMOS Technology.

LISTA DE FIGURAS

Figura 1 – Ciclo saudável Cardíaco.	17
Figura 2 – Aquisição de ECG por Dispositivo Vestível.	19
Figura 3 – AFE Completo.	19
Figura 4 – Modelo Elétrico do Corpo Humano com Interferência Eletromagnética.	20
Figura 5 – Modelo Elétrico dos Eletrodos.	21
Figura 6 – Amplificador de instrumentação.	22
Figura 7 – Efeito do aliasing: sobreposição espectral quando $f_s < 2B$, conforme discutido por Lathi (LATHI, 2006).	26
Figura 8 – Comparação da resposta em frequência de um filtro ideal e um filtro de 2º ordem do tipo Butterworth.	29
Figura 9 – Filtro biquadrático de 2º ordem do tipo gm-C.	30
Figura 10 – Arquitetura do amplificador de ganho programável (PGA), utilizando amplificador operacional em configuração inversora com seleção resistiva digital.	32
Figura 11 – Diagrama da máquina de estados responsável pelo controle de calibração automática do PGA.	34
Figura 12 – Resposta em frequência do filtro gm-C modelado.	37
Figura 13 – Controle do ganho do PGA pela máquina de estados.	38
Figura 14 – Comportamento do sinal de ECG antes e após o AFE.	39
Figura 15 – Arquitetura do OTA utilizado no filtro gm-C, com destaque para o par diferencial cruzado (cinza) e as correntes de cauda (amarelo). Os dimensionamentos mostrados correspondem a ($W/L = \mu m$). Adaptado de (MACHHA; LAXMINIDHI, 2019).	42
Figura 16 – Resposta em frequência do OTA com par diferencial cruzado utilizado no filtro gm-C.	44
Figura 17 – Densidade espectral de ruído de saída do OTA.	45
Figura 18 – Resposta em frequência do PSRR+ e PSRR- do OTA utilizado no filtro gm-C.	46
Figura 19 – Resposta em frequência do filtro gm-C de segunda ordem.	47
Figura 20 – Densidade espectral de ruído de saída do filtro gm-C de segunda ordem.	47
Figura 21 – Resposta ao impulso do filtro gm-C de segunda ordem em pequenos sinais.	48
Figura 22 – Arquitetura do amplificador Miller. Os dimensionamentos mostrados correspondem a ($W/L = \mu m$).	49
Figura 23 – Modelo em pequenos sinais do OTA Miller com capacitor de compensação C_C	50
Figura 24 – Resposta em frequência do OTA Miller projetado.	52
Figura 25 – Densidade espectral de ruído de saída do OTA Miller implementado no PGA.	53

Figura 26 – Resposta transitória do OTA Miller (PGA), com destaque para a região de subida utilizada no cálculo do <i>Slew Rate</i> positivo.	54
Figura 27 – Resposta transitória do PGA, apresentando os sinais de entrada e saída para diferentes configurações de ganho, bem como os sinais digitais de controle correspondentes.	55
Figura 28 – Resposta em frequência do PGA para todas as configurações de ganho em uma simulação AC.	57
Figura 29 – Densidade espectral de ruído e ruído integrado até 250 Hz para as diferentes configurações de ganho do PGA.	57
Figura 30 – Resposta temporal do AFE completo em tecnologia CMOS, mostrando o sinal ruidoso de entrada (azul) sendo filtrado pelas etapas iniciais e posteriormente amplificado pelo PGA.	58
Figura 31 – Layout do OTA realizado no filtro g_m -C.	60
Figura 32 – Layout completo do LPF. A região destacada em amarelo corresponde ao OTA 1 e a região em azul-ciano corresponde ao OTA 2.	62
Figura 33 – Layout do OTA Miller utilizado no PGA. A região em azul-ciano destaca o capacitor Miller.	62
Figura 34 – Layout do Amplificador de Ganho Programável.	64
Figura 35 – Layout do OTA utilizado como buffer para medições.	65
Figura 36 – <i>Layout</i> completo do sistema de aquisição do ECG, contendo PGA, LPF, IA e buffers de medição.	67
Figura 37 – Distribuição do consumo de potência e da ocupação de área do sistema ECG.	67

LISTA DE TABELAS

Tabela 1 – Parâmetros comportamentais do filtro gm-C	37
Tabela 2 – Parâmetros comportamentais do OTA e do PGA	38
Tabela 3 – Parâmetros de polarização dos transistores do OTA	43
Tabela 4 – Parâmetros de polarização dos transistores do OTA Miller.	52
Tabela 5 – Especificações do OTA utilizado como buffer.	65
Tabela 6 – Resultados de simulação do OTA buffer.	66
Tabela 7 – Comparação de desempenho com trabalhos da literatura.	68

LISTA DE ABREVIATURAS E SIGLAS

AFE: Analog Front End

AI: Amplificador de Instrumentação

ADC: Analog-Digital Converter

BW: Bandwidth

CI: Circuitos Integrados

CMOS: Complementary Metal-Oxide Semiconductor

CMRR: Common Mode Rejection Ratio

DRL: Driven Right Leg

ECG: Eletrocardiograma

FPA: Filtro Passa-Altas

FPB: Filtro Passa-Baixas

OTA: Amplificador Operacional de Transcondutância

PGA: Amplificador de Ganho Programável

PSRR: Power Supply Rejection Ratio

SoC: System-on-Chip

TSMC: Taiwan Semiconductor Manufacturing Company

VCM: Common Mode Voltage

CONTEÚDO

1	INTRODUÇÃO	14
1.1	Motivação	15
1.2	Objetivos	15
1.2.1	Objetivo Geral	15
1.2.2	Objetivos Específicos	16
1.3	Estrutura	16
2	O SINAL DE ECG E SEU PROCESSAMENTO NO AFE	17
2.1	Fundamentos do sinal de ECG	17
3	DESCRIÇÃO DO SISTEMA	20
3.1	Modelo Elétrico do Corpo Humano	20
3.2	Modelo Elétrico do Eletrodo	21
3.3	Amplificador de Instrumentação	22
3.4	Filtro Anti-Aliasing	25
3.4.1	Aliasing	25
3.4.2	Filtro Passa-Baixas	26
3.4.3	Resposta em Frequência e Função de Transferência	27
3.4.4	Resposta Biquadrática de Segunda Ordem	27
3.4.5	Filtro de Resposta Butterworth	28
3.4.6	Topologia do Filtro	30
3.5	Amplificador de Ganho Programável (PGA)	31
3.5.1	Introdução e Arquitetura	31
3.5.2	Amplificador Inversor	32
3.5.3	Máquina de Estados	33
3.5.4	Implementação do PGA com Controle Automático de Ganho	34
4	CARACTERIZAÇÃO DA MODELAGEM DO AFE	36
5	PROJETO DOS BLOCOS EM CMOS	41
5.1	Filtro Passa-Baixas (LPF)	41
5.1.1	Projeto do OTA para o LPF	41
5.1.2	Dimensionamento e Polarização do OTA	43
5.1.3	Caracterização Elétrica do OTA	44
5.1.4	Caracterização Elétrica do Filtro gm-C	46
5.2	Amplificador de Ganho Programável (PGA)	48
5.2.1	OTA Miller implementado no PGA	49
5.2.2	Caracterização Elétrica do Amplificador de Ganho Programável (PGA)	55
5.2.3	Implementação do Layout dos Blocos em Tecnologia CMOS	59

6	CONCLUSÃO	69
6.1	Trabalhos Futuros	69
	BIBLIOGRAFIA	73
	ANEXOS	78

1 INTRODUÇÃO

O eletrocardiograma (ECG) é uma das ferramentas mais importantes da medicina moderna para avaliação da atividade elétrica do coração, sendo essencial no diagnóstico de arritmias, infartos e outras condições cardiovasculares. O conceito de registrar essa atividade elétrica remonta a 1903, quando Willem Einthoven desenvolveu o primeiro eletrocardiógrafo funcional, utilizando um galvanômetro de corda. Esse feito marcou a medicina cardiovascular, possibilitou a identificação das ondas características do ECG (P, QRS e T) e rendeu a Einthoven o Prêmio Nobel de Fisiologia ou Medicina em 1924 (EINTHOVEN, 1924). Desde então, o ECG evoluiu de registros manuais para sistemas automatizados e digitais, ampliando sua aplicabilidade (BAROLD, 2003; MACFARLANE; KENNEDY, 2021).

O avanço da microeletrônica e da tecnologia de integração em larga escala possibilitou a miniaturização dos sistemas de aquisição de ECG, viabilizando sua utilização em dispositivos portáteis e vestíveis, como smartwatches e sensores biomédicos (JAIN; SINGH; KAPOOR, 2021). Esses sistemas não apenas ampliam o acesso ao monitoramento cardíaco, como também permitem acompanhamento contínuo e remoto da saúde do paciente. Nesse contexto, os circuitos dedicados à aquisição de sinais biomédicos precisam ser projetados com baixo consumo, alta confiabilidade e compatibilidade com integração em SoC.

A aquisição de sinais de ECG em sistemas eletrônicos exige a presença de um AFE, responsável pelo pré-processamento do sinal analógico antes de sua digitalização. O AFE é composto por blocos fundamentais como amplificadores e filtros, que condicionam o sinal para posterior conversão analógico-digital. Entre suas funções estão a rejeição de ruídos externos, a adaptação de ganho e a limitação da banda passante, de modo a preservar apenas as informações relevantes do sinal cardíaco (SOUNDARAPANDIAN; BERARDUCCI, 2009; NETO; ROBERTO, 2020).

Dentre as técnicas utilizadas em AFEs para ECG destaca-se o circuito DRL, essencial na rejeição de ruídos de modo comum, como interferências da rede elétrica, melhorando a qualidade do sinal antes da amplificação (INSTRUMENTS, 2010; Jewel Haque Munshi, 2020). Além disso, o uso de filtros passa-altas e passa-baixas garante a rejeição de componentes indesejados, enquanto o PGA adapta o sinal às diferentes amplitudes do ECG, evitando saturação e garantindo a máxima resolução após a conversão digital (PELGROM, 2012; MALOBERTI, 2007; LATHI; DING, 2012).

Este trabalho é desenvolvido em conjunto com colegas do Grupo de Arquitetura de Computadores e Microeletrônica (GAMA), onde diferentes blocos do AFE estão sendo estudados. A contribuição deste TCC concentra-se no projeto e análise de dois blocos fundamentais: o Amplificador de Ganho Programável (PGA) e o Filtro Passa-Baixas (FPB). O PGA foi projetado para operar com quatro configurações de ganho reconfiguráveis, variando de 112,5 V/V até 450 V/V, permitindo a adaptação do nível do sinal às condições de entrada. O FPB, por sua vez, foi implementado como um filtro gm-C de segunda

ordem com resposta de Butterworth e frequência de corte de 269,66 Hz, garantindo a rejeição de componentes de alta frequência e prevenindo efeitos de aliasing no processo de digitalização.

Ambos os blocos foram projetados em nível de transistor na tecnologia CMOS TSMC 28 nm, visando baixo consumo de potência, estabilidade e compatibilidade com integração em SoC. As simulações elétricas realizadas validaram o atendimento das especificações de frequência, ganho e estabilidade, confirmando a viabilidade do projeto para aplicações biomédicas em sistemas portáteis e vestíveis.

1.1 MOTIVAÇÃO

O estudo do eletrocardiograma (ECG) tem ganhado cada vez mais relevância devido à necessidade de tecnologias médicas acessíveis, confiáveis e de baixo consumo de potência. Nesse cenário, o desenvolvimento de circuitos integrados dedicados para aquisição e processamento do sinal cardíaco torna-se essencial, possibilitando a integração em dispositivos vestíveis e em plataformas de monitoramento contínuo de saúde. A implementação de um Front-End Analógico (AFE) otimizado em tecnologia CMOS permite não apenas atender às especificações do sinal de ECG, mas também viabilizar sua incorporação em SoC, ampliando o potencial de uso em soluções portáteis e escaláveis. Dessa forma, a presente pesquisa justifica-se pela contribuição tanto para a sociedade, ao favorecer novas aplicações em saúde, quanto para a área acadêmica e tecnológica, ao consolidar avanços no projeto de circuitos integrados biomédicos.

1.2 OBJETIVOS

De maneira abrangente, este trabalho tem por finalidade investigar, projetar e analisar blocos fundamentais de um Front-End Analógico (AFE) destinado à aquisição de sinais de ECG, assegurando que sua arquitetura e desempenho sejam compatíveis com os requisitos de sistemas biomédicos integrados em plataformas SoC. Na sequência, apresentam-se o objetivo geral e os objetivos específicos que norteiam o desenvolvimento deste estudo.

1.2.1 OBJETIVO GERAL

O objetivo principal deste Trabalho de Conclusão de Curso é projetar e validar blocos de um Front-End Analógico (AFE) para aquisição de sinais de eletrocardiograma (ECG), utilizando tecnologia CMOS TSMC 28 nm e visando integração em um System-on-Chip (SoC). O foco está no desenvolvimento detalhado do Filtro Passa-Baixas (FPB) e do Amplificador de Ganho Programável (PGA), verificando seu desempenho por meio de simulações elétricas e comparação com requisitos estabelecidos na literatura.

1.2.2 OBJETIVOS ESPECÍFICOS

- **Revisar fundamentos do ECG e requisitos de AFEs biomédicos:** Estudar as características do sinal de ECG, como amplitude, largura de banda e principais fontes de ruído, bem como arquiteturas de AFEs utilizadas na literatura, de modo a estabelecer parâmetros de referência para o projeto.
- **Definir e especificar a arquitetura do AFE:** Descrever os blocos que compõem o sistema (FPA, AI, DRL, FPB e PGA), com ênfase nos dois últimos, determinando suas especificações de projeto quanto a ganho, frequência de corte, estabilidade e consumo de potência.
- **Projetar os blocos FPB e PGA em nível de transistor:** Implementar os blocos em tecnologia CMOS TSMC 28 nm, priorizando baixo consumo de potência, linearidade e compatibilidade com integração em SoC.
- **Validar os blocos projetados:** Realizar simulações elétricas dos blocos FPB e PGA, avaliando ganho, resposta em frequência, estabilidade e robustez frente a ruídos, além de comparar os resultados obtidos com trabalhos correlatos da literatura.

1.3 ESTRUTURA

Este trabalho está organizado em cinco capítulos principais. No Capítulo 2, apresentam-se os fundamentos teóricos essenciais para a compreensão do sinal de ECG, os tipos de eletrodos, bem como a descrição dos blocos clássicos de um AFE, incluindo FPA, AI e DRL, além de uma análise mais detalhada do FPB e do PGA, que são os blocos de maior relevância para este estudo. O Capítulo 3 descreve a metodologia adotada para a modelagem comportamental do AFE, enquanto o Capítulo 4 apresenta os resultados obtidos a partir dessa modelagem, incluindo a resposta completa do sistema em ambiente ideal. Em seguida, o Capítulo 5 aborda o projeto em tecnologia CMOS de 28 nm, detalhando o desenvolvimento elétrico dos blocos, suas simulações, o processo de *layout* e a análise das limitações introduzidas pelo processo de fabricação. Finalmente, no Capítulo 6, são discutidas as conclusões gerais do trabalho, juntamente com sugestões de melhorias e direções potenciais para projetos futuros.

2 O SINAL DE ECG E SEU PROCESSAMENTO NO AFE

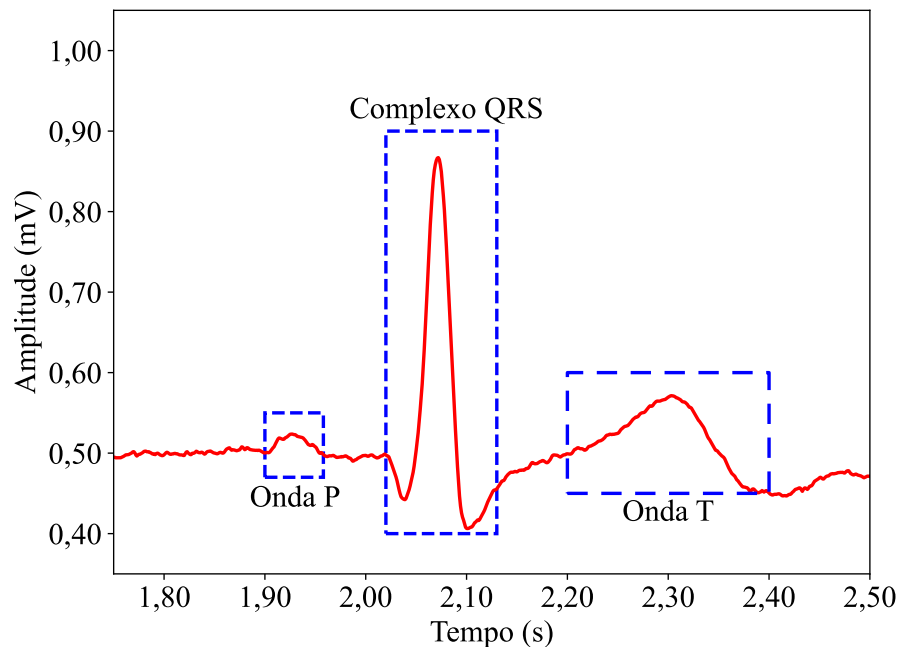
Este capítulo tem como objetivo apresentar as principais características do sinal de eletrocardiograma (ECG), destacando sua origem fisiológica, forma de onda típica e parâmetros clínicos relevantes.

2.1 FUNDAMENTOS DO SINAL DE ECG

O desenvolvimento de qualquer circuito eletrônico requer um entendimento prévio e detalhado do comportamento dos sinais que serão processados. No caso do ECG, é essencial analisar suas características, como amplitude, frequência e variabilidade, para garantir um projeto eficiente e adequado às exigências do sistema.

Um sinal padrão de ECG registra a atividade elétrica do coração, sendo obtido por meio da medição entre dois pontos com potenciais elétricos distintos. Em indivíduos saudáveis, cada ciclo cardíaco apresenta um padrão rítmico característico, composto por eventos específicos que originam as ondas P, QRS e T (PLESNIK et al., 2013). A figura 1 ilustra esse padrão rítmico, destacando suas principais características. Essa figura foi criada com base em um banco de dados real disponibilizado por Paul van Gent (GENT, 2024), por meio da biblioteca HeartPy, que contém arquivos de exames reais desse tipo de sinal. Esse arquivo também será utilizado para gerar o sinal elétrico em um ambiente de simulação.

Figura 1 – Ciclo saudável Cardíaco.



Fonte: Autor

O ciclo cardíaco tem início com a despolarização atrial, responsável pela contração dos átrios, representada pela onda P no traçado de ECG. Em seguida, ocorre a despolarização ventricular, que provoca a contração dos ventrículos, resultando na formação

do complexo QRS. Finalmente, o ciclo se conclui com a repolarização ventricular, que marca o relaxamento do músculo ventricular e é representada pela onda T. Esse processo é repetido de forma contínua, caracterizando o ritmo cardíaco regular em indivíduos saudáveis (PLESNIK et al., 2013).

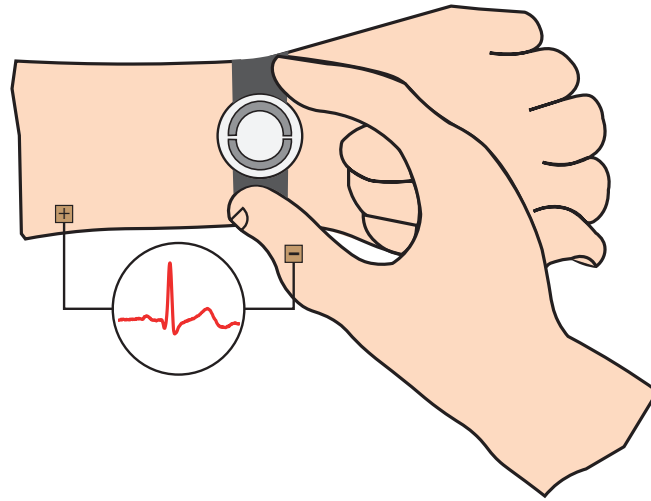
Entre os parâmetros elétricos extraídos da literatura sobre o sinal de ECG, destacam-se a largura de banda e a amplitude. O conhecimento da largura de banda, que varia entre $0,05Hz$ e $200Hz$, é essencial para o projeto do AFE, garantindo que ele seja capaz de processar todas as componentes de frequência presentes nessa faixa (JANI; BAGREE; ROY, 2017).

Quanto à amplitude do sinal de ECG, os valores reportados na literatura variam tipicamente entre $0,5 mV$ e $5 mV$. Para este trabalho, será adotado um valor de referência aproximado de $1 mV$ para o pico de amplitude, como ilustrado na figura 1, que apresenta dados reais utilizados na pesquisa (PLESNIK et al., 2013; GENT, 2024; Journal of Visualized Experiments, 2025). Devido a esse nível relativamente baixo de amplitude, é esperado que sinais ruidosos com amplitudes iguais ou maiores possam mascarar o sinal de ECG. Isso torna essencial que o sistema de aquisição seja capaz de minimizar ao máximo o ruído externo e, ao mesmo tempo, introduza o menor ruído possível proveniente dos próprios componentes eletrônicos. As principais fontes de ruído a serem consideradas incluem a interferência eletromagnética gerada pelas linhas de transmissão de energia elétrica, que possuem frequências entre $50Hz$ e $60Hz$. Além disso, em dispositivos vestíveis, o movimento do dispositivo em relação ao corpo humano adiciona componentes de ruído que devem ser levados em conta, assim como o ruído originado pelos próprios circuitos eletrônicos (SÖRNMO; LAGUNA, 1994; PLESNIK et al., 2013).

O eletrocardiograma tradicional de 12 derivações é amplamente reconhecido como um dos métodos mais comuns e indispensáveis para a avaliação da saúde cardiovascular. Comumente encontrado em clínicas médicas e hospitais, esse procedimento utiliza 10 eletrodos estrategicamente posicionados no corpo (2 eletrodos posicionados nos braços, 2 nas pernas e 6 na região torácica) para captar a atividade elétrica do coração de diferentes perspectivas. O resultado são 12 gráficos distintos, cada um representando a atividade elétrica em diferentes regiões do coração, permitindo uma análise detalhada e abrangente da função cardíaca (RAFIE; KASHOU; NOSEWORTHY, 2021; Journal of Visualized Experiments, 2025).

Neste trabalho, o sinal de ECG será capturado utilizando uma abordagem baseada em dispositivos vestíveis modernos, como smartwatches, conforme ilustrado na figura 2. O sistema utiliza três eletrodos: dois para captura do sinal e um terceiro para realimentação. Esse terceiro eletrodo, integrado ao smartwatch e em contato com o pulso esquerdo, faz parte do sistema Driven Right Leg (DRL). Sua função é conduzir o potencial DC do corpo, polarizando os demais eletrodos e ajustando-os a uma voltagem ideal, garantindo, assim, uma captura precisa e confiável do sinal de ECG (UDUPA, 2022).

Figura 2 – Aquisição de ECG por Dispositivo Vestível.

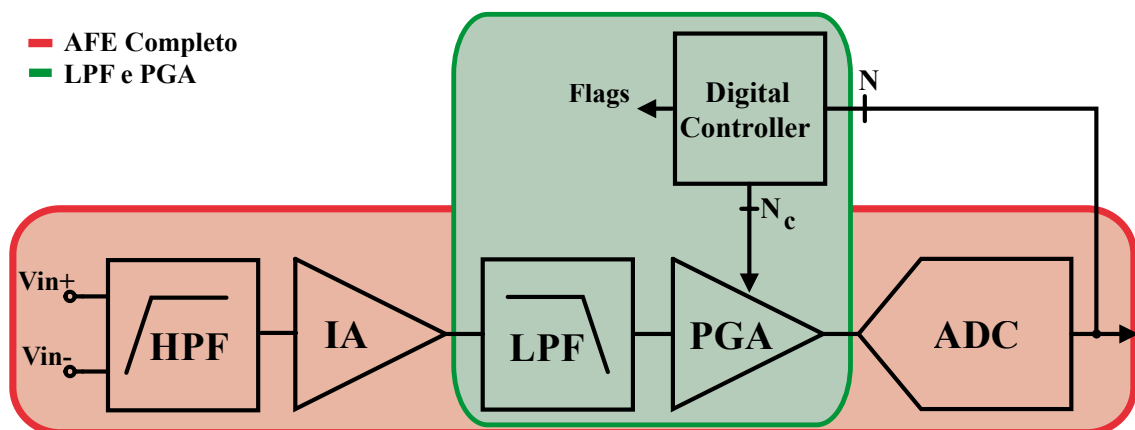


Fonte: Autor, adaptado de (UDUPA, 2022).

Adicionalmente, o sistema DRL será integrado ao circuito de aquisição (AI) para realizar a realimentação do sinal ao corpo humano, contribuindo na redução de ruídos de frequência entre $50Hz$ e $60Hz$, típicos de interferências eletromagnéticas provenientes de linhas de transmissão.

A figura 3 apresenta o AFE completo, já empregado na literatura como uma arquitetura otimizada para a aquisição e processamento de sinais de ECG. Esse circuito é composto pelos blocos: FPA, AI, FPB, PGA e por fim, o ADC. Neste trabalho, será dada maior ênfase aos blocos FPB e PGA, que irão garantir a qualidade do sinal processado, especialmente em relação à eliminação de ruídos e à definição adequada da amplitude do sinal. Além disso, esses blocos desempenham um papel crucial para a adaptação do sinal aos requisitos do ADC.

Figura 3 – AFE Completo.



Fonte: Autor

3 DESCRIÇÃO DO SISTEMA

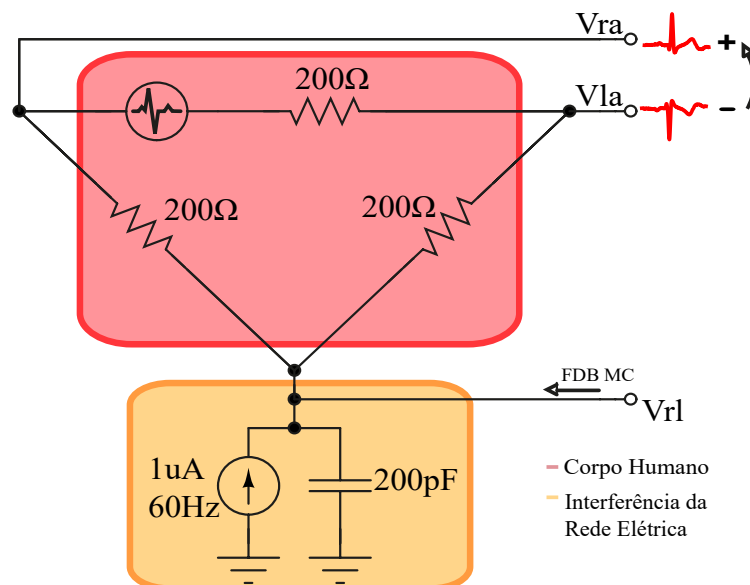
Este capítulo tem como objetivo apresentar a descrição geral do sistema de aquisição a ser empregado, reunindo e discutindo a bibliografia relevante que fundamenta sua concepção. Serão abordados os principais blocos que compõem a cadeia de aquisição, destacando suas funções, requisitos de desempenho e justificativas para as escolhas arquiteturais. Dessa forma, estabelece-se a base teórica e técnica necessária para a compreensão do projeto e para a implementação do sistema proposto nos capítulos seguintes.

3.1 MODELO ELÉTRICO DO CORPO HUMANO

Para realizar a medição de um sinal elétrico, é fundamental compreender a fonte do sinal a ser analisado. Dessa forma, foi necessário estudar o comportamento do corpo humano sob a ótica de um circuito elétrico. O modelo elétrico do corpo humano é apresentado na Figura 4. Sua estrutura é baseada principalmente em três resistências de $200\ \Omega$, que representam a impedância oferecida pelos tecidos corporais ao fluxo de corrente elétrica. Esse modelo inclui ainda uma fonte de corrente de $1\ \mu\text{A}$ em paralelo com um capacitor de $200\ \text{pF}$, os quais representam a interferência da rede elétrica de $60\ \text{Hz}$, induzida no corpo humano devido a fenômenos eletromagnéticos (SÖRNMO; LAGUNA, 1994).

Além disso, há uma fonte de tensão que representa os batimentos cardíacos, gerando o sinal de ECG. Esse sinal diferencial é medido entre o braço direito (V_{ra}) e o braço esquerdo (V_{la}). Já o terminal V_{rl} é utilizado como referência para o modo comum, sendo realimentado pelo AI (MERCIER, 2020).

Figura 4 – Modelo Elétrico do Corpo Humano com Interferência Eletromagnética.



Fonte: Autor

3.2 MODELO ELÉTRICO DO ELETRODO

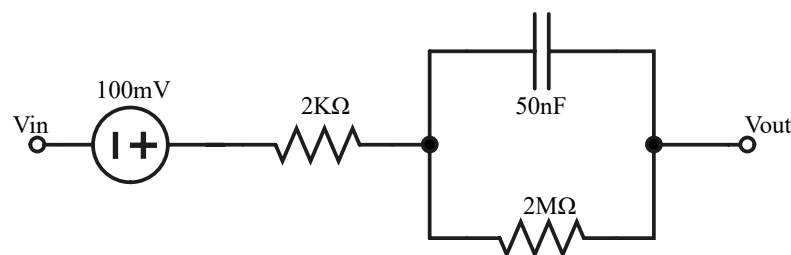
A captação dos sinais é um aspecto a ser considerado para a implementação do sistema, sendo indispensável a utilização de um modelo elétrico para os eletrodos. Esse modelo permite lidar com as não idealidades presentes, como a resistência e a capacitância do eletrodo e do fio, além do deslocamento de potencial gerado na interface entre o eletrodo e a pele. Essas características afetam diretamente a qualidade do sinal adquirido, influenciando tanto a impedância de contato quanto a resposta em frequência do sistema de aquisição.

A Figura 5 apresenta um modelo elétrico que considera essas não idealidades. Nesse modelo, foi adotada uma única fonte de tensão contínua de 100 mV para representar o *offset* eletroquímico da interface eletrodo-pele, bem como valores fixos de resistência e capacitância. Essa abordagem simplificada permite uma análise inicial do comportamento do sistema, porém não contempla a variabilidade intrínseca existente entre diferentes eletrodos e pontos de contato com o corpo.

Em uma modelagem mais completa, seria desejável a utilização de fontes de tensão distintas para cada eletrodo, representando diferentes níveis de *offset* eletroquímico, bem como a adoção de valores diferentes de capacitância, uma vez que esses parâmetros variam conforme a região do corpo, as condições da pele e a pressão de contato. A consideração dessas assimetrias evitaria o cancelamento ideal do *offset* no estágio diferencial de aquisição e permitiria uma avaliação mais realista do impacto dessas não idealidades sobre o sinal adquirido.

A resistência de 2 k Ω caracteriza a impedância do eletrodo, enquanto o conjunto formado pelo capacitor e pelo resistor de alta resistência modela o efeito de polarização da interface eletrodo-pele (VERMA et al., 2010). Ressalta-se que os valores adotados neste trabalho não correspondem a parâmetros fixos, mas sim a valores genéricos utilizados na literatura como referência para descrever o comportamento elétrico médio do eletrodo em contato com a pele.

Figura 5 – Modelo Elétrico dos Eletrodos.



Fonte: Autor

3.3 AMPLIFICADOR DE INSTRUMENTAÇÃO

A figura 6 ilustra a estrutura do primeiro bloco do sistema de aquisição: o Amplificador de Instrumentação (AI). Ele é composto por três amplificadores operacionais, realimentações resistivas, um gerador de tensão de modo comum (VCM), um filtro passa-altas (FPA) e o circuito de realimentação DRL.

O AI é utilizado devido à sua elevada capacidade de rejeição de sinais em modo comum, caracterizada pelo alto valor do *Common-Mode Rejection Ratio* (CMRR). Esse parâmetro mede a eficiência do amplificador em rejeitar ruídos que aparecem simultaneamente nas duas entradas (ALBAUGH, 2000), como interferências da rede elétrica e flutuações de potencial entre os eletrodos, que frequentemente possuem amplitudes comparáveis ou superiores às do sinal de ECG. Assim, o AI atua como filtro inicial, favorecendo a amplificação do sinal diferencial de ECG enquanto atenua os sinais indesejados em modo comum.

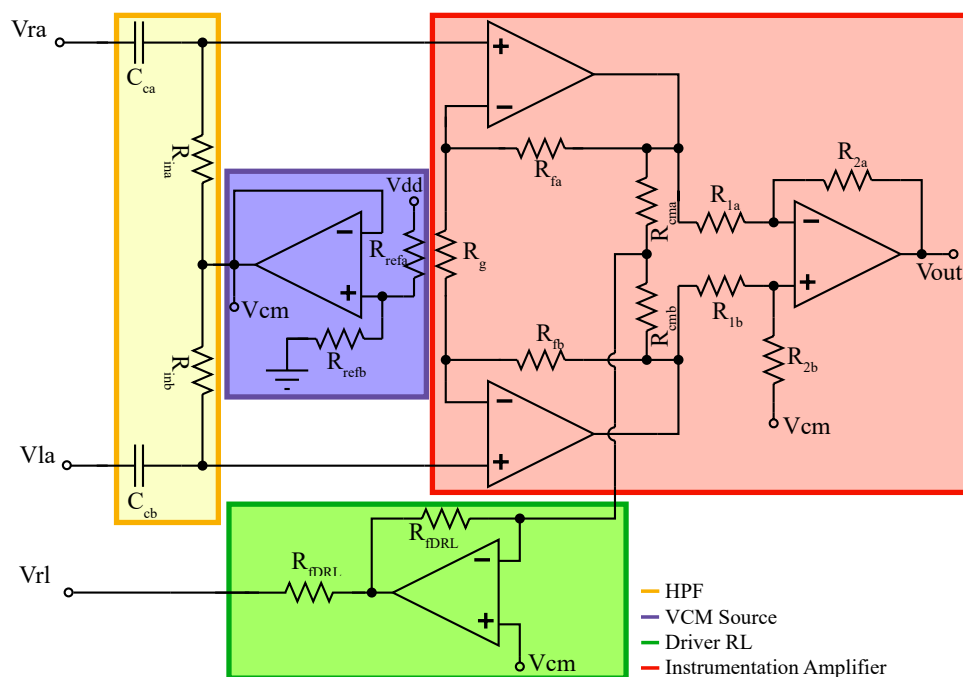
A relação entre o ganho diferencial A_D e a rejeição de modo comum pode ser expressa por (Analog Devices, Inc., 2006):

$$CMRR = A_D \cdot \left(\frac{V_{CM}}{V_{OUT}} \right). \quad (3.1)$$

O ganho diferencial do AI mostrado na figura 6 é dado por:

$$A_D = \left(1 + \frac{2R_{fa}}{R_g} \right) \cdot \left(\frac{R_{2a}}{R_{1a}} \right), \quad (3.2)$$

Figura 6 – Amplificador de instrumentação.



Fonte: Autor

assumindo resistores perfeitamente casados ($R_{fa} = R_{fb}$, $R_{1a} = R_{1b}$ e $R_{2a} = R_{2b}$). Entretanto, em implementações práticas em CMOS sempre existem variações de processo que resultam em resistores não idealmente casados, degradando o $CMRR$.

Segundo a Texas Instruments (INSTRUMENTS, 2023), a expressão geral do $CMRR$ considerando resistores desbalanceados da rede diferencial (usando a notação da figura: $R_{1a}, R_{1b}, R_{2a}, R_{2b}$) pode ser escrita como

$$CMRR_{nm} = \frac{1}{2} \cdot \frac{2R_{2a}R_{2b} + R_{1a}R_{2b} + R_{2a}R_{1b}}{R_{1a}R_{2b} - R_{2a}R_{1b}}. \quad (3.3)$$

Definindo as razões nominais do estágio diferencial e suas pequenas variações relativas por

$$\frac{R_{2a}}{R_{1a}} = \left(\frac{R_2}{R_1}\right) (1 + t_{D1}), \quad \frac{R_{2b}}{R_{1b}} = \left(\frac{R_2}{R_1}\right) (1 + t_{D2}),$$

onde t_{D1} e t_{D2} são as tolerâncias relativas das razões resistivas, e tomando G como o ganho diferencial nominal do AI (ver eq. 3.2), obtém-se a forma conveniente

$$CMRR_{nm} = \frac{G + 1 + Gt_{D1} + t_{D2} + t_{D1}t_{D2} + t_{D1} + t_{D2}}{t_{D2} - t_{D1}}. \quad (3.4)$$

Para pequenas variações ($t_D \ll 1$) a expressão simplifica para a aproximação amplamente utilizada:

$$CMRR_{nm} \approx \frac{G + 1}{t_m}, \quad t_m = t_{D2} - t_{D1}. \quad (3.5)$$

O valor em decibéis é dado por

$$CMRR_{dB} = 20 \log_{10}(CMRR_{nm}).$$

Essa formulação evidencia que mesmo pequenas diferenças de correspondência reduzem significativamente o $CMRR$, justificando o uso de técnicas de layout como *common-centroid*, interdigitação e resistores dummies (INSTRUMENTS, 2023).

Em processos CMOS, o valor absoluto dos resistores pode variar significativamente, chegando a dezenas de por cento (ALLEN; HOLBERG, 2011a), mas o parâmetro crítico para o $CMRR$ é o casamento relativo (t_m). Para ilustrar, considere $G = 100$: no pior caso, com $t_m = 0,30$ (30%), o $CMRR$ cai para aproximadamente 337 V/V ou 50,5 dB; já em um cenário mais realista, com $t_m = 0,10$ (10%), alcança cerca de 1010 V/V ou 60,1 dB. Esse exemplo mostra como o matching relativo é determinante para o desempenho do AI (INSTRUMENTS, 2023).

O filtro passa-altas, destacado pela cor amarela da figura 6 e localizado na entrada do amplificador de instrumentação, tem a função de eliminar a componente DC do sinal a ser processado (MERCIER, 2020). Essa função é implementada por meio do acoplamento de capacitores com resistores nas entradas, formando, assim, um filtro ativo. Dessa forma, evita-se a necessidade de projetar um filtro passa-altas em uma etapa posterior, uma vez que os próprios amplificadores do AI podem desempenhar essa função.

A função de transferência de um filtro passa-altas ativo de primeira ordem, considerando a topologia clássica baseada em resistor $R_{ina} = R_{inb}$ e o capacitor $C_{ca} = C_{cb}$, é representada por:

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{sR_{ina}C_{ca}}{1 + sR_{ina}C_{ca}} \quad (3.6)$$

Substituindo $s = j\omega$, tem-se a expressão com a frequência angular:

$$H(j\omega) = \frac{j\omega R_{ina}C_{ca}}{1 + j\omega R_{ina}C_{ca}} \quad (3.7)$$

A frequência de corte f_c , definida como o ponto em que o ganho do filtro atinge -3dB , é dada por (SCHAUMANN; VALKENBURG; XIAO, 2001):

$$f_c = \frac{1}{2\pi R_{ina}C_{ca}} \quad (3.8)$$

O comportamento do filtro depende diretamente da frequência do sinal de entrada. Para frequências muito baixas ($\omega \ll \frac{1}{RC}$), o termo $j\omega RC$ tende a zero, fazendo com que a função de transferência se aproxime de zero. Isso significa que componentes de baixa frequência — como sinais DC e variações lentas — serão atenuadas. Por outro lado, para frequências mais altas ($\omega \gg \frac{1}{RC}$), o termo $j\omega RC$ domina, e a função de transferência tende a 1. Nesta condição, o sinal é transmitido com ganho próximo ao máximo, ou seja, o filtro permite a passagem de sinais de alta frequência (SCHAUMANN; VALKENBURG; XIAO, 2001).

Esse comportamento é ideal para aplicações como a aquisição de sinais biológicos, em que é necessário remover componentes de *offset* ou deriva lenta (DC), preservando a integridade do conteúdo de interesse, como o sinal de ECG.

Este bloco também incorpora o circuito de DRL (*Driven Right Leg*), destacado em verde na figura 6, o qual é fundamental para aumentar a imunidade ao ruído em modo comum no sistema de aquisição. Quando os eletrodos são posicionados sobre a pele, eles não captam apenas o potencial elétrico gerado pela atividade cardíaca, mas também estão sujeitos a interferências externas, em especial à interferência eletromagnética proveniente das linhas de transmissão, como já discutido anteriormente (MERCIER, 2020).

O circuito DRL tem como principal função detectar a tensão de modo comum presente nas entradas do amplificador e realimentá-la de forma controlada ao corpo, reduzindo significativamente esse tipo de interferência. Essa técnica contribui para a estabilização do potencial de referência do paciente e melhora substancialmente a rejeição de sinais indesejados pelo AI, garantindo uma aquisição mais limpa e precisa do sinal de ECG. É válido enfatizar que a corrente injetada no corpo humano segue os limites estabelecidos pela norma ABNT NBR IEC 60601-1:2010/Emenda 1:2016 (Associação Brasileira de Normas Técnicas, 2016). A corrente injetada pelo DRL normalmente não excede $100 \mu\text{A}$, valor significativamente inferior ao limite de segurança de 10 mA , considerado seguro

para estimulação elétrica em humanos. A equação 3.9 mostra como é calculada a corrente máxima segura para o corpo humano.

$$I_{Maxsafe} = \frac{V_{DD}}{R_{fDRL}} \quad (3.9)$$

Por fim, o AI também incorpora um bloco responsável por estabelecer a polarização em tensão de modo comum (VCM), destacado em roxo na figura 6. Esse circuito não atua como um gerador independente de VCM, mas sim como um divisor resistivo conectado à alimentação V_{DD} , seguido por um amplificador operacional configurado como *buffer*. O valor da tensão de polarização é dado por:

$$V_{CM} = V_{DD} \cdot \frac{R_{refb}}{R_{refa} + R_{refb}} \quad (3.10)$$

A função principal desse arranjo é fornecer uma referência estável de modo comum, utilizada para polarizar determinados nós internos do circuito. Dessa forma, o sinal diferencial de ECG permanece centralizado dentro da faixa operacional dos amplificadores, assegurando o funcionamento adequado do sistema.

3.4 FILTRO ANTI-ALIASING

Esta seção tem como objetivo descrever o filtro passa-baixas utilizado para atenuar componentes de alta frequência do sinal de ECG, evitando o fenômeno de *aliasing*. Dessa forma, garantindo que apenas a faixa de interesse seja preservada antes da etapa de amostragem pelo conversor analógico-digital (ADC).

3.4.1 ALIASING

O *aliasing* no ADC ocorre quando um sinal é amostrado a uma taxa insuficiente para capturar suas variações. Frequências mais altas no sinal original são dobradas ou refletidas em frequências mais baixas do sinal amostrado, criando componentes que não estão presentes no sinal original. Quando o sinal é amostrado a uma taxa inferior à frequência de Nyquist, os componentes de alta frequência do sinal original são mapeados incorretamente para frequências mais baixas, resultando em distorção que pode impossibilitar a reconstrução fiel do sinal original (RIGHI et al., 2024).

Segundo Lathi (LATHI, 2006), o espectro do sinal amostrado contém cópias repetidas do espectro original, espaçadas pela frequência de amostragem. Para evitar sobreposição entre essas cópias (o que causaria *aliasing*), é necessário que a frequência de amostragem f_s satisfaça o critério de Nyquist representado na equação 3.11:

$$f_s > 2B \quad (3.11)$$

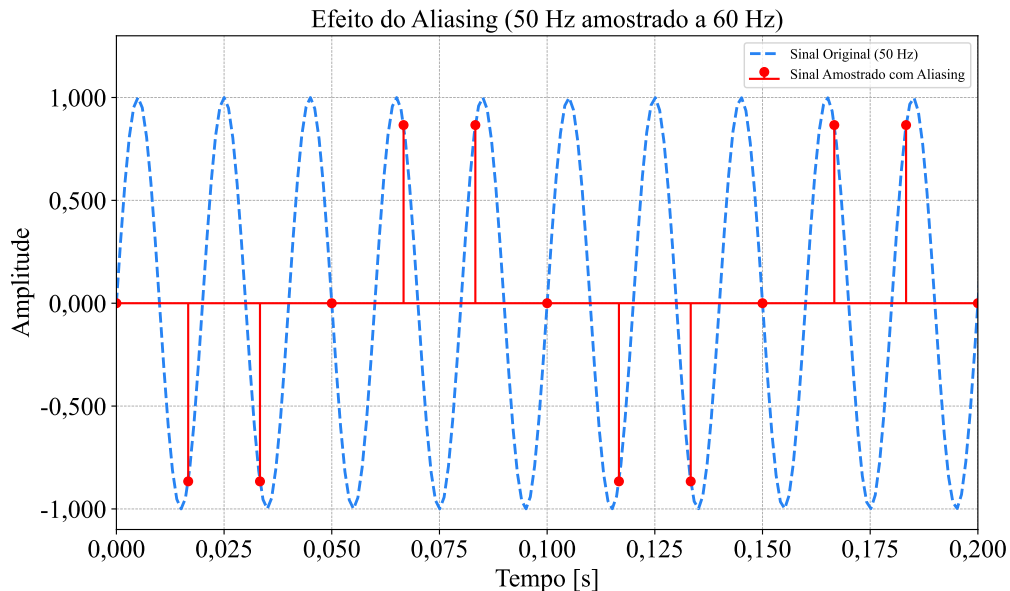
onde B é a maior frequência presente no sinal original. Esse limite é chamado de *frequência de Nyquist*, e $T = \frac{1}{2B}$ é o intervalo de Nyquist (LATHI, 2006).

Mesmo na taxa de Nyquist, efeitos como cancelamentos de fase para componentes senoidais podem impedir a reconstrução correta, como no caso exemplo do sinal $\sin(2\pi Bt)$, cujas amostras a $T = \frac{1}{2B}$ são todas nulas (LATHI, 2006). Por esse motivo, recomenda-se que a taxa de amostragem seja maior do que $2B$, especialmente na presença de senóides puras.

Além disso, Lathi (LATHI, 2006) destaca que sinais limitados no tempo possuem espectro ilimitado, o que torna impossível eliminar completamente o *aliasing* em ambientes práticos. No entanto, esse erro pode ser reduzido utilizando-se taxas de amostragem elevadas e filtros passa-baixas (*antialiasing*) antes do processo de amostragem. Esse filtro atua como uma barreira que limita a largura de banda do sinal a $\frac{f_s}{2}$, impedindo que componentes acima dessa frequência causem distorção.

A figura 7 ilustra o fenômeno do *aliasing*, no qual um sinal senoidal de 10Hz é amostrado a uma taxa de 11Hz , ou seja, apenas ligeiramente acima de sua frequência, mas ainda abaixo da frequência mínima exigida pelo critério de Nyquist. Como consequência, ocorre a sobreposição espectral (*aliasing*), impedindo a reconstrução fiel do sinal original no domínio digital.

Figura 7 – Efeito do aliasing: sobreposição espectral quando $f_s < 2B$, conforme discutido por Lathi (LATHI, 2006).



Fonte: Autor

3.4.2 FILTRO PASSA-BAIXAS

Filtros analógicos do tipo passa-baixas são fundamentais em sistemas de processamento de sinais, tendo como principal função a atenuação de componentes de frequência

superior a uma determinada frequência de corte. Essa característica os torna especialmente relevantes em aplicações de aquisição de sinais, atuando como barreiras contra fenômenos indesejáveis como o *aliasing* em conversores analógico-digitais (ADCs) (BAKER, 2019). Além disso, são amplamente empregados na eliminação de ruídos de alta frequência e na suavização de formas de onda.

3.4.3 RESPOSTA EM FREQUÊNCIA E FUNÇÃO DE TRANSFERÊNCIA

A resposta em frequência de um filtro é descrita por sua função de transferência no domínio da variável complexa s , que, de modo geral, assume a forma de uma função racional (SCHAUMANN; VALKENBURG; XIAO, 2001):

$$H(s) = \frac{a_m s^m + a_{m-1} s^{m-1} + \dots + a_1 s + a_0}{b_n s^n + b_{n-1} s^{n-1} + \dots + b_1 s + b_0} \quad (3.12)$$

Em que o grau do denominador, n , define a ordem do filtro. A ordem está diretamente relacionada à inclinação da curva de atenuação na região de transição entre a banda passante e a banda de rejeição: filtros de ordem superior apresentam transições mais abruptas. Para filtros lineares e invariantes no tempo (LTI), cada polo do sistema contribui com uma atenuação de -20 dB/década (SCHAUMANN; VALKENBURG; XIAO, 2001).

No caso de um filtro passa-baixas passivo de primeira ordem, como o circuito RC simples, a função de transferência é dada por:

$$H(s) = \frac{1}{1 + sRC} \quad (3.13)$$

A frequência de corte f_c , definida como a frequência na qual a magnitude da resposta atinge $\frac{1}{\sqrt{2}}$ (ou seja, queda de 3dB), é expressa por:

$$f_c = \frac{1}{2\pi RC} \quad (3.14)$$

Nesse tipo de filtro, o ganho na banda passante, para $f \ll f_c$, aproxima-se da unidade ($|H(j\omega)| \approx 1$) (SCHAUMANN; VALKENBURG; XIAO, 2001). Em filtros ativos, esse valor pode ser ajustado em função dos requisitos do circuito, podendo assumir valores diferentes da unidade.

3.4.4 RESPOSTA BIQUADRÁTICA DE SEGUNDA ORDEM

Filtros passa-baixas de segunda ordem são geralmente implementados por meio de estruturas denominadas biquadráticas (*biquad*). Essas topologias apresentam dois polos complexos conjugados e permitem maior controle sobre parâmetros como frequência de corte, fator de qualidade e ganho.

A função de transferência de um filtro passa-baixas de segunda ordem pode ser representada por (RAZAVI, 2014):

$$H(s) = \frac{\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (3.15)$$

onde:

- $\omega_0 = 2\pi f_0$ é a frequência angular de corte do filtro,
- Q é o fator de qualidade, que caracteriza a seletividade do circuito, controlando o nível de pico na resposta próxima à frequência de corte.

O fator de qualidade Q também influencia a resposta em fase e o comportamento transitório do filtro. Valores de $Q > 0,707$ resultam em uma elevação (ressonância) próxima à frequência de corte, enquanto valores menores implicam uma resposta mais amortecida (OLIVEIRA, 2017).

Esse tipo de resposta é amplamente utilizado em implementações práticas, como nos arranjos Sallen-Key ou em estruturas do tipo gm-C.

3.4.5 FILTRO DE RESPOSTA BUTTERWORTH

O filtro de *Butterworth* destaca-se entre as respostas padronizadas por apresentar um comportamento monótono na banda passante e na banda de rejeição, sem ondulações, sendo por isso denominado *maximamente plano*. Essa suavidade na transição é alcançada ao custo de uma região de transição mais ampla em comparação a outras arquiteturas, como os filtros de *Chebyshev*.

Sua função de magnitude normalizada é dada por:

$$|H(j\omega)| = \frac{1}{\sqrt{1 + \left(\frac{\omega}{\omega_c}\right)^{2n}}} \quad (3.16)$$

onde:

- ω_c é a frequência angular de corte,
- n é a ordem do filtro.

Os polos da resposta de *Butterworth* estão distribuídos uniformemente ao longo de um semicírculo no plano S , com ângulos definidos por:

$$\theta_k = \frac{(2k-1)\pi}{2n}, \quad k = 1, 2, \dots, n \quad (3.17)$$

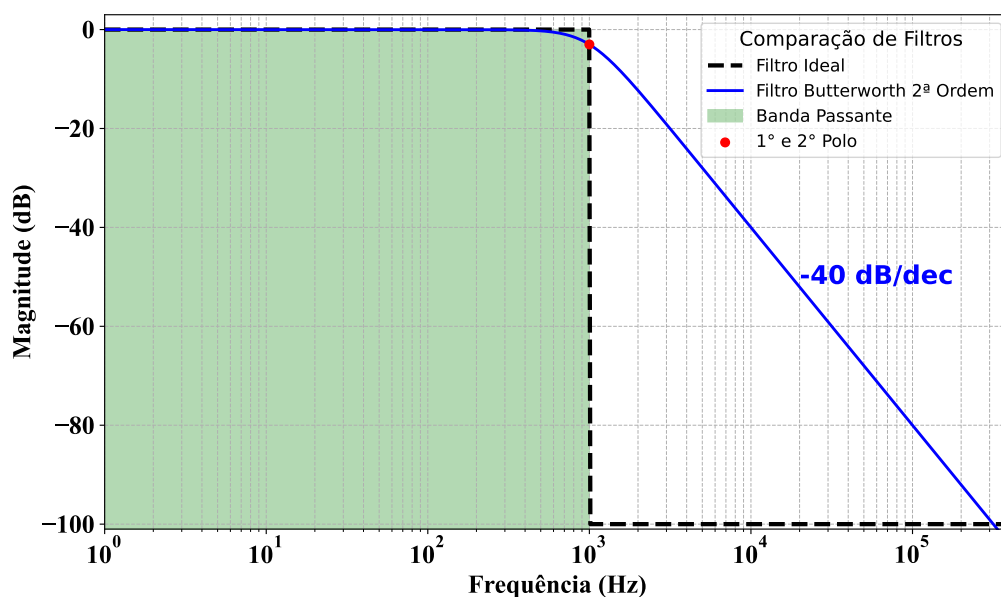
Esse arranjo garante a estabilidade do sistema e uma resposta suavemente decrescente em frequência. A frequência de corte ω_c é definida como o ponto onde a magnitude da resposta atinge $\frac{1}{\sqrt{2}}$, ou seja, -3 dB (SCHAUMANN; VALKENBURG; XIAO, 2001).

Embora o filtro ideal apresente uma transição instantânea entre a banda passante e a banda de rejeição, o que torna sua implementação teoricamente desejável, essa característica é irrealizável na prática devido a limitações físicas e tecnológicas. Na realidade, filtros como o *Butterworth*, embora não possuam uma transição abrupta, oferecem um compromisso eficiente entre desempenho em frequência e resposta temporal. A resposta do filtro *Butterworth* é caracterizada por uma transição gradual entre a banda passante e a banda de rejeição, o que evita distorções abruptas no sinal, mas ao mesmo tempo, mantém um excelente comportamento no que diz respeito à suavidade e à minimização da ondulação na banda passante (ZAMARUIEV; IVAKHNO; STYSLO, 2019; SCHAUMANN; VALKENBURG; XIAO, 2001).

Além disso, o filtro *Butterworth* apresenta uma fase relativamente linear, o que contribui para uma melhor preservação da forma do sinal. Sua principal vantagem em relação a filtros ideais é justamente a robustez e a facilidade de implementação, já que, ao contrário dos filtros ideais que exigiriam componentes com respostas perfeitas e infinitas, o *Butterworth* pode ser implementado de maneira mais simples e prática. A figura 12 ilustra claramente essa diferença, destacando como a resposta do filtro *Butterworth*, embora não tão precisa quanto a do filtro ideal, ainda oferece uma performance eficiente para diversas aplicações, equilibrando suavidade na transição e preservação do sinal (SCHAUMANN; VALKENBURG; XIAO, 2001; RAZAVI, 2014; OLIVEIRA, 2017).

Esse equilíbrio torna o filtro *Butterworth* uma escolha popular em uma vasta gama de aplicações, desde sistemas de áudio até telecomunicações e processamento de sinais, onde é fundamental manter a qualidade do sinal enquanto se atinge uma redução eficiente de componentes indesejados fora da banda passante.

Figura 8 – Comparação da resposta em frequência de um filtro ideal e um filtro de 2º ordem do tipo Butterworth.



3.4.6 TOPOLOGIA DO FILTRO

A topologia escolhida para o filtro passa-baixas foi a gm - C ilustrada na figura 9, devido à sua capacidade de implementar funções biquadráticas com respostas bem definidas, como a resposta do tipo *Butterworth*. Essa topologia é especialmente vantajosa em projetos integrados, pois permite a substituição de resistores por transcondutores controlados por corrente (ou tensão), o que facilita a sintonia de parâmetros como a frequência de corte f_c e a largura de banda por meio do controle do valor de g_m , a transcondutância (MACHHA; LAXMINIDHI, 2019).

Uma das principais vantagens do filtro gm - C em relação a arquiteturas clássicas como a Sallen-Key é a possibilidade de utilizar capacitores significativamente menores para atingir a mesma frequência de corte. A equação que determina a frequência de corte para um filtro gm - C do tipo passa-baixas é dada por:

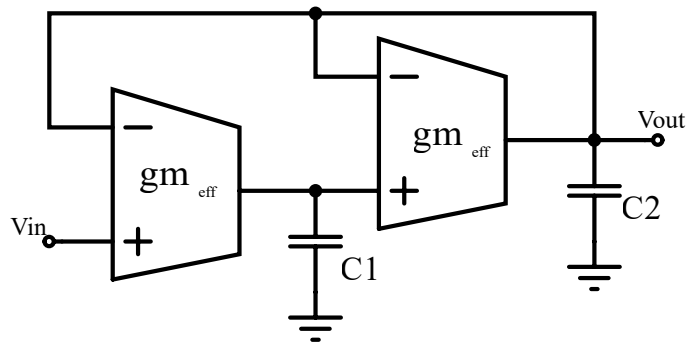
$$f_{c-3dB}^{gm-c} = \frac{g_{mef}}{2\pi\sqrt{C_1C_2}} \quad (3.18)$$

De acordo com essa equação, é possível ajustar f_c variando g_m , mantendo valores baixos de capacitância. Em contraste, na topologia Sallen-Key, a frequência de corte é determinada por:

$$f_{c-3dB}^{SK} = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}} \quad (3.19)$$

Nesta configuração, para valores de resistência viáveis em tecnologia CMOS, os capacitores tendem a ocupar uma área muito maior no chip para alcançar frequências de corte na faixa desejada (por exemplo, abaixo de 1 kHz). Já na topologia gm - C , como a transcondutância g_m pode ser projetada para assumir valores maiores (na ordem de μS a nS), os capacitores C_1 e C_2 podem ser reduzidos proporcionalmente, o que resulta em uma economia significativa de área (MACHHA; LAXMINIDHI, 2019).

Figura 9 – Filtro biquadrático de 2º ordem do tipo gm - C .



Fonte: Autor

Para ilustrar essa vantagem, considere uma frequência de corte de 250 Hz . Assumindo capacitores iguais ($C_1 = C_2 = C$) e uma transcondutância efetiva $g_{m,\text{eff}} = 10 \text{ nS}$, a equação 3.18 nos dá:

$$C = \frac{g_{m,\text{eff}}}{2\pi f_c} = \frac{10 \times 10^{-9}}{2\pi \cdot 250} \approx 6,37 \text{ pF} \quad (3.20)$$

Com esse valor de $g_{m,\text{eff}}$, os capacitores necessários são extremamente menores, o que viabiliza sua integração em tecnologias CMOS.

Em contraste, na topologia Sallen-Key, para alcançar a mesma frequência de corte com capacitores de $6,37 \text{ pF}$, seriam necessários resistores de aproximadamente $100 \text{ M}\Omega$, o que é impraticável em projetos integrados devido às limitações de área e às variações de processo (SEDRA; SMITH, 2015). Assim, a topologia gm - C permite uma maior compactação e flexibilidade de projeto, tornando-se mais adequada para integração em larga escala, especialmente em aplicações biomédicas como o monitoramento de sinais de ECG.

Entretanto, uma limitação importante dessa topologia é sua linearidade. Como os transcondutores (OTAs) operam geralmente em malha aberta, o filtro gm - C apresenta distorção significativa para sinais de maior amplitude, o que pode comprometer a fidelidade do sinal processado. Diversas técnicas de linearização, como degeneração resistiva, uso de transcondutores balanceados e esquemas de realimentação dinâmica, podem ser aplicadas para mitigar esse problema (BHUIYAN, 2014).

3.5 AMPLIFICADOR DE GANHO PROGRAMÁVEL (PGA)

Esta seção apresenta o amplificador de ganho programável (PGA), bloco fundamental no AFE para ajustar a amplitude do sinal de ECG às faixas adequadas de processamento. O PGA permite selecionar diferentes níveis de ganho de forma controlada, garantindo flexibilidade na adaptação a variações de amplitude do sinal entre diferentes pacientes e condições de medição.

3.5.1 INTRODUÇÃO E ARQUITETURA

O amplificador de ganho programável (PGA, do inglês *Programmable Gain Amplifier*) é um circuito fundamental em sistemas eletrônicos que requerem adaptação dinâmica da amplificação do sinal. Por meio de controles digitais, o PGA ajusta eletronicamente seu ganho, permitindo que o sistema lide com sinais de diferentes amplitudes, mantendo a qualidade e a fidelidade do processamento (RAZAVI, 2014).

Essa capacidade de ajuste é especialmente importante em sistemas de aquisição de dados, nos quais é necessário que o sinal fornecido ao conversor analógico-digital (ADC) ocupe plenamente a faixa dinâmica disponível. Ao evitar tanto a saturação quanto a

subutilização da resolução do ADC, o PGA assegura uma conversão mais precisa e eficiente (BAKER, 2019).

A arquitetura adotada neste trabalho, ilustrada na figura 10, baseia-se em um amplificador operacional configurado como inversor, com rede de resistores de realimentação selecionáveis digitalmente. Essa configuração permite ajustes rápidos e precisos do ganho por meio da comutação eletrônica. Além disso, o sistema conta com controle automático de ganho, implementado por uma máquina de estados digital, que ajusta o ganho em tempo real conforme as características do sinal, garantindo a adequada utilização da faixa dinâmica do ADC (RAZAVI, 2014).

3.5.2 AMPLIFICADOR INVERSOR

A base da arquitetura do PGA adotada é o amplificador operacional em configuração inversora, uma das topologias mais utilizadas em circuitos analógicos pela sua simplicidade e versatilidade. Nessa configuração, o sinal de entrada é aplicado à entrada inversora do amplificador operacional, enquanto a entrada não inversora é conectada a um potencial de referência (geralmente o terra) (SEDRA; SMITH, 2015). O sinal de saída corresponde a uma versão amplificada e invertida do sinal de entrada.

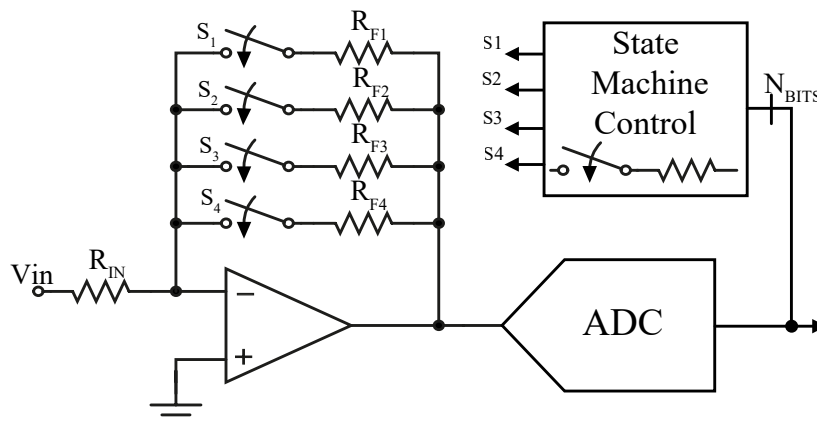
O ganho do amplificador inversor em malha fechada é determinado pela razão entre o resistor de realimentação R_F e o resistor de entrada R_{IN} , conforme expressa a equação (RAZAVI, 2014):

$$A_{cl} = -\frac{R_F}{R_{IN}} \quad (3.21)$$

Assim, a saída V_{out} é dada por:

$$V_{out} = A_{cl} \times V_{in} = -\frac{R_F}{R_{IN}} V_{in}$$

Figura 10 – Arquitetura do amplificador de ganho programável (PGA), utilizando amplificador operacional em configuração inversora com seleção resistiva digital.



Fonte: Autor

A inversão de fase é uma característica inerente a essa configuração e deve ser considerada no sistema como um todo.

No PGA projetado, o resistor de entrada R_{IN} é fixo, enquanto o resistor de realimentação $R_{F(n)}$ é selecionado digitalmente dentre vários valores disponíveis, através de chaves eletrônicas. Essa abordagem simplifica o controle do ganho, mantendo a estabilidade do circuito e permitindo a seleção rápida e precisa do nível de amplificação.

Adicionalmente, é importante considerar que, na prática, o ganho real do amplificador inversor é afetado pelo ganho finito em malha aberta do amplificador operacional, A_{v0} . Para altos valores de ganho, essa limitação pode introduzir erros, descritos pela equação aproximada (SEDRA; SMITH, 2015):

$$A_{cl(real)} \approx -\frac{R_{F(n)}}{R_{IN}} \left(1 - \frac{1 + \frac{R_{F(n)}}{R_{IN}}}{A_{v0}} \right) \quad (3.22)$$

Embora essa característica represente uma restrição em aplicações que exigem ganhos muito elevados, no caso do sistema em estudo o amplificador inversor mostrou-se uma escolha adequada. Sua simplicidade estrutural, aliada à facilidade de implementação da comutação digital dos resistores de realimentação, proporciona controle eficiente do ganho e atende de forma satisfatória aos requisitos de aquisição de sinais de ECG.

3.5.3 MÁQUINA DE ESTADOS

Para controlar automaticamente o ajuste do ganho do PGA, este trabalho utiliza uma máquina de estados finitos, um modelo matemático amplamente aplicado em sistemas digitais que possuem um número limitado e bem definido de condições ou estados (HARRIS; HARRIS, 2015).

Em cada instante, o sistema encontra-se em um único estado, podendo transitar para outro com base em entradas ou condições específicas, de acordo com regras bem definidas. Cada estado pode acionar ações ou saídas distintas, o que torna as máquinas de estados ideais para controlar processos sequenciais e decisões baseadas em eventos (HARRIS; HARRIS, 2015; PEDRONI, 2013).

No contexto do PGA, a máquina de estados monitora continuamente o sinal digitalizado pelo conversor analógico-digital (ADC), verificando a ocorrência de saturação, a qual indica que o ganho atualmente selecionado é excessivo para a amplitude do sinal de entrada.

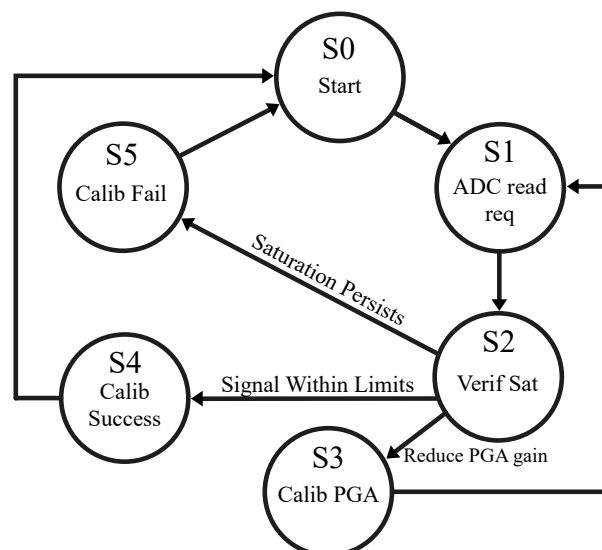
Com base nessas informações, a máquina controla a calibração automática do PGA, ajustando sequencialmente o ganho para evitar distorções por saturação e, ao mesmo tempo, maximizar a utilização da faixa dinâmica do ADC. Esse mecanismo garante que o sistema opere de maneira confiável e adaptativa, sem necessidade de intervenção manual, tornando o PGA mais eficiente e robusto.

3.5.4 IMPLEMENTAÇÃO DO PGA COM CONTROLE AUTOMÁTICO DE GANHO

A implementação do controle automático de ganho no PGA combina os conceitos anteriores para garantir que o sinal amplificado esteja sempre dentro da faixa dinâmica ideal para o conversor analógico-digital (ADC), evitando tanto a saturação quanto a perda de resolução. O controle do ganho é realizado por meio de uma máquina de estados finita, descrita em *SystemVerilog* disposto no anexo 1, que monitora continuamente as amostras digitalizadas pelo ADC. O processo de calibração inicia-se selecionando o maior ganho disponível do PGA (450 V/V). Nesse ponto inicial, a chave do resistor de realimentação correspondente ao maior ganho já está ativada, garantindo que o sistema nunca opere com todas as chaves do PGA abertas — condição que representaria um estado proibido e inviabilizaria o funcionamento do amplificador.

A cada ciclo de clock (250 kHz), a máquina de estados avalia a amostra do ADC para detectar possíveis saturações. Caso seja identificada, o sistema reduz o ganho do PGA, desabilitando a chave do resistor de realimentação ativo e ativando a chave do próximo resistor de realimentação com valor menor. Dessa forma, a resistência de realimentação é ajustada progressivamente até que o sinal esteja dentro da faixa dinâmica permitida ou até que o ganho mínimo disponível (112,5 V/V) seja atingido. Se o sinal se estabilizar antes do ganho mínimo, a calibração é considerada bem-sucedida; caso contrário, o sistema indica falha.

Figura 11 – Diagrama da máquina de estados responsável pelo controle de calibração automática do PGA.



Fonte: Autor

O diagrama da máquina de estados na figura 11 apresenta seis estados principais:

- **Inicialização (s0_init):** Configura variáveis internas e aguarda o início da calibração.

- **Requisição de Leitura** (`s1_adc_read_req`): Solicita uma nova amostra do ADC e sinaliza que a calibração está em andamento.
- **Verificação de Saturação** (`s2_verif_sat`): Avalia se a amostra do ADC está saturada. Em caso afirmativo, direciona para o ajuste do ganho; caso contrário, contabiliza amostras válidas.
- **Ajuste do Ganho** (`s3_calib_pga`): Reduz o ganho selecionando o próximo resistor de realimentação com menor valor.
- **Sucesso** (`s4_calib_success`): Estado atingido após 200 amostras consecutivas sem saturação.
- **Falha** (`s5_calib_faill`): Estado ativado quando o ganho mínimo é alcançado, mas a saturação persiste.

Para validar um ganho como adequado, o sistema requer 200 amostras consecutivas sem saturação, valor definido para garantir estabilidade estatística da decisão, reduzindo a probabilidade de ajustes indevidos causados por ruído, picos transitórios ou variações momentâneas do sinal. Considerando a frequência de operação de 250 kHz, a calibração pode ocorrer em cerca de 800 μ s no melhor cenário, podendo se estender caso sejam necessários vários ajustes.

O PGA disponibiliza múltiplos níveis discretos de ganho, por exemplo: 450 V/V, 337,5 V/V, 225 V/V e 112,5 V/V, escolhidos para maximizar o espaçamento entre níveis adjacentes — característica essencial em aplicações como eletrocardiografia (ECG), onde a amplitude do sinal varia significativamente entre pacientes. Esse controle automático e dinâmico permite ao sistema adaptar-se eficientemente às diferentes amplitudes do sinal de entrada, evitando saturação e garantindo a plena utilização da resolução do ADC.

4 CARACTERIZAÇÃO DA MODELAGEM DO AFE

Após a apresentação dos circuitos primários que compõem o *Front-End* Analógico para sinais de eletrocardiograma, realizou-se um estudo baseado em modelos comportamentais. Essa análise serviu como referência fundamental para a etapa subsequente, que consistirá no projeto elétrico detalhado dos componentes do circuito utilizando a tecnologia TSMC CMOS de 28 nm.

Nesta seção, o foco recai sobre a avaliação do comportamento do AFE em sua forma ideal, implementado nas linguagens *Verilog-A* e *SystemVerilog*, a fim de validar a arquitetura e extrair parâmetros de projeto para os blocos individuais — em especial o filtro passa-baixas (FPB) e o amplificador de ganho programável (PGA) — que serão tratados em maior profundidade na seção seguinte.

O ambiente de simulação adotado para essa validação utilizou o *software Virtuoso*, da *Cadence*, como principal ferramenta de projeto. Para a análise do sistema analógico, foi empregado o simulador *Spectre*, também da *Cadence*. Já para a validação do bloco digital, utilizou-se o simulador *Xcelium*, igualmente pertencente ao portfólio da *Cadence*, amplamente utilizado para simulação de sistemas descritos em linguagens de descrição de *hardware* (HDL), como *SystemVerilog*. Essa divisão no ambiente de simulação permitiu avaliar com rigor tanto o comportamento analógico dos circuitos quanto a lógica de controle digital implementada na máquina de estados responsável pela calibração automática do PGA.

Com o objetivo de validar o modelo comportamental e a arquitetura proposta, foram definidos e avaliados diversos parâmetros característicos de cada um dos blocos que compõem o sistema. Esses parâmetros incluem valores de referência, como níveis de ganho, tempos de resposta e limites operacionais, que nortearam tanto o processo de simulação quanto a verificação do desempenho esperado. Os valores utilizados e os resultados obtidos nas simulações comportamentais são apresentados a seguir, organizados em tabelas e figuras, de modo a facilitar a análise e a comparação com as especificações estabelecidas.

Os valores utilizados e os resultados obtidos nas simulações comportamentais são apresentados a seguir, organizados em tabelas, de modo a facilitar a análise e a comparação com as especificações estabelecidas.

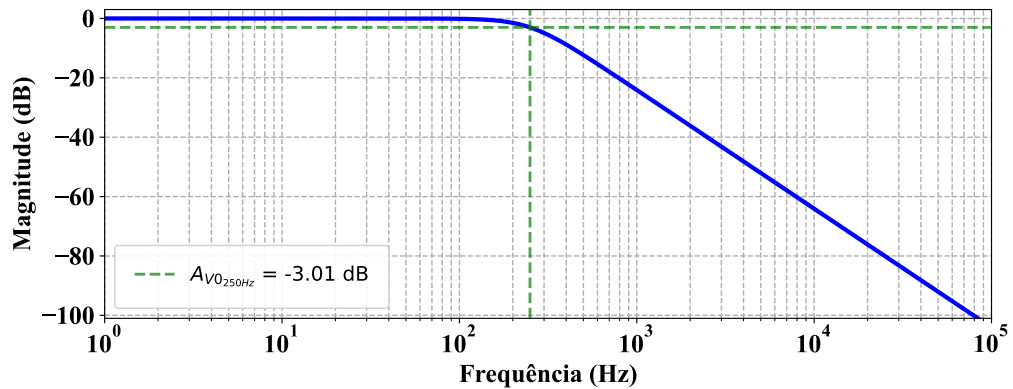
A tabela 1 apresenta os principais parâmetros definidos para a modelagem do filtro gm-C de segunda ordem, como a transcondutância efetiva, as capacitâncias, a frequência de corte e a tecnologia utilizada (TSMC CMOS 28 nm). O valor da transcondutância foi escolhido estrategicamente para minimizar as dimensões dos capacitores integrados no circuito. Em tecnologias CMOS, a implementação de capacitores demanda áreas consideráveis, mesmo para valores relativamente baixos. Assim, ao adotar uma transcondutância reduzida, é possível projetar capacitores menores, conforme ilustrado pela equação 3.18, otimizando a área ocupada e favorecendo a eficiência e a viabilidade prática do projeto.

Tabela 1 – Parâmetros comportamentais do filtro gm-C

Parâmetro	Valor
Transcondutância efetiva ($g_{m,eff}$)	10 nS
Capacitância C_1	9 pF
Capacitância C_2	4.5 pF
Frequência de corte (f_c)	250 Hz
Fator de qualidade (Q)	0.707
Tensão de alimentação (V_{DD})	0.9 V
Tecnologia	TSMC CMOS 28 nm
Ordem do filtro	2
Ganho em DC	0 dB

A figura 12 apresenta a resposta em frequência obtida a partir da simulação do modelo comportamental proposto, evidenciando a característica típica de um filtro do tipo *Butterworth*. Observa-se que o filtro apresenta um ganho de aproximadamente -3 dB na frequência de 250 Hz, com atenuação progressiva além da banda passante e uma resposta suave, sem distorções significativas. Esses resultados indicam que o modelo implementado é adequado para orientar as etapas subsequentes de projeto e síntese na tecnologia TSMC CMOS de 28 nm.

Figura 12 – Resposta em frequência do filtro gm-C modelado.



Fonte: Autor

Complementarmente, a tabela 2 apresenta os parâmetros comportamentais do Amplificador Operacional Transcondutância (OTA) utilizado, bem como do Amplificador de Ganho Programável (PGA). No contexto do PGA, destacam-se as resistências de entrada e de realimentação, as quais permitem configurar diferentes níveis de ganho de forma ajustável e controlada. Essa capacidade de ajuste é fundamental para adaptar a amplitude do sinal de saída às necessidades do sistema.

Tabela 2 – Parâmetros comportamentais do OTA e do PGA

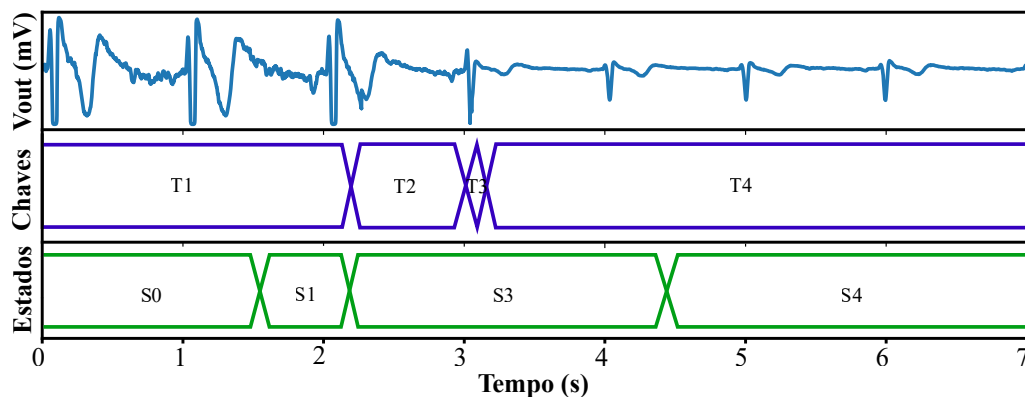
Parâmetro	Valor
Características do OTA	
Tensão de alimentação (V_{DD})	0.9 V
Capacitância de carga (C_{load})	3.4 pF
Ganho em malha aberta (A_{V0})	60 dB
Produto ganho-banda (GBW)	250 kHz
Relação sinal-ruído (SNR)	35 dB
Margem de fase (PM)	60°
Características do PGA	
Resistência de entrada (R_{in})	10 k Ω
Resistência de realimentação 1 (R_{f1})	1125 k Ω
Resistência de realimentação 2 (R_{f2})	2250 k Ω
Resistência de realimentação 3 (R_{f3})	3375 k Ω
Resistência de realimentação 4 (R_{f4})	4500 k Ω

A operação do PGA baseia-se na configuração clássica do amplificador inversor já comentada, cujo ganho é determinado pela relação entre as resistências de realimentação e de entrada, conforme expressa na equação 3.22. O ajuste do ganho é realizado por meio da seleção das resistências de realimentação (R_{f1} a R_{f4}), que são conectadas ou desconectadas pela ativação das chaves controladas digitalmente pela máquina de estados.

Para implementar essa seleção, emprega-se uma máquina de estados que controla dinamicamente o ganho do PGA por meio da ativação das chaves T1 a T4, associadas aos estados S0 a S4, cujo funcionamento é ilustrado na figura 13. Essa arquitetura permite que o ganho seja ajustado automaticamente em tempo real, adaptando-se de forma rápida e eficiente às variações do sinal de entrada ou às diferentes condições operacionais do sistema.

Os resultados demonstram que o PGA projetado oferece um controle de ganho flexível, garantindo ajustes dinâmicos eficazes sem comprometer a qualidade do sinal processado, o que é fundamental para aplicações que exigem alta fidelidade e confiabilidade.

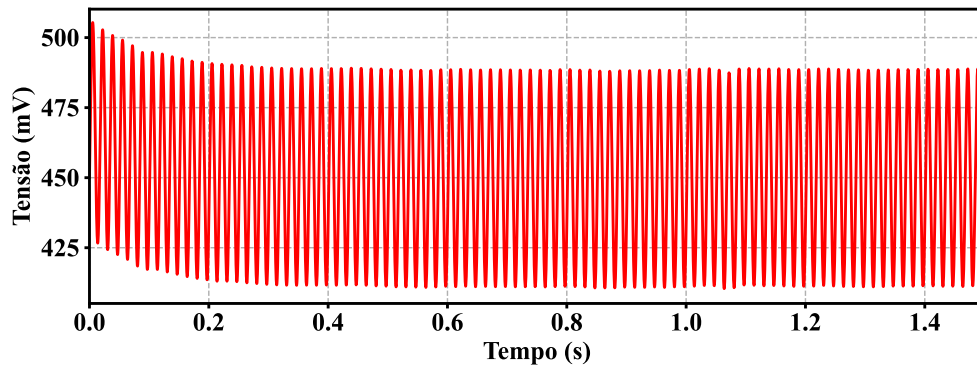
Figura 13 – Controle do ganho do PGA pela máquina de estados.



Fonte: Autor

A figura 14 ilustra o comportamento do sinal ao longo das etapas de controle de ganho no circuito AFE de um sistema de aquisição de sinais de ECG. No item (A), observa-se o sinal de entrada no AFE, onde é evidente a presença de interferência de 60 Hz, característica típica de ruído de rede elétrica. Esse ruído se sobrepõe completamente ao sinal do eletrocardiograma, prejudicando sua interpretação. Já o item (B) apresenta a saída do AFE, evidenciando a atuação do módulo de controle de ganho. Até o instante de 2,5 s, nota-se uma clara saturação do sinal, causada por amplificação excessiva na etapa de ganho programável (PGA). Após esse ponto, a máquina de estados detecta a saturação na saída do conversor analógico-digital (ADC) e ajusta automaticamente o ganho do PGA, maximizando a faixa dinâmica útil e evitando nova saturação.

(A) Sinal de entrada no AFE com forte interferência de 60 Hz, típica de ruído de rede elétrica.



(B) Sinal de saída do AFE com atuação do controle automático de ganho do PGA, reduzindo a saturação.

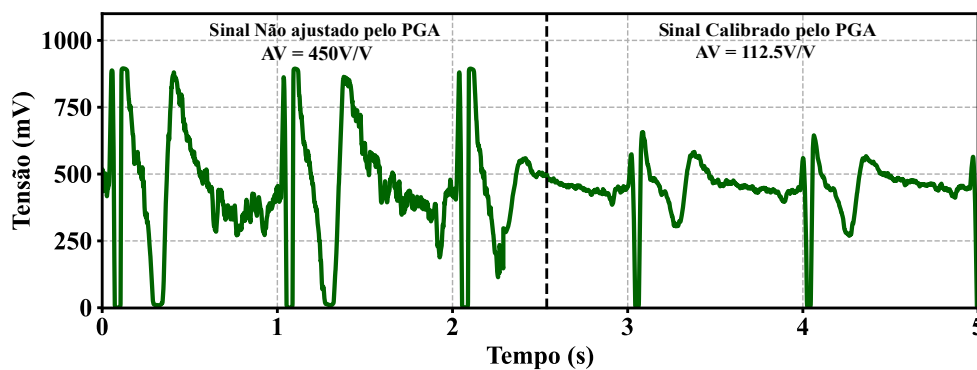


Figura 14 – Comportamento do sinal de ECG antes e após o AFE.

Fonte: Autor

Após a correção dinâmica do ganho pelo PGA, o sinal resultante se aproxima significativamente do traçado real do ECG, com notável redução das interferências de modo comum, graças à realimentação ativa fornecida pelo circuito *Driven Right Leg*. A inversão de fase observada decorre da topologia inversora do amplificador utilizado no

PGA; no entanto, tal inversão pode ser facilmente compensada digitalmente por um microcontrolador, se necessário.

A aquisição de sinais de ECG impõe desafios significativos, especialmente no que se refere à rejeição de ruído elétrico de 60 Hz. A eficácia do amplificador de instrumentação (AI) em rejeitar sinais de modo comum, juntamente com o feedback ativo do circuito de aterramento da perna direita, é fundamental para a integridade do sinal. O processo de amplificação é governado por um sistema de controle retroalimentado, que busca manter a fidelidade do sinal e maximizar sua faixa dinâmica antes da digitalização.

A implementação de um modelo comportamental do circuito ECG AFE é indispensável para validar a arquitetura proposta e para definir corretamente os requisitos dos blocos funcionais, viabilizando posteriormente o projeto elétrico completo do sistema.

Por fim, o modelo ideal desenvolvido mostrou-se eficaz não apenas para a compreensão global do funcionamento do sistema, mas também para evidenciar os parâmetros críticos que exigem atenção no projeto dos blocos reais, servindo como uma ferramenta essencial para orientar decisões de projeto e mitigar riscos no desenvolvimento em nível de transistor.

5 PROJETO DOS BLOCOS EM CMOS

Com base nas especificações obtidas a partir da análise comportamental apresentada no Capítulo 4, este capítulo descreve a implementação física do Filtro Passa-Baixas (LPF) e do Amplificador de Ganho Programável (PGA) em tecnologia TSMC CMOS de 28 nm. São discutidas as topologias adotadas, o dimensionamento dos transistores e capacitores, bem como os resultados obtidos nas simulações elétricas. Ademais, apresenta-se o desenvolvimento do layout dos blocos projetados, incluindo as estratégias de floorplan, organização interna e considerações de projeto adotadas para garantir desempenho, integridade elétrica e compatibilidade com o processo de fabricação.

5.1 FILTRO PASSA-BAIXAS (LPF)

O filtro passa-baixas de segunda ordem com resposta de Butterworth tem como função limitar a largura de banda do sinal de ECG em torno de 250 Hz, atenuando ruídos de alta frequência. As principais especificações utilizadas no projeto estão resumidas na Tabela 1, derivadas da análise comportamental. A seguir, apresenta-se a implementação em CMOS, com ênfase no dimensionamento do OTA, na seleção das capacitâncias integradas e na verificação do desempenho por meio de simulações elétricas.

5.1.1 PROJETO DO OTA PARA O LPF

A Figura 16 apresenta a resposta em frequência obtida. Observa-se que o OTA alcançou um ganho em regime DC de aproximadamente 21.96 dB, com um produto ganho-banda (GBW) de 38.25 kHz e uma margem de fase de 89.24° para uma carga de $C_L = 1$ pF. Além disso, foi observado um *input offset* de 4.162 mV, valor coerente com implementações em CMOS, mas que pode impactar a faixa dinâmica útil em sinais de ECG, dada sua amplitude reduzida. Esses resultados indicam um desempenho mediano, compatível com a topologia escolhida e adequado para a aplicação em filtros gm-C de baixa frequência. Ressalta-se que esse comportamento é esperado para um circuito sem técnicas adicionais de compensação, em especial para a mitigação do *offset*, cujo valor de 4.162 mV reflete limitações típicas de implementações CMOS nessa configuração.

O dimensionamento foi conduzido de forma a garantir que todos os transistores operem na região de saturação, condição essencial para assegurar linearidade e previsibilidade de corrente. Essa região é definida por (RAZAVI, 2014):

$$V_{DS} \geq V_{GS} - V_{TH}, \quad (5.1)$$

onde V_{DS} é a tensão de dreno-fonte, V_{GS} a tensão de porta-fonte e V_{TH} a tensão de limiar.

A transcondutância efetiva do OTA é dada por:

$$g_{m,eff} = g_{m1} - g_{m2} = \frac{\Delta i}{2\eta V_T}, \quad (5.2)$$

5.1.2 DIMENSIONAMENTO E POLARIZAÇÃO DO OTA

A corrente de referência do circuito foi estabelecida em 100 nA, sendo espelhada para gerar as correntes de cauda dos pares diferenciais. A regulação fina de $g_{m,eff}$ é obtida por meio do resistor ajustável R_{adj} , que introduz um desbalanceamento controlado entre as correntes de cauda I_{ss1} e I_{ss2} . Esse desbalanceamento gera a diferença de corrente:

$$\Delta i = I_{ss1} - I_{ss2}, \quad (5.3)$$

a qual se reflete diretamente na transcondutância efetiva do transconductor:

$$g_{m,eff} = \frac{\Delta i}{2\eta V_T}. \quad (5.4)$$

Dessa forma, o resistor R_{adj} atua como um elemento de controle de tunabilidade, permitindo ajustar o ponto de operação do OTA de forma simples e eficaz. Conforme discutido em (MACHHA; LAXMINIDHI, 2019), pequenas variações no valor desse resistor são suficientes para produzir mudanças significativas em Δi e, conseqüentemente, em $g_{m,eff}$. Esse recurso viabiliza a sintonia da frequência de corte do filtro gm-C sem a necessidade de alterar os valores de capacitância integrados.

Com base na capacitância escolhida para o filtro ($C = 240$ pF) e na frequência de corte de projeto, calculou-se o valor necessário de $g_{m,eff}$ a partir da relação:

$$g_{m,eff} = 2\pi f_c Q C_1 = 287.5 \text{ nS}, \quad (5.5)$$

onde $Q = 0.707$ corresponde ao fator de qualidade típico da resposta de Butterworth em filtros de segunda ordem.

A partir desse valor de $g_{m,eff}$, foram definidos os níveis de polarização DC e dimensionadas as razões W/L de cada transistor, assegurando operação na região de saturação e fornecendo as correntes necessárias ao OTA.

Os transistores de entrada (M_1 – M_4) apresentaram os maiores valores de V_{GS} , uma vez que foram projetados para operar na região de inversão moderada, condição importante para preservar a linearidade da conversão tensão-corrente. Já os transistores de espelhamento e cascode (M_5 – M_8) operaram com valores mais baixos de V_{GS} , refletindo seu papel de fornecer ganho adicional e resistência de saída elevada.

A Tabela 4 resume os valores de tensão e corrente obtidos para cada conjunto de transistores do OTA.

Tabela 3 – Parâmetros de polarização dos transistores do OTA

Transistor	V_{GS} [V]	V_{DS} [V]	I_D [nA]
$M_1 = M_3$	0.25	0.25	54.4
$M_2 = M_4$	0.24	0.24	46.15
$M_5 = M_6$	0.22	0.24	100.5
$M_7 = M_8$	0.21	0.21	99.91

Nota-se que uma pequena diferença de corrente no *tail current* provocou valores ligeiramente distintos de I_D entre os transistores de entrada (M_1 – M_4). Como consequência, os transistores apresentaram transcondutâncias diferentes, resultando em $g_{m1} \neq g_{m2}$. Essa assimetria é intencional e corresponde ao mecanismo de ajuste de $g_{m,eff}$ descrito anteriormente, em que:

$$g_{m,eff} = g_{m1} - g_{m2}. \quad (5.6)$$

Assim, a diferença de correntes definida pelo resistor $R_{adj} = 26,04k\Omega$ gera a condição necessária para obter o valor efetivo de transcondutância requerido pelo filtro. Os valores de $g_{m1} = 1,809\mu S$ e $g_{m2} = 1,524\mu S$ obtidos na simulação serão apresentados posteriormente, de modo a comprovar que $g_{m,eff} = 285\mu S$ tendo valor próximo ao valor calculado pela equação de projeto.

5.1.3 CARACTERIZAÇÃO ELÉTRICA DO OTA

Após o dimensionamento, o OTA foi caracterizado por meio de simulações elétricas no simulador *Spectre*. A análise incluiu os principais parâmetros de interesse para a aplicação em filtros gm-C de baixa frequência, tais como ganho em regime DC, resposta em frequência, rejeição à fonte de alimentação (PSRR+ e PSRR-), ruído de saída, estabilidade, input offset e consumo de potência.

A caracterização em frequência (AC) foi empregada para avaliar o ganho em pequenos sinais e observar o comportamento do circuito em regime linear. A Figura 16 apresenta a resposta obtida, na qual se verifica um ganho DC de aproximadamente 21.96 dB, com um produto ganho-banda (GBW) de 38.25 kHz e uma margem de fase de 89.24° para uma carga de $C_L = 1 pF$. Observou-se ainda um *input offset* de 4.162 mV, valor relevante frente às amplitudes reduzidas do sinal de ECG, e um consumo de potência da ordem de 360 nW. De forma geral, esses resultados indicam um desempenho mediano, compatível

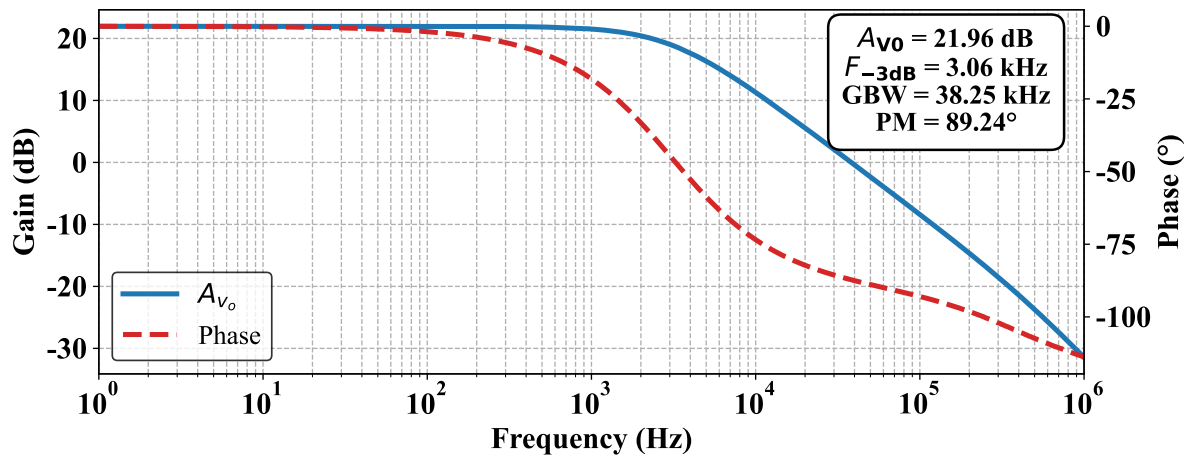


Figura 16 – Resposta em frequência do OTA com par diferencial cruzado utilizado no filtro gm-C.

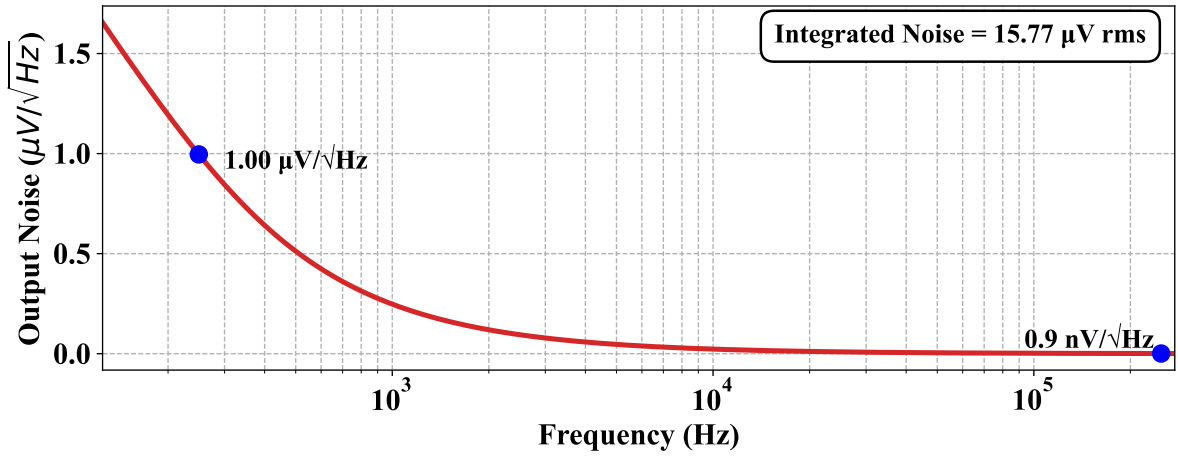


Figura 17 – Densidade espectral de ruído de saída do OTA.

com a topologia escolhida, mas esperado para um circuito sem técnicas adicionais de compensação, em especial de offset. Nota-se também o comportamento típico do módulo de ganho: estável em baixas frequências, seguido de uma queda gradual após a frequência de canto associada ao GBW , o que evidencia a limitação natural da arquitetura em altas frequências.

Complementarmente à análise de ganho, foi avaliado o ruído de saída do OTA, apresentado na Figura 17. A densidade espectral evidencia o comportamento típico de circuitos operando em baixas frequências, com predominância do ruído *flicker* até algumas centenas de hertz, seguido pela região de ruído branco em frequências mais elevadas. O ruído integrado $V_{n,rms}$, calculado de acordo com a Equação 5.7, apresentou valor de aproximadamente $15.77 \mu V_{rms}$ no intervalo de 250 Hz a 250 kHz. Além disso, os valores pontuais de densidade de ruído foram de $1 \mu V/\sqrt{Hz}$ em 250 Hz e $0.9 nV/\sqrt{Hz}$ em 250 kHz, indicando que a contribuição de ruído em baixas frequências é dominante e deve ser considerada no contexto do processamento de sinais de ECG.

$$V_{n,rms} = \sqrt{\int_{250 \text{ Hz}}^{250 \text{ kHz}} Out_v(f) df}, \quad (5.7)$$

Por fim, foram analisados os valores de *Power Supply Rejection Ratio* (PSRR), parâmetro que quantifica a capacidade do circuito em rejeitar variações ou ruídos provenientes da fonte de alimentação, evitando que tais perturbações se propaguem até a saída. As expressões matemáticas utilizadas para o cálculo estão apresentadas nas equações 5.8 e 5.9, conforme (ALLEN; HOLBERG, 2002).

$$PSRR_{+dB} = 20 \log_{10} \left(\frac{\Delta V_{DD}}{\Delta V_{out}} \right). \quad (5.8)$$

$$PSRR_{-dB} = 20 \log_{10} \left(\frac{\Delta V_{SS}}{\Delta V_{out}} \right). \quad (5.9)$$

As curvas simuladas de PSRR+ e PSRR-, ilustradas na Figura 18, mostram que em 250 Hz os valores medidos foram de aproximadamente -69.2 dB para o PSRR+ e -22.6 dB para o PSRR-, enquanto em 250 kHz foram reduzidos para -15.4 dB e -19.8 dB , respectivamente. Essa redução evidencia a degradação natural do PSRR em altas frequências, característica intrínseca da topologia adotada, e que deve ser considerada no contexto do sistema de aquisição de sinais biomédicos.

O baixo PSRR- observado decorre principalmente da baixa impedância de saída das fontes de corrente e das cargas ativas — limitada pelo comprimento de canal máximo permitido ($1\text{ }\mu\text{m}$) — combinada à própria arquitetura adotada, que utiliza múltiplas fontes de cauda e cargas PMOS sem estágio cascodes, fornecendo diversos caminhos de acoplamento entre o terra e o nó de saída (ALLEN; HOLBERG, 2002).

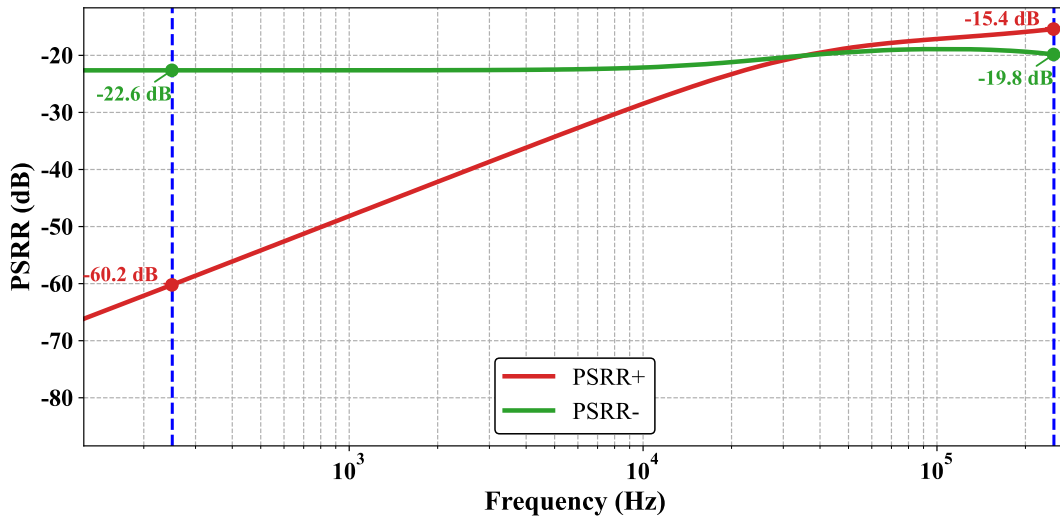


Figura 18 – Resposta em frequência do PSRR+ e PSRR- do OTA utilizado no filtro gm-C.

5.1.4 CARACTERIZAÇÃO ELÉTRICA DO FILTRO GM-C

O filtro gm-C projetado e implementado na Figura 9 foi avaliado considerando sua resposta em frequência, estabilidade, ruído e consumo de potência. A Figura 19 mostra a resposta em frequência do filtro de segunda ordem, que apresentou ganho em DC de -721.9 mdB , frequência de corte de 247.88 Hz e consumo de potência de $1.08\text{ }\mu\text{W}$. Embora o ganho não tenha atingido o valor especificado de 0 dB , o resultado é aceitável, pois o ajuste final será realizado pelo PGA no estágio seguinte. A frequência de corte obtida ficou muito próxima do alvo de 250 Hz , atendendo às especificações do projeto.

Além disso, os capacitores ativos do filtro — com valores de 240 pF e 120 pF — foram projetados considerando também a capacitância parasita associada aos *pads* de entrada e saída do chip. Em tecnologias CMOS modernas, a capacitância típica de um *pad* varia entre 0.15 pF e 1 pF , dependendo da estrutura de proteção ESD e do processo de fabricação utilizado (AMERASEKERA; DUVVURY, 2002). Como esses valores são significativamente menores que as capacitâncias implementadas no filtro, a contribuição

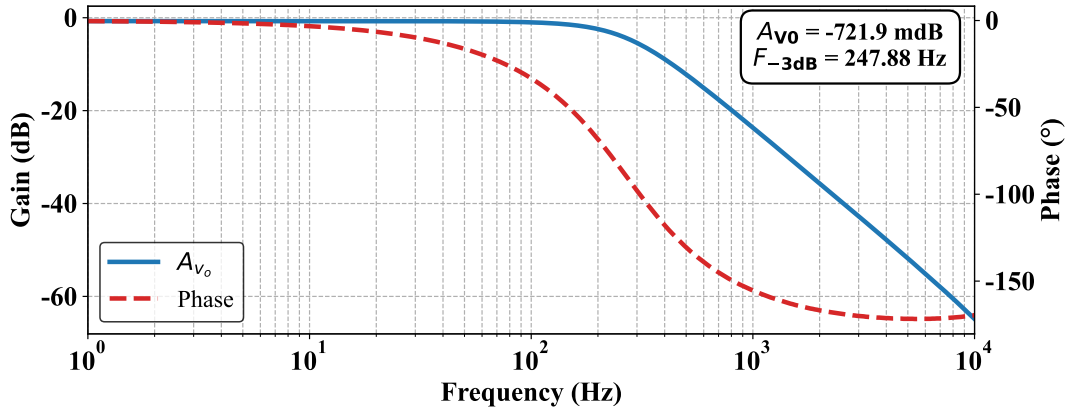


Figura 19 – Resposta em frequência do filtro gm-C de segunda ordem.

total dos *pads* é desprezível frente aos valores de 240 pF e 120 pF. Assim, não foi necessário realizar ajustes adicionais nos capacitores do filtro para compensar esses parasitas.

A Figura 20 apresenta a densidade espectral de ruído de saída do filtro, destacando sua contribuição dentro da banda de interesse. O valor de ruído integrado, calculado entre 0.5 Hz e 250 Hz, foi de aproximadamente $51.29 \mu V_{rms}$. Esse resultado evidencia a predominância do ruído em baixas frequências, especialmente do tipo *flicker*, que se mostrou totalmente predominante neste projeto. Tal comportamento já havia sido discutido no Capítulo 3, onde foi ressaltado que em circuitos CMOS o ruído *flicker* tende a dominar em baixas frequências, representando um dos fatores que mais impactaram o desempenho final do filtro.

A resposta ao impulso do filtro figura 21 também foi avaliada para verificar seu comportamento no domínio do tempo. Essa análise foi realizada em pequenos sinais, uma vez que, por sua natureza, filtros gm-C convencionais — e em especial a topologia de OTA adotada, que não possui estágio de saída em Classe A ou AB — apresentam limitações no *output swing*. A simulação mostra que, sob condições de pequenos sinais, o filtro apresenta resposta aceitável no domínio temporal, preservando a forma de onda aplicada. Para o

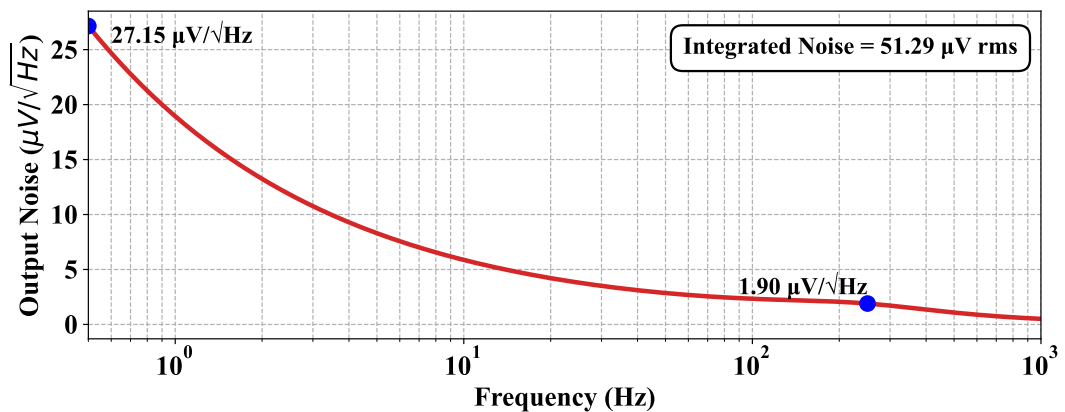


Figura 20 – Densidade espectral de ruído de saída do filtro gm-C de segunda ordem.

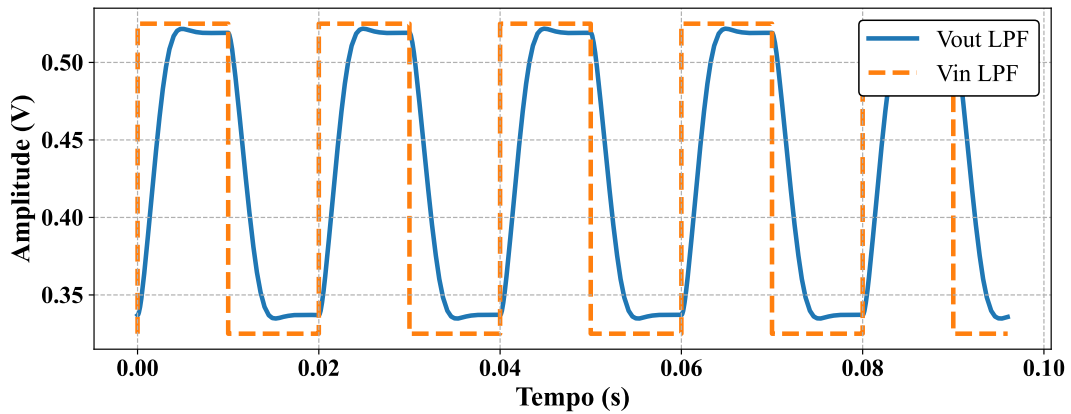


Figura 21 – Resposta ao impulso do filtro gm-C de segunda ordem em pequenos sinais.

ensaio, utilizou-se um sinal de entrada senoidal de 50 Hz, dentro da banda de interesse do ECG, no qual o comportamento do circuito manteve-se estável e previsível. Entretanto, observou-se que, para frequências acima de 300 Hz, a forma de onda de saída passa a exibir um comportamento senoidal com tendência de rampa, possivelmente relacionado à limitação dinâmica da arquitetura e ao efeito combinado entre capacitâncias internas e a resposta do OTA em altas frequências. Apesar desse fenômeno, dentro da faixa de interesse do projeto (até 250 Hz), o filtro demonstrou desempenho adequado para a aplicação em aquisição de sinais biomédicos.

Adicionalmente, vale destacar que, para esta primeira versão de tape-out, os capacitores do filtro gm-C serão implementados de forma *off-chip*. Embora, ao final do projeto, tenha sido identificado espaço potencial para integração dos capacitores no silício, optou-se por mantê-los externos nesta etapa inicial por questões de simplicidade de implementação e maior flexibilidade para ajustes experimentais. Para versões futuras do circuito integrado, pretende-se investigar estratégias para reduzir o tamanho efetivo dos capacitores do filtro, incluindo o estudo de arquiteturas alternativas de OTA que permitam operar com transcondutâncias ainda menores, de modo a melhor explorar as características da tecnologia CMOS de 28 nm e viabilizar uma integração completa e otimizada do filtro no chip.

5.2 AMPLIFICADOR DE GANHO PROGRAMÁVEL (PGA)

O amplificador de ganho programável (PGA) tem como função ajustar dinamicamente a amplitude do sinal de ECG, garantindo que ele permaneça dentro da faixa ideal para posterior conversão e processamento. As principais especificações empregadas no projeto foram definidas a partir da análise comportamental do sistema e visam permitir operação robusta em baixa tensão, com ganho configurável e elevada linearidade. Nesta seção, apresenta-se a implementação em CMOS do PGA, com foco no dimensionamento do OTA Miller utilizado como núcleo amplificador, na definição da rede resistiva responsável

pela programação de ganho e na validação do desempenho por meio de simulações elétricas.

5.2.1 OTA MILLER IMPLEMENTADO NO PGA

O elemento ativo central do PGA é um amplificador transcondutância-operacional (OTA), responsável por converter a tensão de entrada em corrente e, em conjunto com a rede de realimentação, definir o ganho do estágio. A escolha da topologia do OTA exerce influência direta no desempenho global do PGA, impactando parâmetros como ganho em regime DC, largura de banda, linearidade e consumo de potência.

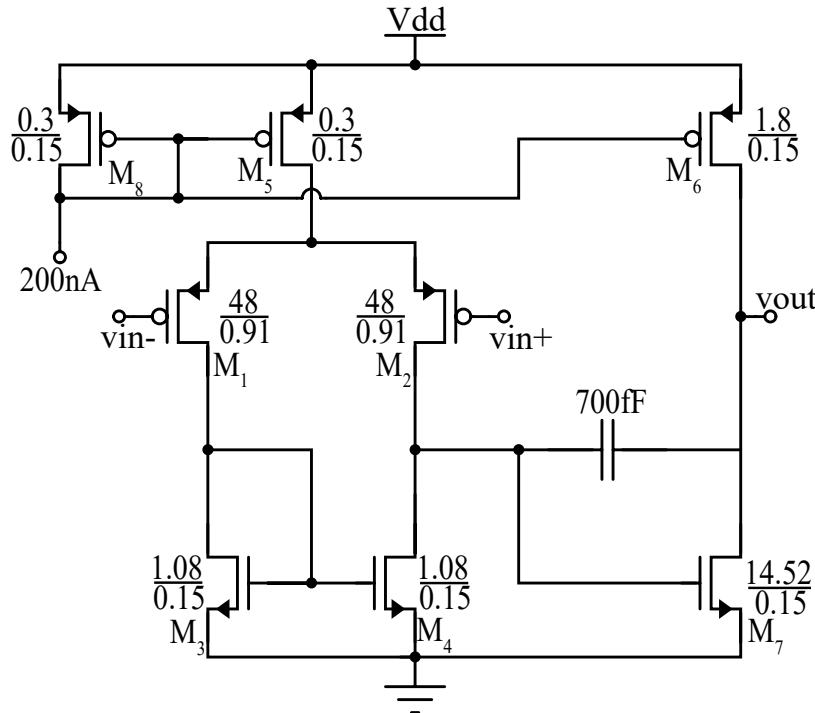


Figura 22 – Arquitetura do amplificador Miller. Os dimensionamentos mostrados correspondem a ($W/L = \mu m$).

O amplificador Miller, também conhecido como amplificador de dois estágios com compensação capacitiva, é amplamente utilizado em circuitos CMOS devido à sua elevada capacidade de ganho e à simplicidade de implementação (ALLEN; HOLBERG, 2011b; FABRIS, 2006; PALMA; VARELA; MOREIRA, 2023). O circuito básico apresentado na Figura 22 é composto por um par diferencial de entrada (primeiro estágio), seguido por um estágio de ganho de tensão. Entre esses estágios é conectado o capacitor de compensação C_C , que introduz o chamado efeito Miller, deslocando o pólo dominante para frequências mais baixas e garantindo a estabilidade em malha fechada.

A Figura 23 apresenta o modelo em pequenos sinais do OTA Miller com o capacitor de compensação. Esse modelo é utilizado para analisar o comportamento dinâmico do circuito em regime linear, permitindo determinar o ganho, os principais pólos e zeros, e a resposta em frequência do amplificador (ALLEN; HOLBERG, 2011b; RAZAVI, 2014).

A partir dele, derivam-se expressões analíticas que auxiliam na compreensão do impacto da transcondutância, das resistências de saída e do capacitor de compensação sobre o desempenho global do circuito.

O ganho total em regime DC do OTA Miller é dado pelo produto dos ganhos de cada estágio, conforme a Equação 5.10:

$$A_{V0} = A_{v1} \cdot A_{v2}. \quad (5.10)$$

O ganho do primeiro estágio, formado pelo par diferencial de entrada, pode ser aproximado por:

$$A_{v1} \approx \frac{g_{m1}}{g_{ds2} + g_{ds4}}, \quad (5.11)$$

em que g_{m1} representa a transcondutância do par diferencial, enquanto g_{ds2} e g_{ds4} correspondem às condutâncias de saída dos transistores de carga ativa.

O ganho do segundo estágio é expresso por:

$$A_{v2} \approx \frac{g_{m6}}{g_{ds6} + g_{ds7}}, \quad (5.12)$$

em que g_{m6} é a transcondutância do transistor de saída, e g_{ds6} e g_{ds7} são as condutâncias de saída associadas à sua carga.

O pólo dominante é introduzido pelo capacitor de compensação C_C , cuja frequência é dada por:

$$f_{p1} \approx \frac{1}{2\pi g_{m6}(r_{o6} \parallel r_{o7})C_C}, \quad (5.13)$$

enquanto o zero associado ao mesmo capacitor é expresso por:

$$f_z \approx \frac{g_{m6}}{2\pi C_C}. \quad (5.14)$$

Por sua vez, o produto ganho-banda (GBW), que define a frequência de unidade de ganho do amplificador, é dado por:

$$GBW \approx \frac{g_{m1}}{2\pi C_C}. \quad (5.15)$$

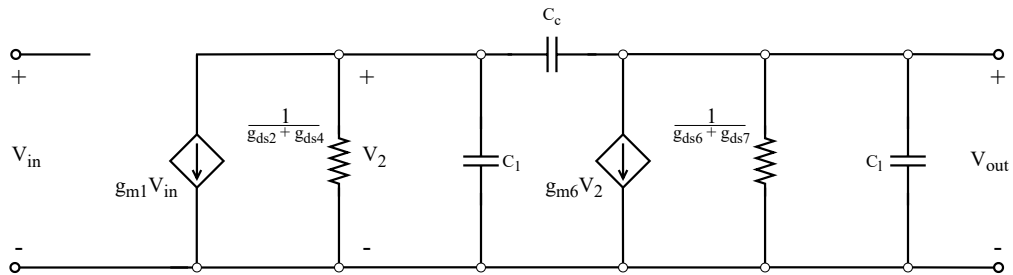


Figura 23 – Modelo em pequenos sinais do OTA Miller com capacitor de compensação C_C .

Dessa forma, o OTA Miller apresenta como principais características: (i) alto ganho em regime DC, obtido pelo produto dos ganhos de cada estágio; (ii) facilidade de estabilização por meio da compensação Miller; e (iii) boa previsibilidade do GBW , proporcional a g_{m1} e inversamente proporcional a C_C .

A escolha dessa topologia para o PGA justifica-se pela combinação entre simplicidade de implementação, elevado ganho, ampla faixa de GBW e possibilidade de obter alto *output swing*, já que opera em classe AB, favorecendo a linearidade do sistema. Como desvantagem, a compensação Miller requer correntes de polarização mais elevadas para carregar e descarregar rapidamente o capacitor C_C , resultando em maior consumo de potência quando comparada a técnicas como a compensação *feedforward*, mais eficientes energeticamente em certas aplicações.

O dimensionamento inicial do OTA Miller foi realizado a partir das relações clássicas que definem o produto ganho-banda e a compensação Miller. Considerando o capacitor de carga do PGA de aproximadamente $C_L = 3.4$ pF, adotou-se o capacitor de compensação como uma fração desse valor, de acordo com a relação empírica $C_C = 0.22 \cdot C_L$, resultando em $C_C \approx 0.75$ pF. O ganho-banda (GBW) alvo foi definido como 250 kHz.

A transcondutância do primeiro estágio (g_{m1}) foi então estimada pela Equação 5.16:

$$g_{m1} = 2\pi \cdot GBW \cdot C_C, \quad (5.16)$$

resultando em:

$$g_{m1} = 2\pi \cdot 250 \times 10^3 \cdot 0.75 \times 10^{-12} \approx 1.18 \mu\text{S}. \quad (5.17)$$

O segundo estágio foi dimensionado para fornecer corrente de saída suficiente e garantir a estabilidade do sistema, adotando-se uma transcondutância dez vezes maior que a do primeiro estágio, conforme a Equação 5.18:

$$g_{m7} = 10 \cdot g_{m1} = 10 \times 1.18 \mu\text{S} = 11.8 \mu\text{S}. \quad (5.18)$$

Essa proporção assegura boa separação entre os pólos dominantes e favorece uma margem de fase próxima de 60° . A escolha de $C_C = 0.22 \cdot C_L$ proporciona uma compensação eficiente, amplamente adotada para garantir estabilidade em amplificadores Miller de dois estágios.

Com essas condições, o dimensionamento inicial fornece uma base consistente para posterior ajuste fino em simulação, assegurando estabilidade e resposta compatível com as especificações de ganho e largura de banda do sistema.

A Tabela 4 apresenta os parâmetros de polarização obtidos nas simulações DC do OTA Miller. Observa-se que as transcondutâncias extraídas (g_{m1} e g_{m7}) são ligeiramente superiores às calculadas analiticamente nas Equações 5.17 e 5.18, devido às simplificações teóricas que desconsideram efeitos de canal curto e outras não idealidades dos dispositivos.

A corrente de referência de aproximadamente 200 nA, estabelecida no transistor M_8 , é espelhada para os demais ramos do circuito, definindo as correntes de polarização

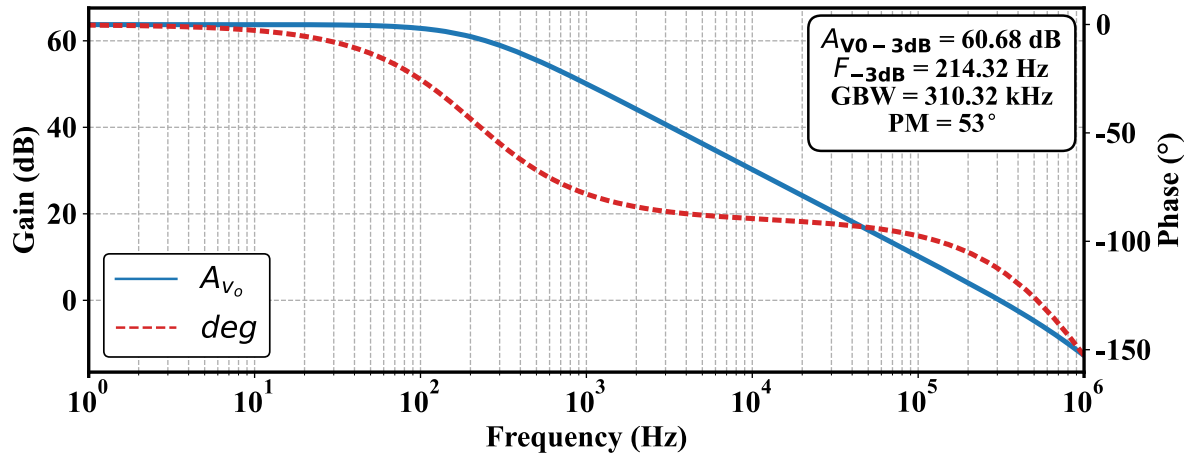


Figura 24 – Resposta em frequência do OTA Miller projetado.

dos pares diferenciais e do estágio de ganho. No entanto, diferenças de V_{DS} entre os transistores dos espelhos de corrente — consequência direta das condições de polarização impostas pela topologia — causam pequenas variações nas correntes copiadas, atribuídas principalmente à modulação de canal curto. Além disso, o espelho de corrente utilizado é simples e não incorpora técnicas de correção, como cascode ou Wilson, o que limita sua precisão. Mesmo assim, os níveis de polarização obtidos garantem operação estável e coerente com o dimensionamento teórico.

Apesar dessas variações, o circuito apresentou um GBW levemente superior ao previsto, o que aumenta a margem de estabilidade e robustez do sistema. Embora esse comportamento resulte em maior consumo de potência, optou-se por manter as condições de polarização obtidas, assegurando desempenho confiável dentro das especificações do PGA.

Tabela 4 – Parâmetros de polarização dos transistores do OTA Miller.

Transistor	V_{GS} [mV]	V_{DS} [mV]	I_D [nA]	g_m [μS]	g_{ds} [nS]
$M_1 = M_2$	273.5	476.7	45.68	1.492	1.291
$M_3 = M_4$	246.8	246.8	45.68	1.494	22.9
M_5	365.2	176.5	88.76	2.872	65.3
M_6	365.2	437.1	634	20.69	342.6
M_7	246.6	462.9	634.1	20.69	259.4
M_8	365.2	365.2	100	3.225	58.24

Esses resultados servirão como referência para análises posteriores, incluindo variações de processo e temperatura, que serão avaliadas por meio de simulações de Monte Carlo nas etapas seguintes do projeto.

A Figura 24 apresenta a resposta em frequência do OTA Miller implementado no PGA. Observa-se o comportamento característico de um amplificador de dois estágios, com uma região de ganho constante em baixas frequências seguida por uma queda de

20 dB/dec após o primeiro pólo dominante, introduzido pelo capacitor de compensação C_C .

O circuito alcançou um ganho DC de aproximadamente 60.68 dB, frequência de -3 dB em 214.32 Hz, produto ganho-banda (GBW) de 310.32 kHz e margem de fase de 53° . O consumo de potência medido foi de 825.5 nW, com *input offset* de 6.52 mV. Além disso, o *Common-Mode Rejection Ratio* (CMRR) atingiu 83.25 dB, demonstrando a boa capacidade do circuito em rejeitar sinais em modo comum e preservar o sinal diferencial amplificado.

A frequência de corte em -3 dB ficou ligeiramente abaixo do valor projetado de 250 Hz, sem comprometer o desempenho geral do sistema na faixa de operação de interesse. Já a margem de fase apresentou diferença de cerca de 7° em relação ao valor esperado, indicando estabilidade ligeiramente inferior à prevista. Uma forma de aumentar essa margem seria ampliar o valor de C_C , deslocando o pólo dominante para frequências mais baixas e melhorando a estabilidade, ainda que à custa de uma pequena redução da largura de banda.

A Figura 25 mostra a densidade espectral de ruído de saída do OTA Miller no PGA, obtida a partir das simulações de ruído em regime estacionário. Observa-se a predominância do ruído do tipo *flicker* em baixas frequências, comportamento típico de circuitos MOS operando com correntes reduzidas de polarização.

O ruído integrado foi calculado no intervalo de 0.5 Hz a 250 Hz, resultando em um valor de 94.38 nV_{rms}. Tal nível de ruído está dentro dos limites aceitáveis para aplicações de aquisição de sinais biomédicos, como ECG, nas quais as frequências de interesse são baixas e as amplitudes dos sinais são reduzidas.

A Figura 26 apresenta a resposta transitória do OTA Miller implementado no PGA. O primeiro gráfico exibe a forma de onda completa do sinal de entrada e saída, enquanto o segundo mostra uma região ampliada (zoom) que evidencia a subida do sinal de saída, delimitada pelas linhas tracejadas verticais. Essa área destaca com maior clareza a

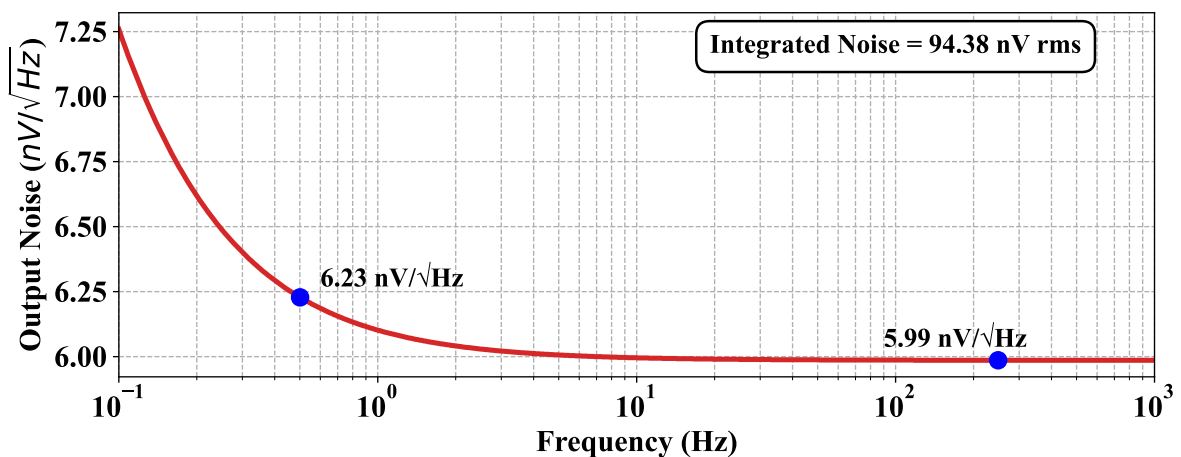


Figura 25 – Densidade espectral de ruído de saída do OTA Miller implementado no PGA.

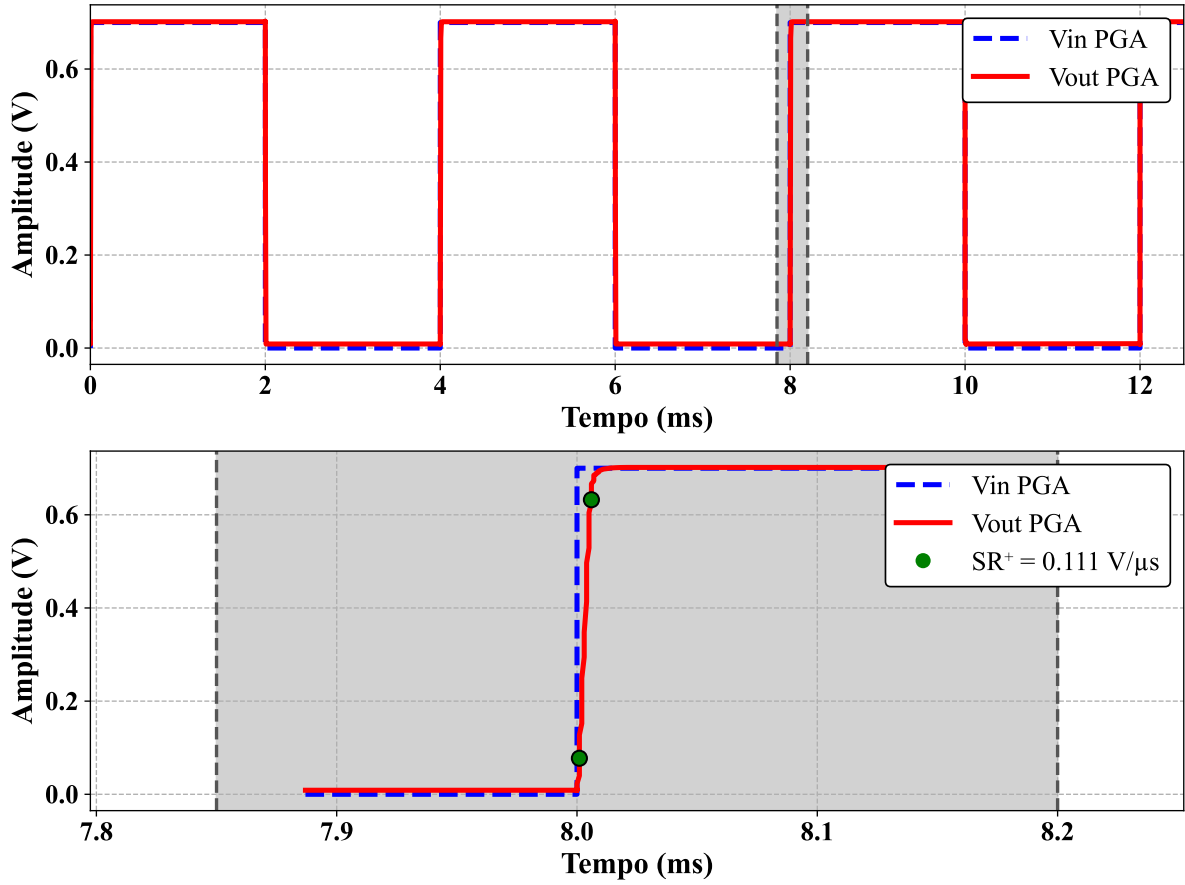


Figura 26 – Resposta transitória do OTA Miller (PGA), com destaque para a região de subida utilizada no cálculo do *Slew Rate* positivo.

taxa de variação máxima da tensão de saída, parâmetro essencial para avaliar a velocidade de resposta do amplificador.

O *Slew Rate* (SR) representa a taxa máxima de variação temporal da tensão de saída de um amplificador, indicando a rapidez com que o circuito responde a mudanças abruptas no sinal de entrada. O *Slew Rate* positivo (SR^+) foi determinado a partir da inclinação da curva de resposta do sinal de saída durante a transição ascendente.

O cálculo foi realizado considerando os instantes em que o sinal atinge 10% e 90% da diferença entre os valores mínimo e máximo da tensão de saída, conforme a Equação 5.19:

$$SR^+ = \frac{V_{90\%} - V_{10\%}}{t_{90\%} - t_{10\%}}, \quad (5.19)$$

em que $V_{10\%}$ e $V_{90\%}$ correspondem, respectivamente, às tensões de 10% e 90% do valor de pico do sinal de saída, e $t_{10\%}$ e $t_{90\%}$ são os tempos em que essas tensões são atingidas.

A partir das simulações, obteve-se um valor de $SR^+ = 0.115 \text{ V}/\mu\text{s}$. Esse resultado

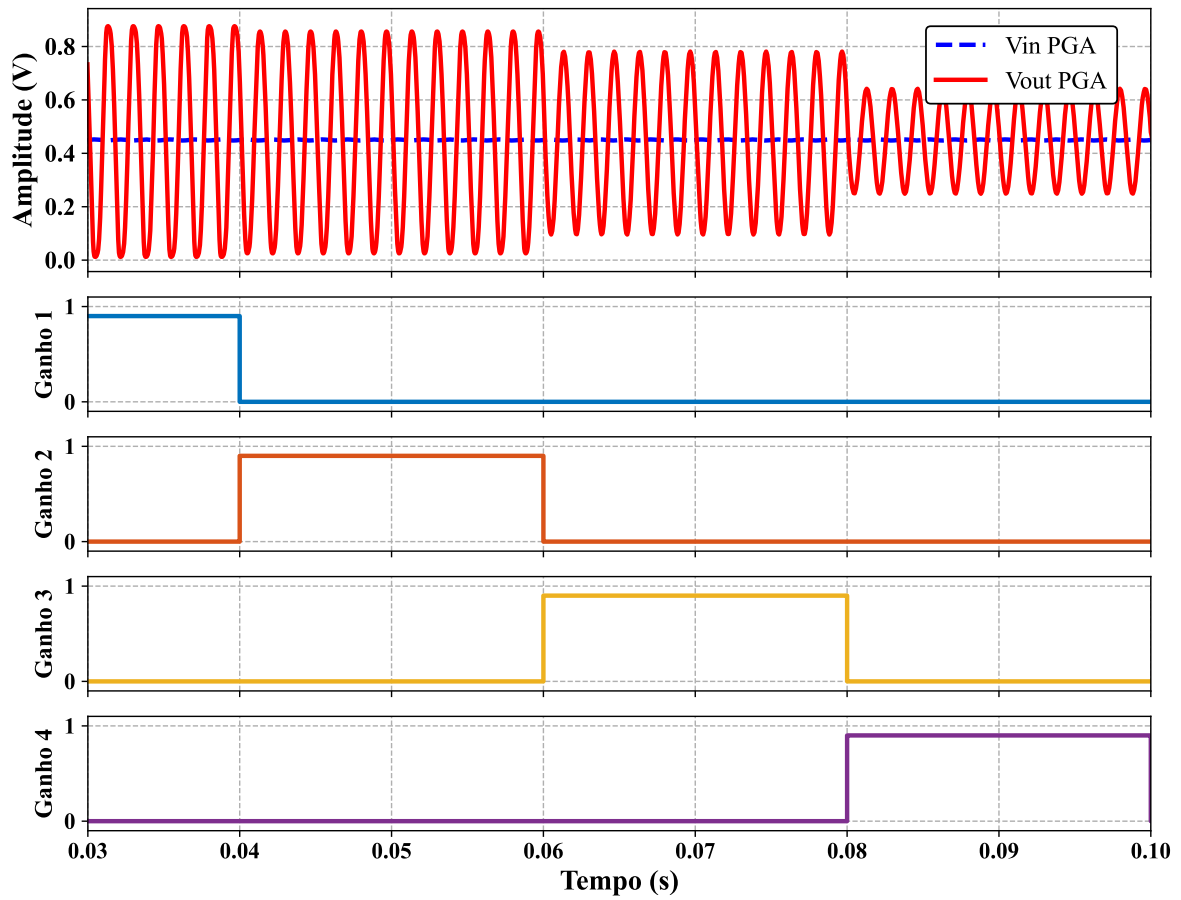


Figura 27 – Resposta transitória do PGA, apresentando os sinais de entrada e saída para diferentes configurações de ganho, bem como os sinais digitais de controle correspondentes.

indica uma resposta suficientemente rápida para a faixa de operação do sistema, garantindo que o amplificador mantenha comportamento linear dentro da largura de banda especificada. O uso da faixa de 10% a 90% reduz o impacto de não linearidades no início e fim da transição, resultando em uma estimativa mais precisa da taxa efetiva de variação.

5.2.2 CARACTERIZAÇÃO ELÉTRICA DO AMPLIFICADOR DE GANHO PROGRAMÁVEL (PGA)

Esta subseção tem como objetivo avaliar o comportamento dinâmico do amplificador de ganho programável (PGA), verificando sua resposta temporal, estabilidade e fidelidade na amplificação do sinal de entrada. O desempenho do PGA depende fortemente da configuração de sua rede de realimentação resistiva, responsável por definir o ganho efetivo do circuito.

Os resistores de realimentação utilizados foram os apresentados na Tabela 2, implementados em tecnologia de *p-polissilício* (*p+ poly*). Esse tipo de material foi escolhido por apresentar uma maior resistência por unidade de área, favorecendo a integração e o

controle preciso dos valores resistivos no processo CMOS.

Inicialmente, foi realizada uma análise em regime DC para avaliar o comportamento do circuito e de seus parâmetros estáticos. Essa análise também permitiu estimar o consumo do PGA, resultando em uma potência de aproximadamente 900 nW. Esse valor é predominantemente associado ao OTA principal, que constitui a principal fonte de corrente do bloco.

A análise transitória do PGA, por sua vez, permite observar o comportamento do circuito frente a variações abruptas no sinal de entrada, avaliando aspectos como tempo de subida, tempo de assentamento e estabilidade em malha fechada. Essa avaliação confirma a eficiência da compensação Miller no OTA principal, bem como a coerência entre o ganho projetado e o ganho efetivo obtido.

A Figura 27 apresenta as formas de onda do sinal de entrada e de saída para diferentes configurações de ganho. Observa-se que o PGA realiza corretamente a amplificação do sinal senoidal aplicado na entrada, preservando seu formato e ajustando sua amplitude conforme o ganho selecionado.

Durante toda a operação, deve haver sempre uma chave de controle ativa no PGA, garantindo a definição de um caminho de realimentação válido. A condição em que nenhuma chave está atuando é proibida, pois resultaria na perda da realimentação e, conseqüentemente, em instabilidade no circuito. As chaves de controle foram implementadas utilizando transistores NMOS simples, que se mostraram adequados para a aplicação, apresentando comportamento previsível e sem distorções relevantes no domínio do tempo. A resistência equivalente de condução (*on-resistance*) de cada chave é de aproximadamente 13.6 k Ω , valor compatível com o regime de operação do PGA e que não compromete a resposta dinâmica do sistema.

Complementando a análise temporal, realizou-se também uma avaliação em regime AC para validar os ganhos efetivos obtidos pelo PGA. Essa etapa é essencial para confirmar que os valores de ganho programáveis — definidos pela rede resistiva e pelas chaves NMOS — são de fato reproduzidos em frequência dentro da faixa de operação do sistema. A Figura 28 apresenta a resposta em frequência do PGA para todas as configurações de ganho, evidenciando a separação clara entre cada nível de amplificação. Observa-se que os valores medidos estão em estreita concordância com os ganhos teóricos projetados e levantados no modelo teórico, validando o correto funcionamento da estrutura de realimentação programável.

A fim de complementar a caracterização do PGA, foi realizada também uma análise de ruído referida à saída para todas as configurações de ganho. A Figura 29 apresenta a densidade espectral de ruído em função da frequência, bem como o ruído integrado até 250 Hz para cada configuração. Observa-se que a configuração de maior ganho apresenta o maior nível de ruído total, comportamento esperado em amplificadores programáveis, uma vez que o ganho do PGA amplifica não apenas o sinal, mas também o ruído intrínseco de

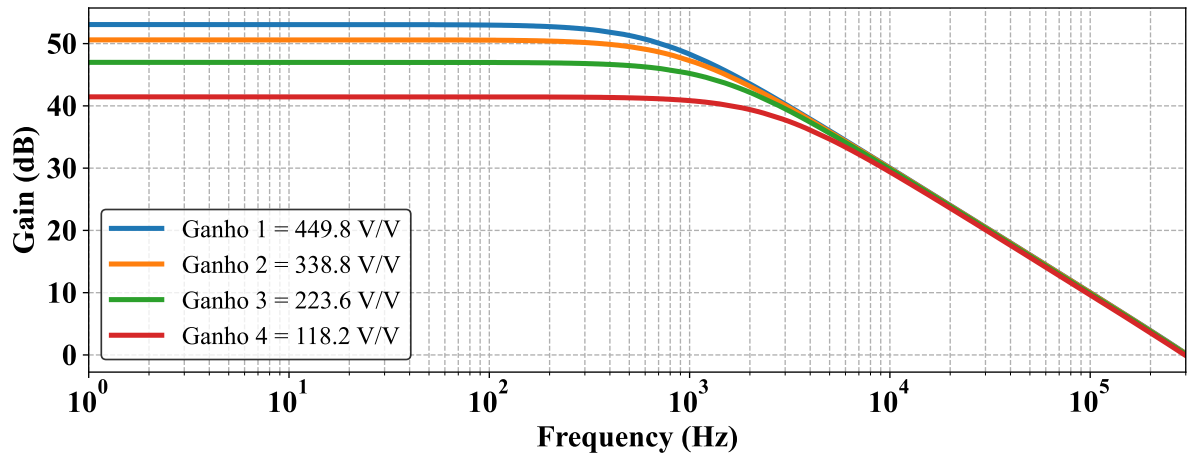


Figura 28 – Resposta em frequência do PGA para todas as configurações de ganho em uma simulação AC.

seus elementos (RAZAVI, 2005).

A decomposição das fontes de ruído mostrou que a maior contribuição provém dos **resistores da rede de realimentação do PGA**, responsáveis por aproximadamente 48% do ruído total, sendo essa parcela predominantemente associada ao **ruído térmico**. A segunda maior contribuição é proveniente do par de entrada NMOS do OTA Miller, que responde por cerca de 21,4% do ruído total. As demais contribuições são atribuídas aos demais componentes ativos do OTA, cujo impacto é menor em comparação ao ruído introduzido pela rede resistiva, mas que se torna mais perceptível em baixas frequências devido à presença de ruído *térmico*.

O predomínio do ruído térmico proveniente da rede de realimentação do PGA explica o nível de ruído relativamente constante ao longo da banda, enquanto as componentes ativas do OTA contribuem para o aumento do espectro de ruído em baixas frequências. Esse comportamento tem impacto direto na conversão A/D subsequente, uma

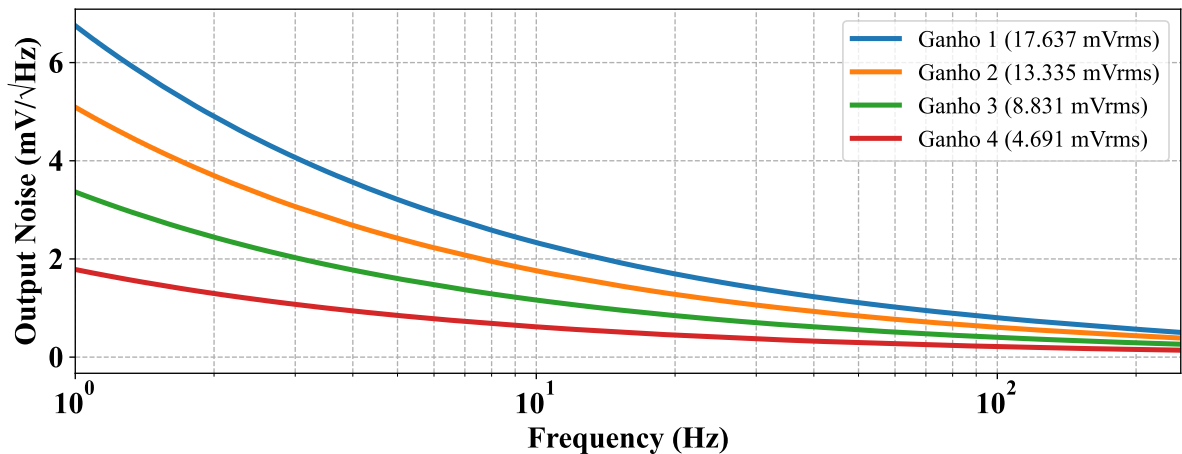


Figura 29 – Densidade espectral de ruído e ruído integrado até 250 Hz para as diferentes configurações de ganho do PGA.

vez que o aumento do ruído de saída degrada a relação sinal-ruído (SNR) percebida pelo ADC, reduzindo assim o número efetivo de bits (*ENOB*) disponível no sistema (BAKER, 2019). Em particular, a presença de ruído em baixas frequências limita o desempenho do conversor em aplicações biológicas ou de sinais lentos, onde o conteúdo espectral se concentra justamente nessa faixa.

Algumas estratégias poderiam ser exploradas para mitigar esses efeitos. Uma alternativa clássica consiste na utilização de amplificadores com técnica *chopper*, que desloca o ruído *flicker* para frequências mais elevadas, permitindo sua posterior filtragem sem comprometer a banda útil do sinal (KAY; LIS, 2025).

Outra solução amplamente empregada para a redução do *offset*, particularmente relevante no estágio de PGA, é a adoção da técnica de *autozero*. Nessa abordagem, o *offset* e as componentes de baixa frequência são periodicamente amostrados e armazenados em capacitores, sendo posteriormente subtraídos do sinal amplificado (HUIJSING, 2011). Dessa forma, é possível reduzir significativamente o erro de *offset* sem impacto relevante sobre o ganho nominal do sistema.

Adicionalmente, o aumento das dimensões dos transistores MOS do OTA, em especial do par diferencial de entrada, contribui para a redução da densidade de ruído *flicker*, uma vez que esse ruído é inversamente proporcional à área efetiva do dispositivo. Também seria benéfico reduzir os valores dos resistores da rede de realimentação do PGA, minimizando a contribuição do ruído térmico refletido à saída (HUIJSING, 2011).

A Figura 30 apresenta a resposta temporal do AFE implementado em tecnologia CMOS de 28 nm, evidenciando o comportamento conjunto do amplificador de instrumentação (IA), do filtro passa-baixas (LPF) e do amplificador de ganho programável (PGA). O sinal em azul representa o ruído aplicado na entrada do sistema, simulando um cenário realista de aquisição de biopotenciais, no qual o sinal útil encontra-se imerso em forte

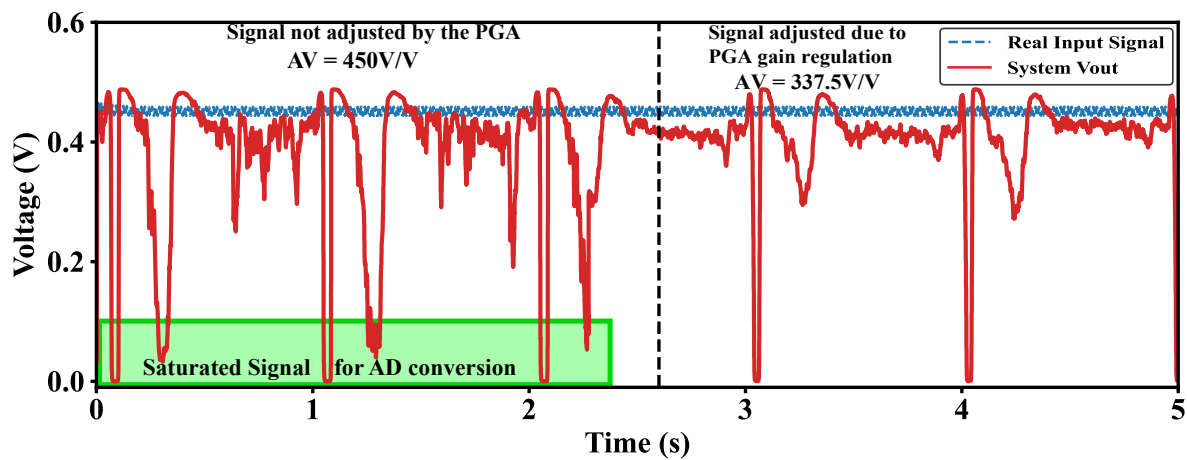


Figura 30 – Resposta temporal do AFE completo em tecnologia CMOS, mostrando o sinal ruidoso de entrada (azul) sendo filtrado pelas etapas iniciais e posteriormente amplificado pelo PGA.

interferência.

Observa-se que as primeiras etapas — IA e LPF — exercem corretamente a função de atenuar componentes ruidosas de alta frequência, reduzindo significativamente o conteúdo espectral indesejado. Esse comportamento é compatível com o observado nas simulações ideais da Figura 14, indicando que a implementação em CMOS manteve as características essenciais do modelo comportamental.

Após a filtragem inicial, o PGA atua amplificando o sinal útil remanescente para um nível adequado de leitura, além de suavizar pequenas distorções provenientes das etapas anteriores. Essa amplificação final permite recuperar com clareza a forma de onda do sinal cardíaco, demonstrando que o sistema integrado é capaz de extrair e reforçar informações relevantes mesmo quando submetido a um ambiente altamente ruidoso.

Adicionalmente, embora as simulações de Monte Carlo tenham sido conduzidas para avaliar a sensibilidade dos blocos às variações de processo, optou-se por não apresentá-las neste trabalho. Observou-se que a variação estatística introduziu um aumento significativo no *offset* do OTA, efeito que impacta de maneira crítica tanto o PGA quanto o LPF. No PGA, esse *offset* é diretamente amplificado pelos fatores de ganho programáveis, comprometendo o regime DC e levando a respostas inconsistentes nas simulações estatísticas. No caso do LPF, variações no *offset* afetam a estabilidade e deslocam o ponto de operação dos OTAs que compõem o filtro, prejudicando a previsibilidade das características de frequência.

Dessa forma, recomenda-se para trabalhos futuros a implementação de técnicas específicas de redução de *offset*, considerando que esse parâmetro é amplamente dominado pelo OTA. Uma possível abordagem consiste na adoção de uma arquitetura totalmente diferencial, o que tende a minimizar o *offset* intrínseco, aumentar a rejeição a gradientes de processo e melhorar a robustez global dos blocos analógicos (RAZAVI, 2014).

5.2.3 IMPLEMENTAÇÃO DO LAYOUT DOS BLOCOS EM TECNOLOGIA CMOS

A etapa de *layout* representa uma das fases mais críticas no fluxo de projeto de circuitos integrados, pois é nela que a implementação física do circuito é definida conforme as regras tecnológicas do processo CMOS utilizado. Além da verificação geométrica por meio do *Design Rule Check* (DRC), também é realizada a verificação elétrica através do *Layout Versus Schematic* (LVS), garantindo que a topologia física corresponde fielmente ao circuito projetado no diagrama esquemático. Juntas, essas verificações asseguram que o circuito possa ser fabricado corretamente e que seu comportamento elétrico seja preservado.

Nesta subseção, são apresentados os principais blocos projetados neste trabalho que compõem o *Analog Front-End*, tais como o PGA e o filtro passa-baixas (LPF). Destacam-se os cuidados adotados durante a implementação física, incluindo técnicas de *matching* entre dispositivos, estratégias de roteamento destinadas a reduzir ruído e minimizar capacitâncias parasitas, além de garantir que o desempenho especificado seja mantido após o processo

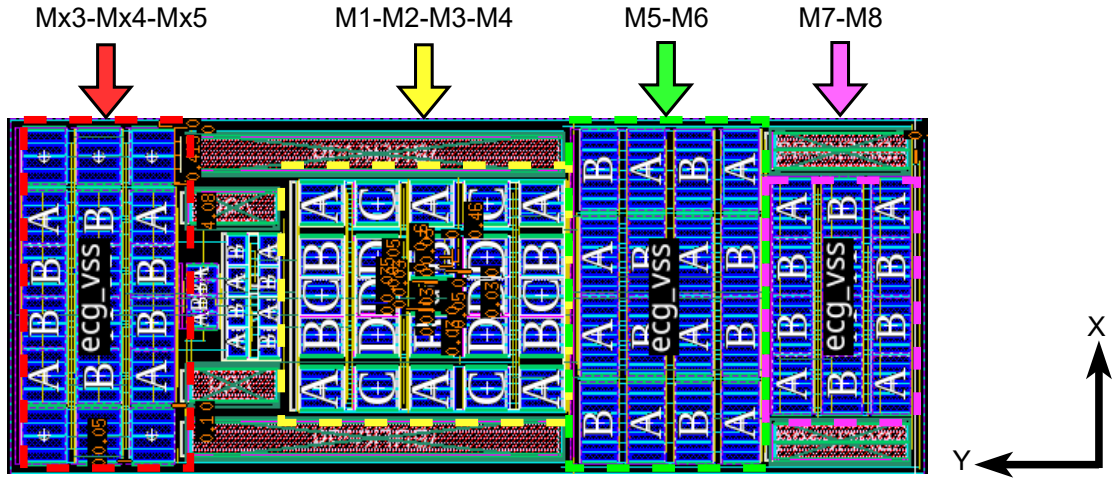


Figura 31 – Layout do OTA realizado no filtro g_m -C.

de layout.

O primeiro bloco implementado no ambiente de layout foi o amplificador utilizado no filtro g_m -C, mostrado na Figura 31. Ele serviu como base para padronização das técnicas de *matching*, dimensionamento de dispositivos e estratégias de roteamento adotadas posteriormente nos demais blocos do sistema.

As regiões destacadas em rosa, vermelho e verde na Figura 31 foram implementadas empregando a técnica de *Common Centroid Layout*. Essa abordagem foi escolhida porque esses blocos correspondem essencialmente a espelhos de corrente, exigindo elevado grau de *matching* entre os dispositivos. Ao distribuir as unidades de transistores de forma simétrica e intercalada no arranjo em centróide comum, buscou-se reduzir gradientes de processo, minimizar variações sistemáticas e garantir maior uniformidade elétrica entre as pernas dos espelhos, contribuindo diretamente para a precisão do ganho transcondutância e para a estabilidade do filtro g_m -C.

O resistor R_{adj} , responsável pelo ajuste fino da transcondutância do amplificador, foi segmentado em múltiplas unidades resistivas menores para reduzir variações locais de processo e melhorar a previsibilidade do seu valor equivalente. Após essa segmentação, buscou-se uma distribuição espacial simétrica desses segmentos no layout, posicionando-os nas regiões extremas esquerda e direita ao longo do eixo x da célula. Essa configuração visa manter a simetria geométrica e elétrica associada aos gradientes longitudinais do processo, contribuindo para que o valor efetivo de R_{adj} permaneça o mais próximo possível do projetado, mesmo na presença de variações sistemáticas do processo de fabricação.

A região destacada em amarelo na Figura 31, correspondente ao par diferencial de entrada, teve inicialmente seu layout concebido de forma simétrica em relação ao eixo x , explorando a natureza intrinsecamente diferencial do bloco. Entretanto, durante as etapas de posicionamento e roteamento, verificou-se que manter essa simetria geométrica resultava em um arranjo pouco eficiente em termos de ocupação física, dificultando o

encaixe adequado do par em relação aos demais grupos de transistores do amplificador. Essa limitação levava a um aumento indesejado da área total do bloco, comprometendo a compactação do layout. Diante desse cenário, optou-se pela adoção da técnica de *Common Centroid Layout*, acompanhada de um roteamento simétrico das interconexões, permitindo preservar o matching necessário ao par diferencial sem penalizar a densidade e a organização física do circuito.

O layout completo do filtro LPF foi construído a partir da replicação dos dois OTAs utilizados em sua arquitetura, posicionados lado a lado ao longo do eixo x . Essa abordagem permitiu preservar a simetria estrutural entre os blocos e facilitar o roteamento das interconexões internas, garantindo compatibilidade geométrica entre os elementos compartilhados e reduzindo o esforço de ajuste fino do posicionamento.

A Figura 32 apresenta o layout final do LPF, no qual o OTA 1 está destacado em amarelo e o OTA 2 em azul-ciano. A área total ocupada pelo bloco é de aproximadamente $72,42 \mu\text{m} \times 63,82 \mu\text{m}$, resultado considerado adequado para o nível de complexidade do circuito e para os requisitos de integração do sistema.

Após a conclusão do roteamento, foram realizadas as verificações físicas obrigatórias. O bloco apresentou LVS completamente limpo, confirmando a correspondência elétrica entre o layout e o esquema original. Em relação ao DRC, permaneceram apenas violações relacionadas à densidade mínima de material, típicas em regiões pouco ocupadas. Esses ajustes foram deixados para serem corrigidos na etapa de integração no topo do chip, onde a inserção de estruturas de preenchimento (*metal fills*) é realizada de forma global.

Encerrada a etapa de implementação física do filtro g_m -C e verificada a conformidade de seu layout por meio das checagens de DRC e LVS, prosseguiu-se com o desenvolvimento do layout do amplificador operacional empregado no PGA. Esse bloco apresenta requisitos distintos em relação ao OTA utilizado no filtro, devido às configurações de ganho programável e à presença de chaves NMOS integradas à malha de realimentação.

O processo de elaboração do layout do OTA do PGA manteve a filosofia adotada nos blocos anteriores, priorizando simetria estrutural, roteamento uniforme e aplicação rigorosa de técnicas de *matching*. Entretanto, por se tratar de um amplificador inserido em uma topologia de ganho programável, cuidados adicionais foram necessários na disposição das chaves de comutação e dos resistores de realimentação, a fim de preservar linearidade, minimizar parasitas e garantir a integridade do sinal amplificado.

A Figura 33 apresenta o layout completo do OTA Miller utilizado no PGA. O bloco foi implementado de forma compacta, ocupando uma área total de $10.925 \mu\text{m} \times 37.67 \mu\text{m}$. O par diferencial de entrada constitui a maior região do conjunto — escolha deliberada, visto que maior dimensão dos transistores auxilia na redução do ruído de offset, conforme discutido previamente no projeto elétrico do OTA. Já o capacitor Miller, destacado em azul-ciano, foi posicionado de modo a favorecer o *matching* ao longo do eixo x , reduzindo a sensibilidade a gradientes de processo e contribuindo para maior previsibilidade na resposta

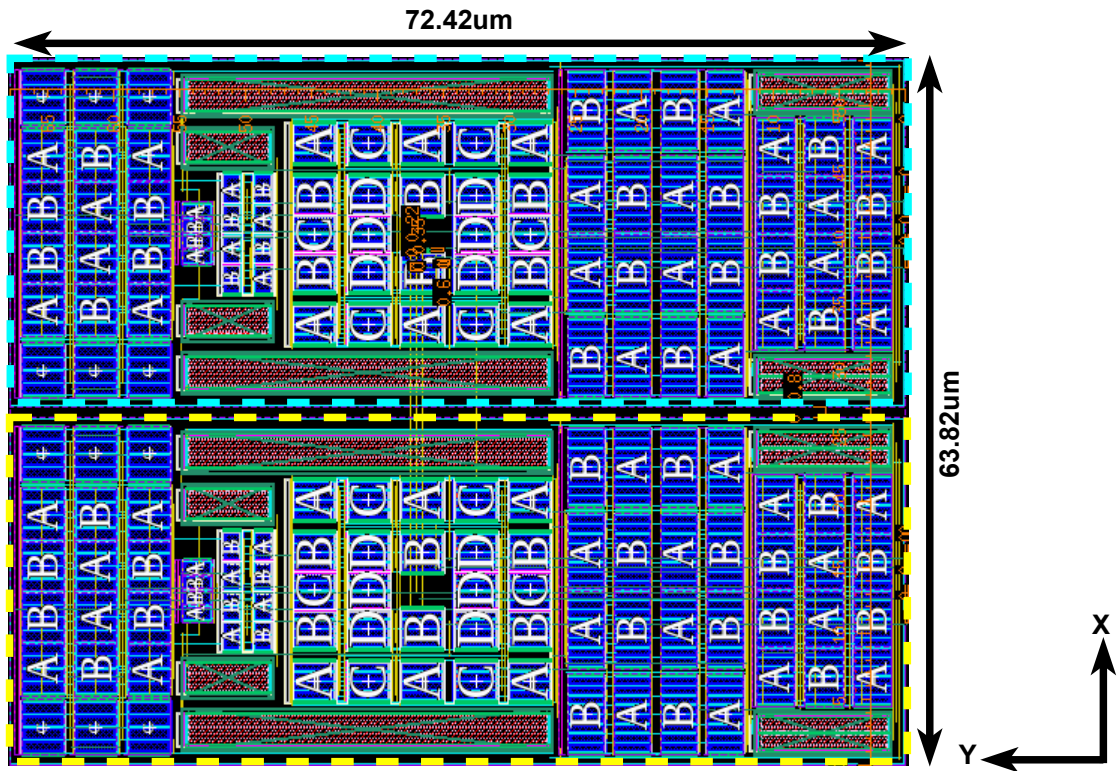


Figura 32 – Layout completo do LPF. A região destacada em amarelo corresponde ao OTA 1 e a região em azul-ciano corresponde ao OTA 2.

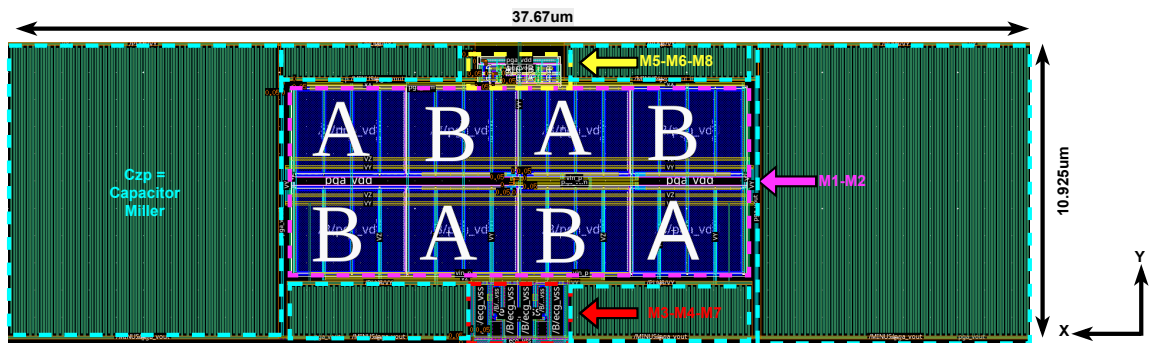


Figura 33 – Layout do OTA Miller utilizado no PGA. A região em azul-ciano destaca o capacitor Miller.

em frequência.

Os espelhos de corrente destacados em rosa foram organizados inicialmente seguindo a técnica de *interdigitação*, buscando melhorar o casamento elétrico entre os dispositivos. No entanto, devido ao reduzido tamanho físico desses espelhos no layout final, a inclusão de transistores *dummy* — que poderia reforçar o *matching* — acabou não sendo prevista nas etapas iniciais e, portanto, não foi adicionada sem intervenção estrutural

na célula. Apesar disso, a configuração obtida apresenta desempenho adequado para os requisitos do PGA.

Por fim, o roteamento associado aos espelhos de corrente e às demais conexões críticas foi realizado de maneira a manter simetria em relação ao eixo y . Essa abordagem assegura que as trilhas de interconexão possuam comprimentos e parasitas semelhantes, reduzindo discrepâncias resistivas e capacitivas que poderiam comprometer o equilíbrio interno do OTA. O conjunto dessas escolhas de layout contribuiu para um comportamento estável e previsível do amplificador operacional na operação programável do PGA.

Com a finalização do layout do OTA do PGA, deu-se continuidade à implementação física do próprio PGA. Para esta primeira versão do circuito integrado, optou-se por realizar a implementação física apenas de duas configurações de ganho. Essa decisão foi tomada porque, nas etapas iniciais do planejamento de área, estimava-se que o espaço disponível no *die* seria insuficiente para acomodar todas as redes resistivas e chaves NMOS correspondentes aos quatro níveis de ganho originalmente projetados. Dessa forma, priorizou-se a viabilidade física e o fechamento do layout, selecionando dois ganhos representativos para teste e validação.

Entretanto, ao se aproximar a data final de envio para o *tapeout*, verificou-se que a área destinada ao PGA apresentava margem suficiente para acomodar todas as configurações de ganho originalmente projetadas. Ainda assim, devido ao estágio avançado do cronograma e à necessidade de preservar a estabilidade do fluxo de verificação, decidiu-se manter nesta primeira fabricação apenas duas configurações de ganho. Essa escolha permitiu validar o funcionamento geral do PGA, bem como o comportamento das chaves de comutação, da rede de realimentação e do OTA associado, estabelecendo uma base sólida para a expansão completa do bloco em futuras versões do chip.

A região destacada em rosa na Figura 34 corresponde ao OTA Miller previamente descrito. Sua posição central foi escolhida de forma a otimizar o roteamento das redes de realimentação, reduzindo comprimentos de interconexão e minimizando assimetria parasitária entre as malhas de ganho.

As regiões em azul correspondem ao resistor de realimentação $RF4$, mostrado esquematicamente na Figura 10. Para o layout, esse resistor foi subdividido em quatro segmentos de diferentes dimensões, cuja soma resulta no valor total de 4500 k Ω . Essa estratégia permitiu posicionar os segmentos de forma distribuída ao redor do OTA, favorecendo o *matching* geométrico nos eixos x e y e reduzindo a sensibilidade a gradientes de processo, contribuindo para maior precisão na definição dos níveis de ganho.

A região em vermelho corresponde aos resistores $RF3$, igualmente subdivididos em quatro partes. A divisão foi realizada com o objetivo de melhorar o casamento geométrico, principalmente ao longo do eixo x , onde se observam maiores variações sistemáticas no processo. Já a região destacada em amarelo representa o resistor de entrada R_{in} , o qual foi dividido em duas partes para favorecer o casamento ao longo do eixo y .

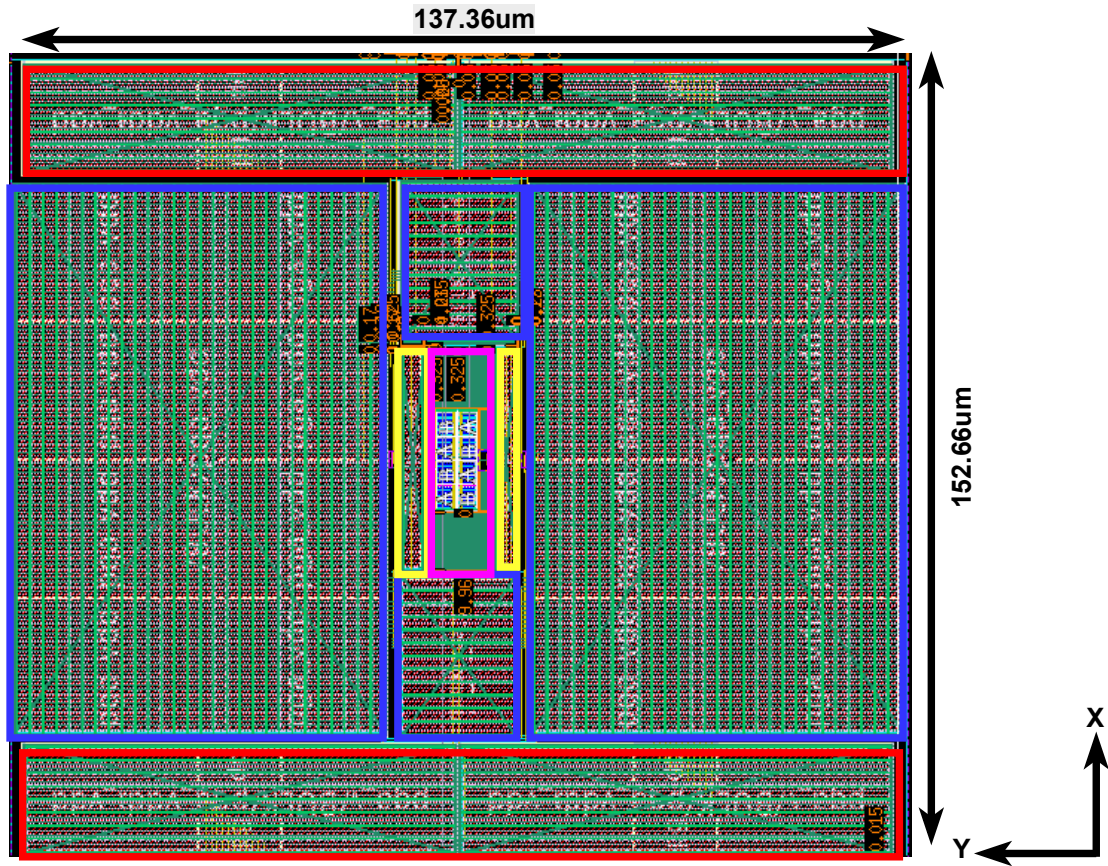


Figura 34 – Layout do Amplificador de Ganho Programável.

Todos esses resistores foram posicionados ao redor do OTA a fim de simplificar o roteamento e minimizar o comprimento das trilhas críticas. Embora não tenha sido possível alcançar uma simetria perfeita em todas as regiões do bloco — devido a limitações impostas pela própria topologia do PGA — buscou-se manter alinhamento geométrico e distribuição equilibrada sempre que possível. Essas decisões contribuíram para reduzir variações parasitárias, melhorar o casamento resistivo e preservar o desempenho esperado do amplificador de ganho programável.

A caracterização em laboratório dos blocos analógicos projetados exigiu o desenvolvimento de um amplificador operacional adicional, dedicado exclusivamente à função de *buffer*. Essa necessidade surgiu porque os circuitos do AFE não possuem capacidade de acionar diretamente a impedância associada aos *pads* de saída e aos instrumentos de medição, como ponteiros de osciloscópio. Sem esse estágio intermediário, a carga externa poderia alterar o ponto de operação dos blocos internos, resultando em medições inconsistentes.

Para garantir o desacoplamento adequado entre o circuito e o ambiente de teste, foi projetado um OTA configurado como seguidor de tensão. As especificações utilizadas como referência para o projeto estão reunidas na Tabela 5, incluindo tensão de alimentação, carga, ganho de malha aberta desejado e frequência de operação.

Tabela 5 – Especificações do OTA utilizado como buffer.

Parâmetro	Valor
V_{DD}	0.9 V
C_L	15 pF
GBW	2.5 MHz
A_{V0}	60 dB $\rightarrow$ 80 dB
$f_{c,-3dB}$	250 Hz

As simulações realizadas para validar o desempenho do buffer apresentaram resultados compatíveis com os objetivos projetados, conforme resumido na Tabela 6. Observa-se um ganho de malha aberta próximo de 67 dB, largura de banda unificada de aproximadamente 2.25 MHz e margem de fase de 54° , assegurando estabilidade suficiente para operação em regime de seguidor. Em regime DC, a tensão de saída e os pontos de polarização também se mantiveram dentro do esperado para operação em baixa tensão.

O layout final do OTA buffer, apresentado na Figura 35, ocupa uma área total de $60.25 \mu\text{m} \times 47.82 \mu\text{m}$. A metodologia de implementação seguiu as mesmas diretrizes utilizadas nos demais OTAs do projeto: os espelhos de corrente foram organizados empregando a técnica de centróide comum, reduzindo a sensibilidade a gradientes de processo, enquanto o capacitor de compensação Miller foi implementado com geometria totalmente simétrica em relação ao eixo x . Essa abordagem minimiza variações sistemáticas e garante maior

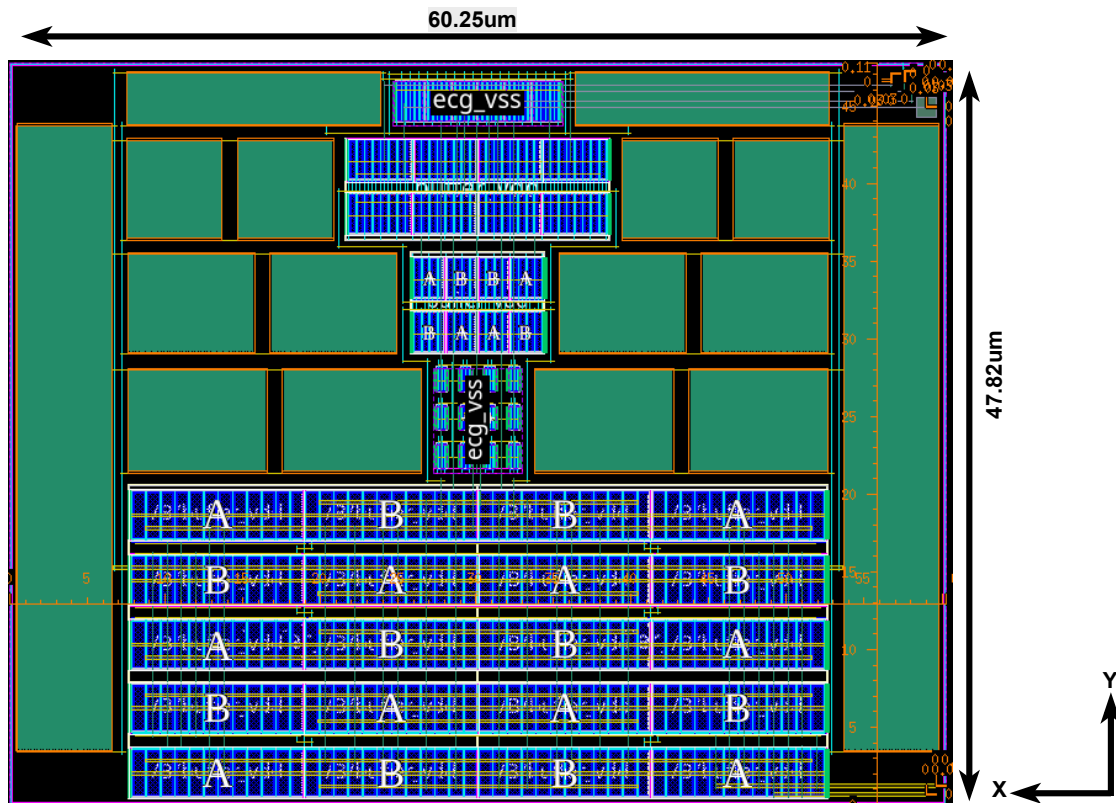


Figura 35 – Layout do OTA utilizado como buffer para medições.

Tabela 6 – Resultados de simulação do OTA buffer.

Parâmetro	Valor Simulado
V_{out}	451 mV
V_{offset}	9.849 mV
V_b	551.3 mV
buffer_ref	3.173 μ A
$A_{V0,-3dB}$	67.35 dB
$f_{c,-3dB}$	740.99 Hz
GBW	2.255 MHz
C_c	3.3 pF
PM	54°

previsibilidade do polo dominante do amplificador. O roteamento também foi realizado buscando preservar simetria e reduzir ao máximo capacitâncias parasitas, de forma a assegurar que o buffer opere com estabilidade e interfira minimamente nos blocos que serão medidos.

Por fim, foi realizada a etapa de roteamento completo dos blocos que compõem o sistema de aquisição do ECG, interligando o PGA, o LPF, o amplificador de instrumentação (IA) e os buffers destinados à medição em laboratório. A Figura 36 apresenta o *layout* integrado desses blocos, já posicionados e conectados entre si. Após o roteamento interno, procedeu-se à conexão dos sinais até os pinos destinados ao nível superior do chip. Como todo o sistema foi alocado no canto inferior esquerdo do *die*, os pinos associados aos blocos analógicos também foram concentrados nessa região, com exceção dedicada ao terminal de referência V_{SS} , posicionado na lateral direita do chip para compatibilidade com a topologia global.

Devido ao tamanho e à complexidade do sistema integrado, não foi possível manter um grau elevado de simetria nas interconexões de nível superior; assim, priorizou-se a realização de trilhas com o menor comprimento possível e com roteamento direto até os pinos, minimizando parasitas e mantendo a organização estrutural do conjunto.

A etapa de simulação elétrica com o circuito extraído do *layout* (*post-layout simulation*) não foi realizada neste trabalho. Embora essa análise seja fundamental para avaliar o impacto das capacitâncias e resistências parasitas introduzidas durante a implementação física, os resultados apresentados consideram apenas as simulações em nível de esquema, sem a inclusão dos efeitos parasitários provenientes do *layout*.

Apesar disso, o projeto físico do sistema foi finalizado e enviado para fabricação, permitindo que uma versão inicial do *Analog Front-End* seja efetivamente produzida. Como o ciclo de fabricação ultrapassa o prazo de conclusão deste relatório, ainda não foi possível obter resultados de medições em silício. A etapa de caracterização prática do circuito, bem como possíveis melhorias derivadas dessas medições, será realizada em versões futuras do chip e devidamente documentada em trabalhos subsequentes.

Além da análise funcional e do *layout* final do sistema, é relevante avaliar a

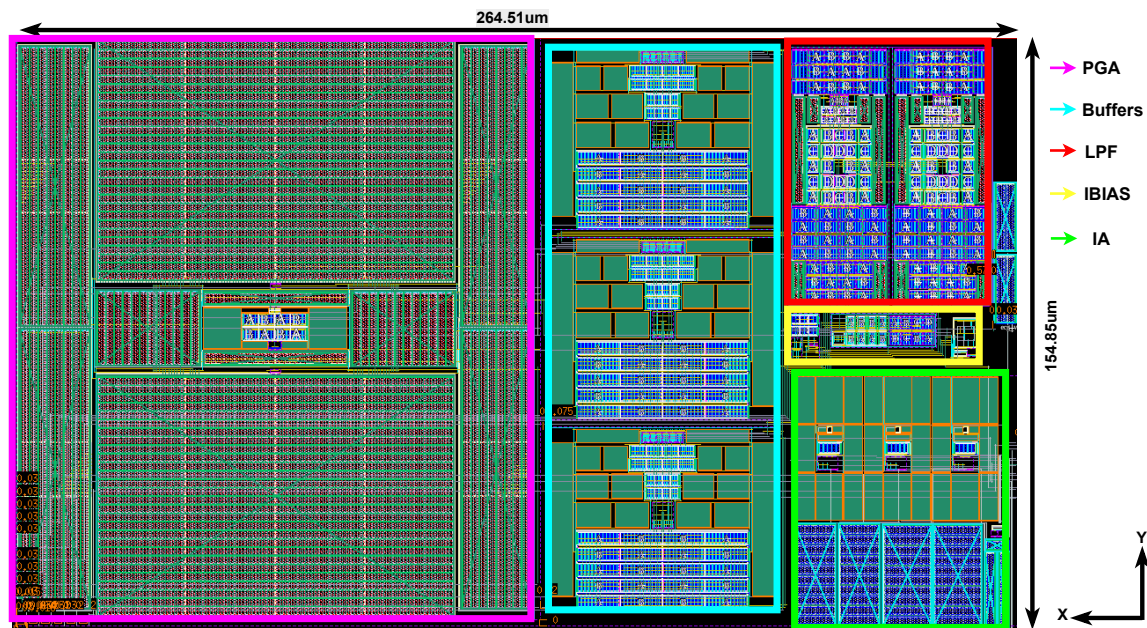
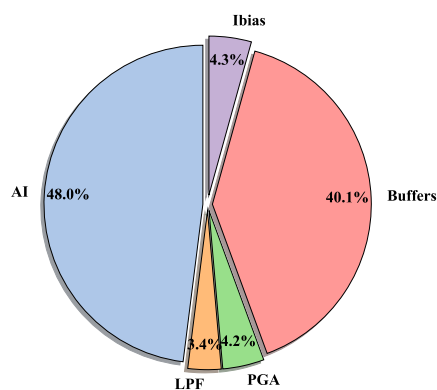
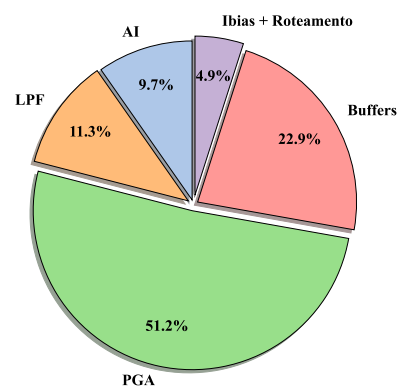


Figura 36 – *Layout* completo do sistema de aquisição do ECG, contendo PGA, LPF, IA e buffers de medição.

distribuição do consumo de potência e da área ocupada pelos principais blocos do circuito integrado. A Figura 37 apresenta essa distribuição, permitindo identificar os blocos mais críticos sob o ponto de vista energético e de ocupação de silício.



Distribuição do consumo de potência dos blocos do sistema ECG.



Distribuição da ocupação de área dos blocos do sistema ECG.

Figura 37 – Distribuição do consumo de potência e da ocupação de área do sistema ECG.

Observa-se que, embora o PGA seja o bloco dominante em termos de área, o consumo de potência é majoritariamente concentrado no amplificador de instrumentação e nos buffers, evidenciando o compromisso entre eficiência energética e custo em silício no projeto do sistema ECG.

Com o objetivo de contextualizar o desempenho do sistema proposto frente ao estado da arte, a Tabela 7 apresenta uma comparação com trabalhos previamente publicados na literatura. Essa análise considera parâmetros relevantes para aplicações

Tabela 7 – Comparação de desempenho com trabalhos da literatura.

Trabalho	Tecnologia (nm)	V_{DD} (V)	Potência (μ W)	CMRR (dB)	Largura de Banda (Hz)
(WATCHARAPONGVINIT, 2023)	180	1.2	6.55	85	0–0.7k
(KOO, 2021)	180	1.2	22.6	100	0.6–4k
(KOO; CHO, 2021)	180	1.2	25.8	66	0.6–10k
(KOO; CHO, 2019)	180	1.2	27.8	68	4–15k
(ZHU; WANG, 2024)	180	1.8	216	113	0.5k
(WARCHALL et al., 2019)	65	1.2	340.6	–	0.25k
(ZHANG et al., 2022)	180	1.0	3.5	95	0.1k
(HUANG; MERCIER, 2021)	65	0.8	1.68	97	0.5k
Este trabalho	28	0.9	22.35	104.7	0.05–0.25k

de aquisição de sinais biológicos, como tecnologia de fabricação, tensão de alimentação, consumo de potência, CMRR e largura de banda.

Cabe destacar que os resultados apresentados nesta tabela foram consolidados a partir do artigo intitulado *Analog Front-End for ECG Signal Acquisition with Automatic Gain Control*, desenvolvido pelo autor deste trabalho em conjunto com Vinícius Betim Guimarães, submetido e aceito no *9th International Symposium on Instrumentation Systems, Circuits and Transducers (INSCIT)*, realizado em 2025 na cidade de Manaus. O referido artigo encontra-se publicado nos anais do evento, com DOI: 10.1109/INSCIT66472.2025.11181022.

A comparação evidencia que o sistema proposto, implementado em tecnologia de 28 nm e operando com tensão de alimentação reduzida, apresenta desempenho competitivo em termos de consumo de potência e rejeição de modo comum, mantendo uma largura de banda adequada para aplicações de eletrocardiografia (ECG), quando comparado a soluções previamente reportadas.

6 CONCLUSÃO

Este estudo teve como objetivo apresentar o projeto completo de um *Analog Front-End* (AFE) voltado para a aquisição de sinais de eletrocardiograma (ECG), implementado em tecnologia TSMC CMOS de 28 nm. Foram desenvolvidos e analisados circuitos fundamentais, como o filtro passa-baixas (LPF) de segunda ordem e o amplificador de ganho programável (PGA), abrangendo desde o projeto elétrico até a implementação física em *layout*.

Os resultados obtidos validaram a funcionalidade dos blocos projetados, permitindo a simulação de um sinal de ECG completo, desde o modelo eletrofisiológico até sua amplificação e filtragem dentro do AFE. A arquitetura proposta mostrou-se coerente com os requisitos do sinal de ECG, garantindo banda limitada, amplificação ajustável e operação em baixa tensão.

Durante o desenvolvimento, foram identificados desafios significativos que impactam diretamente a etapa de fabricação e o desempenho final do sistema. Entre eles, destacam-se o ruído térmico e o ruído *flicker*, ambos críticos em aplicações de baixa frequência, além da necessidade de resistores de alta impedância, cuja implementação física é limitada em tecnologias avançadas como a de 28 nm. O offset elevado do OTA utilizado no PGA mostrou-se o principal gargalo, especialmente nas simulações de Monte Carlo, degradando o regime DC do sistema e inviabilizando resultados estatísticos consistentes. A etapa de *layout* também trouxe desafios, como o controle de capacitâncias parasitas e a necessidade de um roteamento cuidadoso para manter a integridade dos sinais.

Apesar desses obstáculos, o AFE desenvolvido representa um avanço significativo rumo à integração completa de sistemas portáteis de monitoramento cardíaco. A possibilidade de incorporar esse circuito em dispositivos vestíveis abre caminho para aplicações clínicas e preventivas, com impacto direto em qualidade de vida e acessibilidade à saúde.

6.1 TRABALHOS FUTUROS

Com base nos desafios observados ao longo deste projeto, diversas melhorias e extensões podem ser exploradas em trabalhos futuros:

- **Redução do offset dos blocos analógicos:** Implementação de técnicas como *auto-zero*, *chopper stabilization* ou adoção de arquiteturas totalmente diferenciais para minimizar o offset, especialmente no OTA do PGA e nos amplificadores do LPF.
- **Adoção de topologias totalmente diferenciais:** Buscando maior imunidade a ruído comum, redução de *offset* e melhor rejeição de interferências externas, especialmente relevante para sistemas de ECG.
- **Redução dos valores resistivos do PGA:** Investigar alternativas para diminuir as resistências de realimentação, seja por ajuste de ganho, mudanças topológicas ou

utilização de técnicas como amplificação em transcondutância.

- **Otimização do ruído térmico e de flicker:** Estudo de técnicas de *layout* e dimensionamento para reduzir contribuições de ruído nos OTAs e resistores.
- **Melhoria do roteamento e mitigação de parasitas:** Desenvolvimento de estratégias de *layout* mais robustas para minimizar capacitâncias parasitas críticas.
- **Realização de simulações de *corner* e Monte Carlo completas:** Executar análises estatísticas e de variação de processo que atendam totalmente às especificações do sistema, garantindo robustez frente às condições reais de fabricação.
- **Simulações pós-layout completas:** Concluir a etapa de simulação com circuito extraído para validação final do impacto das parasitas e efeitos de segunda ordem.
- **Implementação da interface de simulação em nível de topo:** Desenvolver e validar a simulação integrada de todo o sistema, incluindo IA, PGA, LPF e buffers, de modo a permitir análise comportamental e elétrica do AFE completo.
- **Expansão dos níveis de ganho do PGA:** Integrar fisicamente as demais configurações originalmente projetadas, permitindo maior flexibilidade de operação no próximo tapeout.

Essas melhorias possuem potencial para elevar de forma substancial a robustez, a precisão e a confiabilidade do AFE desenvolvido, fortalecendo sua viabilidade para aplicações reais e ampliando sua capacidade de integração em futuras revisões do projeto. Com isso, o sistema evolui para uma base tecnológica mais madura, alinhada às exigências de dispositivos portáteis de monitoramento cardíaco e às tendências contemporâneas de instrumentação biomédica.

AGRADECIMENTOS

Dedico este trabalho a dois dos meus maiores heróis: minha mãe, Márcia Regina Zemolin, e meu pai, Gilberto Luis Brondani Righi. A vocês, que sempre fizeram de tudo — e muitas vezes muito mais do que eu poderia imaginar — para que eu tivesse a oportunidade de perseguir meus sonhos. Agradeço não apenas pelo suporte incondicional, mas também por cada palavra de incentivo, força e coragem que me deram ao longo desta caminhada. Este trabalho é fruto do amor, dedicação e exemplo que sempre me ofereceram, e carrega em cada página a essência de tudo o que aprendi com vocês. Obrigado por acreditarem em mim e por me ensinarem a nunca desistir daquilo que realmente desejo construir para o meu futuro.

Também deixo registrada minha gratidão à minha avó, Lirba Maria Predebon Zemolin, minha vizinha querida, que foi a pessoa que mais me fez companhia ao longo destes cinco anos de jornada. Suas ligações diárias, sempre repletas de carinho, cuidado e incentivo, tornaram os dias mais leves e me deram força para continuar mesmo nos momentos mais difíceis. A presença constante e o amor incondicional da senhora foram fundamentais para que eu chegasse até aqui.

Outra pessoa essencial nesse percurso foi minha irmã, Gabriela Zemolin Righi. Mais do que irmã, ela foi uma amiga presente e, de certa forma, uma segunda mãe ao longo desta jornada. Esteve sempre ao meu lado, ouvindo minhas reclamações, oferecendo conselhos sinceros e, quando necessário, puxando minha orelha para que eu tomasse o rumo certo. Sua preocupação constante, sua disposição em ajudar e sua força são qualidades que admiro profundamente. Agradeço por cada palavra, por cada gesto e por todo o apoio que tornou este caminho mais leve.

Não poderia deixar de agradecer à minha namorada, Micheli Farias Machado, que chegou na minha vida no último ano da graduação para transformá-la para melhor. Trouxe companhia, apoio emocional e leveza aos momentos mais intensos dessa etapa final. Agradeço profundamente pelos conselhos, pela ajuda constante e pela tua capacidade de enxergar caminhos quando os obstáculos pareciam grandes demais. Sou imensamente grato pela paciência, pelo carinho e, sobretudo, pelo amor com que sempre me encorajaste a seguir em frente e buscar uma vida melhor. Também agradeço por ter trazido para nossa casa o nosso amado gato Bartolomeu, cuja presença se tornou uma fonte diária de alegria e conforto.

Estendo meus agradecimentos a dois grandes amigos que marcaram esta jornada acadêmica. O primeiro é Vinicius Betim Guimarães, que conheci ainda no primeiro dia de aula e que, quase cinco anos depois, se tornou meu melhor amigo. É alguém por quem tenho enorme admiração e cujo caráter, dedicação e companheirismo sempre me inspiraram. Da mesma forma, sou extremamente grato à minha amiga Virgínia Trindade Nunes, alguém muito especial que conheci ao longo da graduação. Apesar das diferenças que às vezes nos levavam a pequenos desentendimentos, Virgínia sempre esteve presente nos melhores e

piores momentos, oferecendo apoio, sinceridade e amizade verdadeira. A ambos, deixo meu sincero agradecimento por tornarem essa caminhada mais leve, divertida e significativa.

Por fim, expresso minha sincera gratidão ao professor Alessandro Gonçalves Girardi, meu orientador no grupo de pesquisa GAMA ao longo de três anos da graduação. Sua orientação técnica, dedicação e confiança no meu trabalho foram fundamentais para minha formação acadêmica e profissional. O aprendizado construído sob sua supervisão ampliou minha visão sobre pesquisa e projeto de circuitos, contribuindo diretamente para que este trabalho se tornasse possível.

BIBLIOGRAFIA

- ALBAUGH, N. *The Instrumentation Amplifier Handbook: Including Applications*. [s.n.], 2000. Disponível em: <<https://books.google.com.br/books?id=UjqKNQAACAAJ>>. Citado na página 22.
- ALLEN, P.; HOLBERG, D. *CMOS Analog Circuit Design*. Oxford University Press, 2002. (Oxford series in electrical and computer engineering). ISBN 9780195116441. Disponível em: <<https://books.google.com.br/books?id=-crQYfNHJDUC>>. Citado 2 vezes nas páginas 45 e 46.
- ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. [S.l.]: Oxford University Press, 2011. Citado na página 23.
- ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. 3rd. ed. New York, USA: Oxford University Press, 2011. (Oxford Series in Electrical and Computer Engineering). ISBN 978-0199738519. Citado na página 49.
- AMERASEKERA, E. A.; DUVVURY, C. Esd in silicon integrated circuits. Wiley Online Library, 2002. Citado na página 46.
- Analog Devices, Inc. *A Designer's Guide to Instrumentation Amplifiers*. 3rd. ed. [S.l.], 2006. Accessed: 2025-04-10. Disponível em: <<https://www.analog.com/media/en/training-seminars/design-handbooks/designers-guide-instrument-amps-complete.pdf>>. Citado na página 22.
- Associação Brasileira de Normas Técnicas. *ABNT NBR IEC 60601-1:2010/Emenda 1:2016 - Equipamento Eletromédico - Parte 1: Requisitos Gerais para Segurança Básica e Desempenho Essencial*. Rio de Janeiro, Brasil: ABNT, 2016. Norma Brasileira. Emenda 1. Citado na página 24.
- BAKER, R. J. *CMOS: circuit design, layout, and simulation*. John Wiley & Sons, 2019. Disponível em: <https://books.google.com.br/books?hl=pt-BR&lr=&id=payXDwAAQBAJ&oi=fnd&pg=PR33&dq=CMOS+Circuit+Design,+Layout,+and+Simulation&ots=fD-z888U4e&sig=gMgAuDbgnA0EdviXHac-3DqZmPc&redir_esc=y#v=onepage&q=CMOS%20Circuit%20Design%2C%20Layout%2C%20and%20Simulation&f=false>. Citado 3 vezes nas páginas 27, 32 e 58.
- BAROLD, S. S. Willem einthoven and the birth of clinical electrocardiography a hundred years ago. *Cardiac electrophysiology review*, Springer, v. 7, p. 99–104, 2003. Disponível em: <<https://link.springer.com/article/10.1023/A:1023667812925>>. Citado na página 14.
- BHUIYAN, M. A review on cmos gm-c band-pass filters in rf applications. *Journal name (PDF)*, 2014. Review article noting linearity limitations of gm-C filters. Citado na página 31.
- EINTHOVEN, W. *The electrocardiogram: A new method for the study of the heart's electrical activity*. 1924. Nobel Lecture. Accessed: 2025-03-27. Disponível em: <<https://www.nobelprize.org/prizes/medicine/1924/einthoven/facts/>>. Citado na página 14.
- FABRIS, E. *Op-Amp Miller Compensation*. 2006. <<https://ocw.eecs.mit.edu/>>. Apostila técnica sobre compensação Miller em amplificadores operacionais. Citado na página 49.

GENT, P. V. *heartrate_analysis_python*. 2024. GitHub repository. Accessed: May 31, 2024. Disponível em: <https://github.com/paulvangentcom/heartrate_analysis_python>. Citado 2 vezes nas páginas 17 e 18.

HARRIS, S.; HARRIS, D. *Digital design and computer architecture*. [S.l.]: Morgan Kaufmann, 2015. Citado na página 33.

HUANG, J.; MERCIER, P. P. A 178.9-db fom 128-db sfdr vco-based afe for exg readouts with a calibration-free differential pulse code modulation technique. *IEEE Journal of Solid-State Circuits*, v. 56, n. 11, p. 3236–3246, 2021. Citado na página 68.

HUIJSING, J. *Operational amplifiers*. [S.l.]: Springer, 2011. Citado na página 58.

INSTRUMENTS, T. Improving common-mode rejection using the right-leg drive amplifier. 2010. Disponível em: <<https://www.ti.com/sitesearch/en-us/docs/universalsearch.tsp?langPref=en-US&nr=7769&searchTerm=Improving%20Common-Mode%20Rejection#q=Improving%20Common-Mode%20Rejection>>. Citado na página 14.

INSTRUMENTS, T. *Optimizing CMRR in Differential Amplifier Circuits With Precision Matched Resistor Divider Pairs*. 2023. <<https://www.ti.com/lit/an/sboa582/sboa582.pdf>>. Application Report SBOA582. Citado na página 23.

JAIN, A.; SINGH, M.; KAPOOR, J. Low power wearable cardiac activity monitoring device: Ecg a review. *Int. Res. J. Eng. Technol*, v. 8, p. 3413–3428, 2021. Disponível em: <https://www.researchgate.net/publication/354199805_Low_Power_Wearable_Cardiac_Activity_Monitoring_Device_ECG_A_Review>. Citado na página 14.

JANI, A. B.; BAGREE, R.; ROY, A. K. Design of a low-power, low-cost ecg emg sensor for wearable biometric and medical application. In: *2017 IEEE SENSORS*. [S.l.: s.n.], 2017. p. 1–3. Citado na página 18.

Jewel Haque Munshi. *Right-Leg-Driven Circuit and Instrumentation Amplifier in ECG Acquisition System*. 2020. Disponível em: <<https://www.slideshare.net/slideshow/rightlegdriven-circuit-and-instrumentation-amplifier-in-ecg-acquisition-system/260465447>>. Citado na página 14.

Journal of Visualized Experiments. *Acquisition and Analysis of an ECG (Electrocardiography) Signal*. 2025. Acessado em: 2 abr. 2025. Disponível em: <<https://www.jove.com/v/10473/acquisition-and-analysis-of-an-ecg-electrocardiography-signal.com>>. Citado na página 18.

KAY, A.; LIS, M. *Optimizing Chopper Amplifier Accuracy*. [S.l.], 2025. Revised May 2025. Citado na página 58.

KOO, N. 28.6 a 22.6 μ w biopotential amplifier with adaptive common-mode interference cancelation achieving total-cmrr of 104db and cmi tolerance of 15vpp in 0.18 μ m cmos. In: *2021 IEEE International Solid-State Circuits Conference (ISSCC)*. [S.l.: s.n.], 2021. v. 64, p. 396–398. Citado na página 68.

KOO, N.; CHO, S. 22.4 a 27.8w biopotential amplifier tolerant to 30vpp common-mode interference for two-electrode ecg recording in 0.18m cmos. In: *2019 IEEE International Solid-State Circuits Conference - (ISSCC)*. [S.l.: s.n.], 2019. p. 366–368. Citado na página 68.

KOO, N.; CHO, S. A 24.8-w biopotential amplifier tolerant to 15-vpp common-mode interference for two-electrode ecg recording in 180-nm cmos. *IEEE Journal of Solid-State Circuits*, v. 56, n. 2, p. 591–600, 2021. Citado na página 68.

LATHI, B. P. *Sinais e sistemas lineares-2*. [S.l.]: Bookman, 2006. Citado 3 vezes nas páginas 8, 25 e 26.

LATHI, B. P.; DING, Z. Sistemas de comunicações analógicos e digitais modernos. *LTC, Rio de Janeiro*, 2012. Citado na página 14.

MACFARLANE, P. W.; KENNEDY, J. Automated ecg interpretation—a brief history from high expectations to deepest networks. *Hearts*, MDPI AG, v. 2, p. 433–448, 2021. Disponível em: <<https://www.mdpi.com/2673-3846/2/4/34>>. Citado na página 14.

MACHHA, K.; LAXMINIDHI, T. Widely tunable low-pass gm-c filter for biomedical applications. *IET Circuits, Devices & Systems*, Institution of Engineering and Technology, v. 13, n. 6, p. 798–806, 2019. Citado 4 vezes nas páginas 8, 30, 42 e 43.

MALOBERTI, F. *Data converters specifications*. Springer, 2007. Disponível em: <https://link.springer.com/chapter/10.1007/978-0-387-32486-9_2>. Citado na página 14.

MERCIER, P. *ECE 203 - Lecture 8 - Instrumentation Amplifiers I*. 2020. Disponível em: <<https://www.youtube.com/watch?v=Cps0C9fJXfg>>. Citado 3 vezes nas páginas 20, 23 e 24.

NETO, P.; ROBERTO, A. Sistema integrado de baixo consumo para aquisição de ecg e cálculo da vfc. 2020. Disponível em: <<https://repositorio.ufsm.br/handle/1/20724>>. Citado na página 14.

OLIVEIRA, M. C. S. de. *Filtros Reconfiguráveis em Tecnologia CMOS para Circuitos Receptores de RF Multi-Padrão*. 2017. Trabalho de Conclusão de Curso, Graduação. Citado 2 vezes nas páginas 28 e 29.

PALMA, J.; VARELA, A.; MOREIRA, B. Design of a miller amplifier using g_m/i_d based on a first-order building block approximation. In: *2023 International Conference on Electrical and Electronics Engineering (ICEEE)*. [S.l.]: IEEE, 2023. p. 1–6. Citado na página 49.

PEDRONI, V. A. *Finite state machines in hardware: theory and design (with VHDL and System Verilog)*. [S.l.]: MIT press, 2013. Citado na página 33.

PELGROM, M. J. Analog-to-digital conversion. In: *Analog-to-Digital Conversion*. Springer, 2012. p. 325–418. Disponível em: <https://link.springer.com/chapter/10.1007/978-1-4614-1371-4_8>. Citado na página 14.

PLESNIK, E. et al. Improved removal of electrocardiogram baseline wandering. In: IEEE. *EuroCon 2013*. 2013. p. 1764–1769. Disponível em: <<https://ieeexplore.ieee.org/document/6625231>>. Citado 2 vezes nas páginas 17 e 18.

- RAFIE, N.; KASHOU, A. H.; NOSEWORTHY, P. A. Ecg interpretation: Clinical relevance, challenges, and advances. *Hearts*, MDPI AG, v. 2, p. 505–513, 11 2021. Citado na página 18.
- RAZAVI, B. *Design of analog CMOS integrated circuits*. [S.l.]: , 2005. Citado 2 vezes nas páginas 42 e 57.
- RAZAVI, B. *Fundamentals of Microelectronics*. Second. Hoboken, NJ: John Wiley & Sons, Inc., 2014. ISBN 978-1118156322. Citado 7 vezes nas páginas 27, 29, 31, 32, 41, 49 e 59.
- RIGHI, F. Z. et al. Behavioral modeling and analysis of an integrated analog front-end for ecg signal. In: FEDERAL UNIVERSITY OF PAMPA - UNIPAMPA. *Proceedings of the SForum 2024*. Alegrete, Brazil, 2024. Citado na página 25.
- SCHAUMANN, R.; VALKENBURG, X. M. E. V.; XIAO, H. *Design of analog filters*. [S.l.]: Oxford University Press New York, 2001. v. 1. Citado 4 vezes nas páginas 24, 27, 28 e 29.
- SEDRA, A. S.; SMITH, K. C. *Microelectronic Circuits*. 7th. ed. [S.l.]: Oxford University Press, 2015. Citado 3 vezes nas páginas 31, 32 e 33.
- SOUNDARAPANDIAN, K.; BERARDUCCI, M. *Analog Front-End Design for ECG Systems Using Delta-Sigma ADCs*. [S.l.], 2009. Revised April 2010. Disponível em: <<http://focus.ti.com/docs/prod/folders/print/ads1258.html>>. Citado na página 14.
- SÖRNMO, L.; LAGUNA, P. 50 hz interference in ecg recordings—a review. *Computers in Cardiology*, v. 21, p. 139–142, 1994. Disponível em: <<https://pubmed.ncbi.nlm.nih.gov/7980199/>>. Citado 2 vezes nas páginas 18 e 20.
- UDUPA, A. Ecg signal acquisition on wearables. *Application Brief, Texas Instruments*, 2022. SBAA567. Disponível em: <<https://www.ti.com/lit/pdf/SBAA567>>. Citado 2 vezes nas páginas 18 e 19.
- VERMA, N. et al. A micro-power eeg acquisition soc with integrated feature extraction processor for a chronic seizure detection system. *IEEE Journal of Solid-State Circuits*, v. 45, n. 4, p. 804–816, 2010. Citado na página 21.
- WARCHALL, J. et al. 22.2 a rugged wearable modular exg platform employing a distributed scalable multi-channel fm-adc achieving 101db input dynamic range and motion-artifact resilience. In: *2019 IEEE International Solid-State Circuits Conference - (ISSCC)*. [S.l.: s.n.], 2019. p. 362–364. Citado na página 68.
- WATCHARAPONGVINIT. Design of a low-power ground-free analog front end for ecg acquisition. *IEEE Transactions on Biomedical Circuits and Systems*, v. 17, n. 2, p. 299–311, 2023. Citado na página 68.
- ZAMARUIEV, V.; IVAKHNO, V.; STYSLO, B. Anti-aliasing filter in digital control system for converter with active power filter function. In: *2019 IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO)*. [S.l.: s.n.], 2019. p. 797–801. Citado na página 29.
- ZHANG, T. et al. A 1v 3.5 w bio-afe with chopper-capacitor-chopper integrator-based dsl and low power gm-c filter. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 69, n. 1, p. 5–9, 2022. Citado na página 68.

ZHU, S.; WANG, Y. A 1.8v, sndr 96.3db analog front-end circuit design for ecg signal acquisition. In: *2024 6th International Conference on Natural Language Processing (ICNLP)*. [S.l.: s.n.], 2024. p. 742–746. Citado na página 68.

Anexos

Listing 1 – Controle Digital do PGA

```

// Comentários sobre o bloco
// - No caso do PGA:
//   [1 0 0 0] -> ganho máximo
//   [0 0 0 1] -> ganho mínimo

`timescale 1ns/1ps

// Definições
`define ADC_BUS_WIDTH      8
`define ADC_SAT_MAX        200
`define ADC_SAT_MIN        50

`define COUNT_BUS_WIDTH    8
`define COUNT_MAX          200

`define PGA_BUS_WIDTH      4
`define PGA_MAX            4'b1000

// Módulo principal
module control_gain (
    input  logic                clk,
    input  logic                rst,
    input  logic                i_start,
    input  logic                i_adc_rdy,
    input  logic [`ADC_BUS_WIDTH-1:0] i_adc_data,

    output logic                o_adc_read_req,
    output logic                o_calbr_run,
    output logic                o_calbr_rdy,
    output logic                o_calbr_faill,
    output logic [`PGA_BUS_WIDTH-1:0] o_pga,

    // Sinais de teste
    output logic [2:0]          o_test_state,
    output logic [`ADC_BUS_WIDTH-1:0] o_test_count
);

/*
Legenda de prefixos:
- i : entrada (exceto clock e reset)

```



```

- o : sa da
- r : registrador
- s : estados
- next : pr ximo valor do registrador
*/

// M quina de estados
logic [2:0] r_state, r_state_next;

parameter s0_wait_start      = 3'd0,
           s1_adc_read_req    = 3'd1,
           s2_verif_sat       = 3'd2,
           s3_calib_pga       = 3'd3,
           s4_calib_success   = 3'd4,
           s5_calib_faill     = 3'd5;

// Contadores e registradores
logic [`COUNT_BUS_WIDTH-1:0] r_count, r_count_next;
logic [`PGA_BUS_WIDTH-1:0] r_pga, r_pga_next;

// Atualiza o dos registradores
always_ff @(posedge clk) begin
    if (rst) begin
        r_state <= s0_wait_start;
        r_pga <= `PGA_MAX;
        r_count <= '0;
    end else begin
        r_state <= r_state_next;
        r_pga <= r_pga_next;
        r_count <= r_count_next;
    end
end

// L gica combinacional da m quina de estados
always_comb begin
    r_state_next = s0_wait_start;
    r_count_next = '0;
    r_pga_next = r_pga;

```

```

o_adc_read_req = '0;
o_calbr_run     = '0;
o_calbr_rdy     = '0;
o_calbr_faill   = '0;

case (r_state)

    s0_wait_start: begin
        if (i_start)
            r_state_next = s1_adc_read_req;
        end

    s1_adc_read_req: begin
        r_state_next = s2_verif_sat;
        r_count_next = r_count;
        o_adc_read_req = '1;
        o_calbr_run     = '1;
    end

    s2_verif_sat: begin
        r_state_next = s2_verif_sat;
        r_count_next = r_count;
        o_calbr_run  = '1;

        if (i_adc_rdy) begin
            if ((i_adc_data <= `ADC_SAT_MIN) ||
                (i_adc_data >= `ADC_SAT_MAX)) begin

                r_state_next = s3_calib_pga;

                if (r_pga == `PGA_BUS_WIDTH'd1)
                    r_state_next = s5_calib_faill;

            end else begin
                r_state_next = s1_adc_read_req;
                r_count_next = r_count + 1;

                if (r_count >= `COUNT_MAX)
                    r_state_next = s4_calib_success;
            end
        end

    end

end
end

```

```

s3_calib_pga: begin
    r_state_next = s1_adc_read_req;
    r_pga_next   = r_pga >> 1;
    o_calbr_run  = '1;
end

s4_calib_success: begin
    o_calbr_rdy  = '1;
    r_state_next = s4_calib_success;

    if (i_start) begin
        r_state_next = s1_adc_read_req;
        r_pga_next   = `PGA_MAX;
    end
end

s5_calib_faill: begin
    o_calbr_faill = '1;
    r_state_next  = s5_calib_faill;

    if (i_start) begin
        r_state_next = s1_adc_read_req;
        r_pga_next   = `PGA_MAX;
    end
end

endcase
end

// Sa das de teste
always_comb begin
    o_pga      = r_pga;
    o_test_state = r_state;
    o_test_count = r_count;
end

endmodule

```

Listing 2 – Modelo comportamental de amplificador operacional ideal

```

1 `include "discipline.h"
2 `include "constants.h"
3
4 // Modelo comportamental de amplificador operacional ideal (
5 // Verilog-A)
6 module ideal_opamp(vout, vinp, vinn);
7
8     output vout;
9     input vinp, vinn;
10
11     electrical vout, vinp, vinn;
12     electrical n1, n2;
13     voltage     n0;
14
15     // Par metros principais
16     parameter real Vio = 0;           // Offset de entrada
17     parameter real Rin = 1e20;        // Resistência de entrada
18     parameter real Voh = 5, Vol = 0;  // Saturação da saída
19     parameter real Aol = 74;          // Ganho em malha aberta (
20     dB)
21     parameter real Av = pow(10, Aol/20); // Ganho linear
22     parameter real GBW = 10M;         // Produto ganho-largura
23     de banda
24     parameter real SRP = GBW;         // Slew rate positivo
25     parameter real SRN = SRP;         // Slew rate negativo
26     parameter real Rdc = 200;         // Resistência de saída
27
28     // Variáveis internas
29     real Vin;
30     real a3, gm1, gm3;
31     real r1, r3, ro;
32     real cc;
33     real Vhs;
34     real I1, I3, I4, I5;
35
36     // Função de limitação suave
37     analog function real ftanh0;
38     input x, gain, ios, hi, lo;
39     real dv;
40     begin
41         dv = (hi-lo)/2;

```

```

39     ftanh0 = lo + dv*(1 + tanh(gain*(x-ios)/dv));
40     end
41 endfunction
42
43 // Bloco anal gico principal
44 analog begin
45
46     @(initial_step) begin
47         a3  = 10;
48         r3  = Rdc/4;
49         r1  = 98*r3;
50         gm1 = Av/(a3*r1);
51         gm3 = a3/r3;
52         ro  = r3;
53         cc  = gm1/(2*`M_TWO_PI*GBW);
54         Vhs = (Voh-Vol)/2;
55     end
56
57 // Entrada diferencial
58 Vin = V(vinp, vinn);
59
60 // Polo dominante
61 V(n0) <+ laplace_np(Vin, {1}, {-2*`M_TWO_PI*GBW});
62
63 // Est gio intermedi rio
64 I1 = ftanh0(V(n0), gm1, Vio, SRP*cc, -SRN*cc);
65
66 // Ganho at a sa da
67 I3 = gm3*V(n1);
68
69 // Saturao de sa da
70 I4 = ftanh0(V(n2), 1, 0, Voh, Vol);
71
72 // Resist ncia de sa da
73 I5 = V(n2, vout)/ro;
74
75 // Conex es internas
76 I(n1) <+ I1 + V(n1)/r1;
77 I(n1,n2) <+ cc*ddt(V(n1,n2));
78 I(n2) <+ I3 + V(n2)/r3 + I4;
79 I(n2,vout) <+ I5;
80

```

```
81     end
82 endmodule
```