

UNIVERSIDADE FEDERAL DO PAMPA

Renan Dotto Pacheco de Oliveira

**Projeto de Moduladores Sigma-Delta de Alta Resolução e Largura de Banda em
Tecnologia BCD de 130 nm**

**Alegrete
26/08/2024**

Renan Dotto Pacheco de Oliveira

**Projeto de Moduladores Sigma-Delta de Alta Resolução e Largura de Banda em
Tecnologia BCD de 130 nm**

Alegrete
26/08/2024

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

D048p Dotto Pacheco de Oliveira, Renan
Projeto de Moduladores Sigma-Delta de Alta Resolução e
Largura de Banda em Tecnologia BCD de 130 nm / Renan Dotto
Pacheco de Oliveira.

127 p.

Dissertação(Mestrado)-- Universidade Federal do Pampa,
MESTRADO EM ENGENHARIA ELÉTRICA, 2024.

"Orientação: Paulo César Comassetto de Aguirre".

1. Conversores analógico-digitais. 2. Moduladores sigma-
delta. 3. Modelagem e simulação do modulador sigma-delta em
alto nível e Verilog-A. 4. Simulação do projeto elétrico . 5.
Sistemas computacionais para moduladores sigma-delta. I.
Título.

RENAN DOTTO PACHECO DE OLIVEIRA

Projeto de Moduladores Sigma-Delta de Alta Resolução e Largura de Banda em Tecnologia BCD de 130 nm

Dissertação apresentada ao Programa de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Mestre em Engenharia Elétrica.

Dissertação defendida e aprovada em: 26/08/2024

Banca examinadora:

Prof. Dr. Paulo César Comassetto de Aguirre

Orientador

UNIPAMPA

Prof. Dr. Alessandro Gonçalves Girardi

UNIPAMPA

Prof. Dr. Lucas Compassi Severo

ITA

Prof. Dr. Tiago Roberto Balen

UFRGS



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 27/08/2024, às 11:39, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **Lucas Compassi Severo, Usuário Externo**, em 27/08/2024, às 13:31, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **TIAGO ROBERTO BALEN, Usuário Externo**, em 27/08/2024, às 16:26, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 27/08/2024, às 17:43, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **1517979** e o código CRC **3E0D5463**.

RESUMO

O objetivo do presente trabalho é analisar e descrever a metodologia de projeto de Moduladores Sigma-Delta em tempo contínuo de alta resolução e largura de banda em tecnologia BCD de 130 nm. A metodologia de projeto inclui o projeto de alto nível dos moduladores no ambiente Matlab/Simulink, que permite efetuar a otimização e validação do modulador utilizando modelos ideais. Neste trabalho optou-se por empregar a topologia de Modulador Sigma-Delta do tipo CIFF (*cascaded-of-integrators in feedforward*) e o modulador proposto é de quarta ordem. O projeto foi realizado empregando uma tensão de alimentação de 5 V, uma largura de banda de 125 kHz e uma frequência de amostragem de 32 MHz. Simulações em nível de esquemático elétrico indicam um SNDR de 96,93 dB considerando ruído, e uma dissipação de potência total de 19,87 mW, resultado em uma Figura de Mérito (FoM) de 171,1 dB, esse parâmetro é uma métrica que ajuda a avaliar a eficiência do sistema, levando em consideração o consumo de energia e o desempenho. O modulador atingiu um número efetivo de bits (ENOB) de 15,81 bits, o qual é limitado pelo ruído *flicker* e térmico. A performance é comparável com o estado da arte, apesar do modulador projetado usar uma tensão de alimentação de 5 V. Após, efetuou-se o projeto de um software em Python para auxiliar no cálculo dos componentes passivos de Moduladores Sigma-Delta em tempo contínuo de terceira e quarta ordem usando a topologia CIFF. Por fim, este trabalho explora o uso de ressonadores com um único amplificador operacional de transcondutância dentro do filtro de laço para reduzir o número de integradores e a dissipação de potência.

Palavras-chave: Modulador Sigma-Delta, Conversores Analógico-Digitais, Projeto Analógico.

ABSTRACT

The goal of this work is to analyze and describe the design methodology of high-resolution, wide-bandwidth continuous-time sigma-delta modulators in 130 nm BCD technology. The design methodology at high-level is carried out in the Matlab/Simulink environment, which allows for the optimization and validation of the modulator using ideal models. Subsequently, electrical-level modeling is carried out using Verilog-A blocks, and finally, implementation at the transistor level. In this work, the Cascade of Integrators in Feedforward (CIFF) topology was chosen, and the designed modulator is of the fourth order. The design was conducted using a supply voltage of 5 V, a signal bandwidth of 125 kHz, and a sampling frequency of 32 MHz. Schematic-level simulations indicate an SNDR of 96.93 dB considering noise, and a total power dissipation of 19.87 mW, resulting in a Figure of Merit (FoM) of 171.1 dB. This parameter is a metric that helps evaluate the system's efficiency, considering energy consumption and performance. The modulator achieved an effective number of bits (ENOB) of 15.81 bits, which is limited by thermal noise. The performance is comparable to the state-of-the-art, despite the designed modulator is powered by a 5-V power supply. Subsequently, a software was developed in Python to assist in the calculation of passive components of continuous-time sigma-delta modulators of third and fourth order using the CIFF topology. Finally, this work explores the use of resonators with a single operational transconductance amplifier within the loop filter to reduce the number of integrators and power dissipation.

Keywords: Sigma-Delta Modulator, Analog-to-Digital Converters, Analog Design.

LISTA DE ILUSTRAÇÕES

Figura 1 – Figura referente ao fluxo de projeto.	25
Figura 2 – Conversão analógico-digital: (a) diagrama de blocos conceitual; (b) processamento de sinal de um ADC de taxa Nyquist.	27
Figura 3 – Reconstrução de sinais digitais a partir de uma amostra analógica.	28
Figura 4 – Comparação entre ADCs: (a) Critério de Nyquist vs. (b) Sobreamostragem.	29
Figura 5 – Diagrama de blocos simplificado de um ADC Sigma-Delta.	29
Figura 6 – Imagens de um sinal amostrado na frequência de Nyquist.	30
Figura 7 – ADCs e DACs: Conectando o mundo analógico ao universo digital.	31
Figura 8 – Imagem de um sinal sobreamostrado no domínio da frequência.	31
Figura 9 – Representação do modulador Sigma-Delta em tempo discreto.	33
Figura 10 – Representação do modulador Sigma-Delta em tempo contínuo.	33
Figura 11 – Resposta de diferentes janelas.	35
Figura 12 – Processo de Quantização: (a) bloco quantizador Multi-bit; (b) bloco quantizador de bit único; (c) característica de E/S de um quantizador Multi-bit; (d) característica de E/S de um quantizador de bit único; (e) erro de quantização Multi-bit; (f) erro de quantização de bit único.	37
Figura 13 – Modelo linear de um quantizador: (a) bloco do quantizador multi-bit e (b) modelo equivalente com ruído branco aditivo.	38
Figura 14 – Ruído branco de quantização: (a) função de densidade de probabilidade (PDF); (b) densidade espectral de potência.	38
Figura 15 – Ruído de quantização em: (a) ADCs de taxa de Nyquist; (b) superamostragem de ADCs.	39
Figura 16 – Comportamento do SNR com amplitude de entrada para conversores Sigma-Delta de 4ª ordem.	40
Figura 17 – Modelagem de ruído de quantização: (a) diagrama de blocos conceitual; (b) efeito sobre o ruído dentro da banda de um ADC de modelagem de ruído de sobreamostragem.	41
Figura 18 – Representação elétrica de um sistema com com quantizador e realimentação negativa.	41
Figura 19 – Representação do loop de realimentação em tempo discreto com a inserção de um atraso de amostra, em que e representa o erro de quantização.	42
Figura 20 – Parâmetros de alguns ADCs com suas FOM com relação a SNDR em dB.	44
Figura 21 – SNDR versus largura de banda do estado da arte de 2022.	45
Figura 22 – Resolução ou precisão em comparação ao velocidade alcançada por ADCs de última geração.	45
Figura 23 – Fluxograma de projeto a partir do TOOLBOX.	47
Figura 24 – Análise da faixa dinâmica (DR) em relação à sobreamostragem (OSR) na escolha da ordem do modulador.	50

Figura 25 – Análise do ENOB em função da sobreamostragem (OSR) na escolha da ordem do modulador	51
Figura 26 – Fluxograma do Modulador Sigma-Delta em tempo discreto.	52
Figura 27 – Fluxograma do Modulador Sigma-Delta em tempo contínuo.	52
Figura 28 – PSD referente aos valores do Toolbox (sem escalonamento) e escalonados.	56
Figura 29 – Apresentação do fluxograma com compensação ELD do Modulador Sigma-Delta.	56
Figura 30 – Gráfico referente a PSD no domínio s	60
Figura 31 – Histograma do nível de excursão dos coeficientes de avanço do primeiro integrador.	62
Figura 32 – Histograma do nível de excursão dos coeficientes de avanço do segundo integrador.	62
Figura 33 – Histograma do nível de excursão dos coeficientes de avanço do terceiro integrador.	63
Figura 34 – Histograma do nível de excursão dos coeficientes de avanço do quarto integrador.	63
Figura 35 – Excursões dos quatro estágios do Modulador Sigma-Delta com compensação de ELD.	64
Figura 36 – Esquemático elétrico do Modulador Sigma-Delta em VerilogA.	67
Figura 37 – Circuito equivalente ao primeiro estágio do Modulador Sigma-Delta.	68
Figura 38 – Análise do ruído de entrada do Modulador Sigma-Delta.	73
Figura 39 – Análise do ruído de entrada do Modulador Sigma-Delta.	74
Figura 40 – Circuito referente aso OTAS ideais.	75
Figura 41 – Implementação do comparador em VerilogA: diagrama e código.	76
Figura 42 – Implementação da Latch SR em VerilogA: diagrama e código.	77
Figura 43 – Bloco Associado ao Modulador Sigma-Delta.	78
Figura 44 – Resultado da PSD em VerilogA.	79
Figura 45 – Esquemático elétrico do Modulador Sigma-Delta.	81
Figura 46 – Modelagem dos resistores reais em rede T no Modulador Sigma-Delta.	84
Figura 47 – Representação dos capacitores reais utilizados no Modulador Sigma-Delta.	88
Figura 48 – Diagrama simplificado de um amplificador de dois estágios com compensação em avanço.	89
Figura 49 – Circuito referente aos amplificadores operacionais reais.	90
Figura 50 – Circuito de CMFB.	90
Figura 51 – Resultado obtidos para o ganho e de fase do OTA_1	91
Figura 52 – Resultados obtidos para o ganho e da fase do OTA_2 , OTA_3 e OTA_4	92
Figura 53 – Esquemático elétrico referente aos espelhos de correntes.	92
Figura 54 – Características elétricas do comparador ativo de múltiplas entradas.	94
Figura 55 – Esquemático elétrico do Modulador Sigma-Delta.	95

Figura 56 – Nível elétrico do comparador com somas passivas de múltiplas entradas.	96
Figura 57 – Nível elétrico da latch SR empregada no comparador de múltiplas entradas.	96
Figura 58 – Implementação em nível elétrico da latch tipo D.	97
Figura 59 – PSD da saída do modulador.	98
Figura 60 – PSD da saída do modulador considerando ruído.	98
Figura 61 – PSD da saída do modulador.	99
Figura 62 – PSD da saída do modulador considerando ruído.	100
Figura 63 – Consumo de potência do Modulador Sigma-Delta com somas ativas.	101
Figura 64 – Consumo de potência do Modulador Sigma-Delta com somas passivas.	102
Figura 65 – Análise do diagrama de blocos do Modulador Sigma-Delta de quarta ordem.	105
Figura 66 – Modificação do diagrama de blocos do termo sT_s	106
Figura 67 – Modificação do diagrama de blocos do ressonador com estágio de Feedback entre os estágios.	106
Figura 68 – Modificação final do diagrama de blocos com implementação da técnica do Ressonador.	107
Figura 69 – Nível elétrico do modulador SDM com ressonador em VerilogA.	108
Figura 70 – Resultado da variação do resistor R_4 e do capacitor C_4	109
Figura 71 – Análise do circuito com dois estágios e com a técnica de Ressonador.	109
Figura 72 – Simulação AC do ressonador implementado com um e dois amplificadores.	110
Figura 73 – Simulação da densidade espectral de potência (PSD) do Modulador Sigma- Delta com utilização de ressonador em VerilogA.	111
Figura 74 – Simulação PSD do modulador ressonador em VerilogA com ruído.	112
Figura 75 – Interface gráfica da ferramenta considerando o projeto de um modulador de terceira ordem.	113
Figura 76 – Interface gráfica da ferramenta considerando o projeto de um modulador de quarta ordem.	114
Figura 77 – Diagrama de blocos do fluxo de execução e desenvolvimento do projeto.	115

LISTA DE TABELAS

Tabela 1 – Vantagens em tempo contínuo (CT) e em tempo discreto (DT).	34
Tabela 2 – Parâmetros de projeto para o Modulador Sigma-Delta.	49
Tabela 3 – Conversão entre os domínios z e s	52
Tabela 4 – Coeficientes em tempo discreto (DT) e de tempo contínuo (CT).	54
Tabela 5 – Coeficientes em tempo contínuo (CT) sem e com compensação ELD	61
Tabela 6 – Parâmetros referentes aos valores de ruído de entrada.	71
Tabela 7 – Parâmetros dos resistores e capacitores do Modulador Sigma-Delta.	72
Tabela 8 – Valores utilizados aos amplificadores operacionais de transcondutância OTA ideal.	75
Tabela 9 – Variação dos parâmetros W e L e análise de S e M para o resistor de entrada do Modulador Sigma-Delta.	83
Tabela 10 – Especificações dos resistores na configuração tipo T.	87
Tabela 11 – Especificações dos resistores na configuração tipo T para R_{g2}	87
Tabela 12 – Especificações dos capacitores utilizados no Modulador Sigma-Delta.	88
Tabela 13 – Especificações dos capacitores aplicados no Modulador Sigma-Delta.	88
Tabela 14 – Especificações dos capacitores aplicados no Modulador Sigma-Delta.	88
Tabela 15 – Valores dos transistores MOS empregados nas chaves de controle do banco de capacitores.	89
Tabela 16 – Parâmetros dos transistores NMOS e PMOS.	93
Tabela 17 – W e L dos transistores PMOS e NMOS usados nas portas NAND da latch SR.	96
Tabela 18 – Parâmetros dos transistores NMOS e PMOS.	97
Tabela 19 – Resultados referentes aos valores dos dois comparadores utilizados neste trabalho.	100
Tabela 20 – Resultados da simulação com ruído para os dois comparadores utilizados neste trabalho.	101
Tabela 21 – Síntese dos resultados de simulação e comparação com o estado da arte.	103

LISTA DE ABREVIATURAS E SIGLAS

ADC	<i>Analog-to-Digital Converter</i> , Conversor Analógico-Digital
CS	<i>Current Steering</i> , Direcionamento de Corrente
BW	<i>Bandwidth</i> , Largura de Banda
CT	<i>Continuous Time</i> , Tempo Contínuo
CIFF	<i>Cascade of Integrators with Feed-Forward</i> , Cascata de Integradores com Realimentação Direta
CTDSM	<i>Continuous-Time Delta-Sigma Modulator</i> , Modulador Delta-Sigma de Tempo Contínuo
DAC	<i>Digital-to-Analog Converter</i> , Conversor Digital-Analógico
DFT	<i>Discrete Fourier Transform</i> , Transformada Discreta de Fourier
DS	<i>Delta-Sigma</i> , Delta-Sigma
DSM	<i>Delta-Sigma Modulator</i> , Modulador Delta-Sigma
DT	<i>Discrete Time</i> , Tempo Discreto
DTDSM	<i>Discrete-Time Delta-Sigma Modulator</i> , Modulador Delta-Sigma de Tempo Discreto
ELD	<i>Excess Loop Delay</i> , Atraso Excedente de Malha
ENOB	<i>Effective Number of Bits</i> , Número Efetivo de Bits
FFT	<i>Fast Fourier Transform</i> , Transformada Rápida de Fourier
FS	<i>Full-Scale</i> , Fundo de Escala
FOM	<i>Figure of Merit</i> , Figura de Mérito
GBW	<i>Gain Bandwidth Product</i> , Produto Ganho-Largura de Banda
Hann	<i>Hanning Window</i> , Janela de Hanning
Hamm	<i>Hamming Window</i> , Janela de Hamming
IBN	<i>In-Band Noise</i> , Ruído na Banda
LPF	<i>Low-Pass Filter</i> , Filtro Passa-Baixa
LSB	<i>Least Significant Bit</i> , Bit Menos Significativo

NTF	<i>Noise Transfer Function</i> , Função de Transferência de Ruído
NRZ	<i>No-Return-to-Zero</i> , Não Retorno a Zero
OSR	<i>Oversampling Ratio</i> , Taxa de Sobreamostragem
PDF	<i>Probability Density Function</i> , Função Densidade de Probabilidade
PSRR	<i>Power Supply Rejection Ratio</i> , Razão de Rejeição de Fonte de Alimentação
SNR	<i>Signal-to-Noise Ratio</i> , Relação Sinal-Ruído
SNDR	<i>Signal-to-Noise and Distortion Ratio</i> , Relação Sinal-Ruído e Distorção
SQNR	<i>Signal-to-Quantization-Noise Ratio</i> , Relação Sinal-Ruído de Quantização
SR	<i>Slew Rate</i> , Taxa de Variação
STF	<i>Signal Transfer Function</i> , Função de Transferência de Sinal
TF	<i>Transfer Function</i> , Função de Transferência
THD	<i>Total Harmonic Distortion</i> , Distorção Harmônica Total
VREF	<i>Reference Voltage</i> , Tensão de Referência
Δ	<i>Delta</i> , Delta
Σ	<i>Sigma</i> , Sigma
f_{in}	<i>Input Frequency</i> , Frequência de Entrada
f_s	<i>Sampling Frequency</i> , Frequência de Amostragem
S	<i>Number of Segments</i> , Número de Segmentos
M	<i>Multiples</i> , Múltiplos
W	<i>Width</i> , Largura
L	<i>Length</i> , Comprimento
R_{ref}	<i>Reference Resistor</i> , Resistor de Referência
R_s	<i>Series Resistor</i> , Resistor em Série
R_p	<i>Parallel Resistor</i> , Resistor em Paralelo
V_{in}	<i>Input Voltage</i> , Tensão de Entrada
V_{out}	<i>Output Voltage</i> , Tensão de Saída

V_{REF}	<i>Reference Voltage</i> , Tensão de Referência
Δf	<i>Frequency Resolution</i> , Resolução de Frequência
Δt	<i>Time Resolution</i> , Resolução de Tempo
T_s	<i>Sampling Period</i> , Período de Amostragem
τ	<i>Time Constant</i> , Constante de Tempo
β	<i>Feedback Coefficient</i> , Coeficiente de Realimentação

SUMÁRIO

1	INTRODUÇÃO	23
1.1	Objetivos	23
1.2	Metodologia de projeto	24
1.3	Organização	25
2	REVISÃO SOBRE CONVERSÃO ANALÓGICO-DIGITAL	27
2.1	Teoria da amostragem	30
2.2	Importância e aplicações dos conversores sobreamostrados	30
2.3	Estrutura do modulador Sigma-Delta	32
2.3.1	Diferença entre moduladores em tempo discreto e tempo contínuo	32
2.4	Análise de janelamento	34
2.5	Processo de quantização	36
2.6	Ruído branco de quantização	38
2.7	Modelagem do ruído (noise-shaping)	40
2.8	Figuras de mérito	43
2.9	Síntese do capítulo	45
3	PROJETO DE ALTO NÍVEL DE MODULADORES SIGMA-DELTA	47
3.1	Projeto de alto nível do Modulador Sigma-Delta	48
3.2	Projeto do Modulador em Tempo Discreto	48
3.3	Transformação de tempo discreto para tempo contínuo	51
3.4	Escalonamento dos coeficientes do Modulador Sigma-Delta	55
3.5	Compensação de Excess Loop Delay (ELD)	56
3.5.1	Compensação de ELD considerando um DAC NRZ	58
3.6	Escalonamento dos coeficientes do modulador	59
3.7	Não idealidades de moduladores Sigma-Delta em tempo contínuo	60
3.8	Verificação da excursão de saída dos integradores	61
3.9	Síntese do Capítulo	65
4	IMPLEMENTAÇÃO DO MODULADOR SIGMA-DELTA EM NÍVEL DE VERILOGA	67
4.1	Ruído referido a Entrada do Modulador	68
4.2	Cálculo dos resistores de entrada	70
4.3	Cálculo dos coeficientes em avanço CIFF e conversão em VerilogA	71
4.4	Impacto do ruído nos resistores de entrada	73
4.4.1	Amplificadores de transcondutâncias (OTAS)	74

4.5	Amplificador de transcondutância completamente diferencial em VerilogA	75
4.6	Modelagem do comparador de múltiplas entradas em VerilogA .	76
4.7	Latch em VerilogA	77
4.8	Resultados de simulação do Modulador Sigma-Delta em VerilogA	78
4.9	Síntese do Capítulo	79
5	IMPLEMENTAÇÃO DO MODULADOR EM NÍVEL ELÉTRICO	81
5.1	Valores dos resistores de entrada e o impacto no modulador . .	81
5.2	Cálculo do resistor da Rede T	84
5.3	Cálculo dos valores dos capacitores reais	87
5.4	Projeto dos OTAs	89
5.4.1	Resultados de simulação dos OTAs	91
5.5	Projeto dos espelhos de corrente	91
5.6	Projeto do comparador real	93
5.6.1	Projeto do comparador de múltiplas entradas para soma ativa . .	93
5.6.2	Projeto do Comparador de Múltiplas Entradas com Somas Capacitivas	95
5.7	Projeto das Latches do tipo SR	96
5.8	Projeto da latch tipo D	97
5.9	Resultados do modulador empregando comparador de somas ativas	97
5.10	Resultados do modulador com comparador de somas passivas .	99
5.11	Análise comparativa dos resultados	100
5.12	Resultados da potência consumida pelo modulador Sigma-Delta	101
5.13	Análise de desempenho	102
5.14	Síntese do capítulo	103
6	MODULADOR SIGMA-DELTA UTILIZANDO RESSONADORES . .	105
6.1	Resultados da simulação do Modulador Sigma-Delta com Ressonador ideal	111
6.2	Síntese do capítulo	112
7	APLICATIVO PARA ANÁLISE E PROJETO DE MODULADORES SIGMA-DELTA	113
7.1	Síntese do capítulo	115
8	CONCLUSÃO	117
8.1	Trabalhos Futuros	118
8.2	Trabalhos Publicados e Participação em Eventos	118

8.2.1	Participação em Eventos	118
8.2.2	Menções Honrosas	118
8.2.3	Artigos Publicados	119
	REFERÊNCIAS	121

1 INTRODUÇÃO

Nas últimas décadas, o notório avanço da microeletrônica revolucionou a área de processamento e conversão de sinais, contribuindo, para o avanço da sociedade contemporânea. A utilização da eletrônica analógica com componentes de prateleira para determinadas funções tornou-se obsoleta, e alguns caso até inviável, visto que esse modelo de arranjo limitou a capacidade de processamento dos sinais: os primeiros computadores empregavam uma arquitetura rudimentar para executar rotinas de cálculos como a integração de equações diferenciais e também derivações simples oriundas de uma função específica.

Neste contexto, a adoção de circuitos integrados (CIs) tem possibilitado a implementação de sistemas eletrônicos de maior complexidade, menor volume e menor consumo de potência quando comparados às implementações com componentes de prateleira. Observa-se também um aumento do processamento digital de sinais para as mais variadas aplicações. Entretanto, este processamento requer que as grandezas a serem processadas estejam representadas no domínio digital. Assim, o uso de conversores analógico-digitais (ADCs) torna-se indispensável.

Existem diferentes topologias de conversores analógico-digitais disponíveis, cada uma com diferentes arranjos, tais como ADCs do tipo Flash, SAR (registrador de aproximações sucessivas), Pipeline, Sigma-Delta, entre outros. A escolha do tipo de ADC depende dos requisitos de projeto, que incluem largura de banda (B_w), relação sinal-ruído (SNR), relação sinal-ruído-distorção (SNDR), número efetivo de bits (ENOB) etc. Convém destacar também que o consumo de potência é um aspecto crucial para muitos projetos.

Este trabalho visa aplicações industriais de alta resolução, com um SNDR acima de 96 dB. Para tais requisitos, destacam-se os ADCs Sigma-Delta. Um ADC Sigma-Delta é composto por um Modulador Sigma-Delta e um filtro digital decimador, sendo o primeiro o limitador do desempenho do ADC. Assim, este trabalho tem objetiva o estudo de moduladores sigma-delta de alta resolução e alta largura de banda, que neste trabalho é definida como 125 kHz.

1.1 OBJETIVOS

O objetivo deste trabalho é projetar e estudar Moduladores Sigma-Delta de alta resolução e largura de banda. Neste trabalho, é empregada uma tecnologia BCD (Bipolar-CMOS-DMOS) de 130 nm, que é muito utilizada em aplicações automotivas, drivers de potência, atuadores e outros dispositivos para aplicações industriais. A escolha de uma tensão de 5 V foi determinada pelos requisitos do projeto proposto para este trabalho, além da demanda e do desafio de operar nessa faixa de tensão. Almeja-se atingir um SNDR de aproximadamente 96 dB, aliado a um baixo consumo de energia. Serão avaliados moduladores de terceira e quarta ordem implementados com a topologia Cascade-of-Integrators in Feedforward (CIFF). Um aspecto relevante do projeto é a tensão de alimentação, estabelecida em 5 V, sendo que esta pode comprometer o consumo de potência do circuito e a obtenção de uma boa Figura de Mérito (FoM). Dessa maneira, são apresentados os seguintes objetivos específicos:

- Adquirir conhecimento das diferentes arquiteturas de Moduladores Sigma-Delta existente na literatura;
- Definir uma arquitetura que será utilizada ao longo do trabalho;
- Definir uma metodologia de projeto para Moduladores Sigma-Delta de alta resolução e largura de banda;
- Definir uma metodologia para projetar blocos básicos essenciais para a concepção do trabalho;
- Projetar todos os blocos que compõem o modulador Sigma-Delta;
- Análise do impacto do ruído de entrada no modulador;
- Extrair os resultados e parâmetros de Moduladores Sigma-Delta.

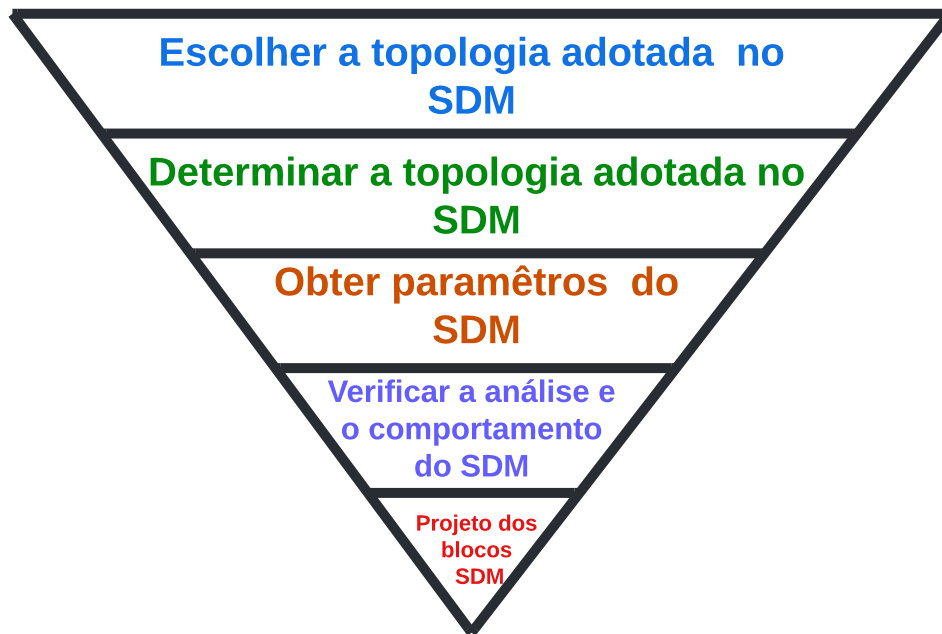
1.2 METODOLOGIA DE PROJETO

Com o objetivo de conduzir de maneira eficiente esta proposta de mestrado, será necessário delimitar um plano de trabalho que contemple toda a área de atuação incluindo o estudo e revisão bibliográfica, concluindo o estudo com a sua implementação em nível elétrico. Nesse contexto, torna-se crucial estabelecer um roteiro de trabalho bem definido, detalhando todas as etapas das atividades a serem realizadas.

Considerando-se o uso de hierarquias de trabalho, o processo começa com simulações de baixo nível, relacionadas a modelos matemáticos em *MATLAB*, até atingir os maiores níveis, o que inclui simulações elétricas mais complexas utilizando dispositivos reais como transistores MOS e outros elementos que compõem o circuito. A utilização desse arranjo servirá como referência para a todo o estudo inicial desta pesquisa, o que proporcionará um maior impacto no final do projeto.

Com finalidade de desenvolver um projeto, em especial um Modulador Sigma-Delta, é fundamental delinear claramente as etapas principais e a sequência de processos antes da fabricação do dispositivo. Diante disso, a criação de um fluxograma de trabalho torna-se uma etapa essencial, pois organizará as atividades a serem realizadas ao longo de toda a proposta, retratando uma cadeia de eventos cuidadosamente estruturada, visto que cada fase do projeto é ordenada conforme a sua prioridade, garantindo-se uma progressão lógica e ordenada, conforme apresentado na Figura 1.

Figura 1 – Figura referente ao fluxo de projeto.



Fonte: Autor

1.3 ORGANIZAÇÃO

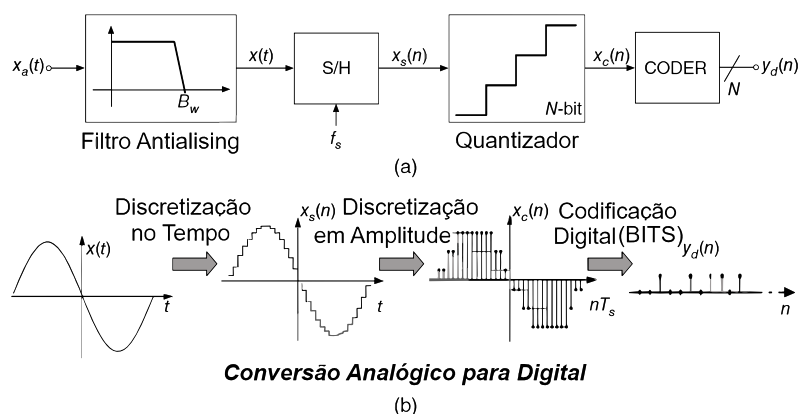
Este trabalho está organizado em oito capítulos. O Capítulo 1 apresenta a introdução e os objetivos deste trabalho de mestrado, enquanto o Capítulo 2 aborda a revisão bibliográfica e o estado da arte referente a conversores analógico-digitais e moduladores sigma-delta. O Capítulo 3 descreve o projeto de alto nível dos moduladores sigma-delta estudados nesta pesquisa, e o Capítulo 4 detalha a modelagem em nível elétrico, utilizando modelos em VerilogA. O Capítulo 5 apresenta a implementação em nível de transistores de um modulador sigma-delta em tempo contínuo de quarta ordem. No Capítulo 6, é explorado o projeto desse modulador, com foco em ressonadores implementados com um único amplificador.

O Capítulo 7 discute o desenvolvimento de um programa computacional em Python, criado para auxiliar no projeto em nível elétrico de moduladores sigma-delta em tempo contínuo. Por fim, o Capítulo 8 apresenta as conclusões deste trabalho, bem como perspectivas para trabalhos futuros.

2 REVISÃO SOBRE CONVERSÃO ANALÓGICO-DIGITAL

De acordo com (ROSA, 2022), os conversores analógico-digitais (ADCs) consistem em sistemas eletrônicos projetados para transformar sinais analógicos contínuos, tanto em tempo quanto em amplitude, em sinais digitais que possuem uma natureza discreta em ambas as dimensões. A Figura 2 ilustra o diagrama de blocos geral de um ADC destinado à conversão de sinais, que inclui um filtro anti-aliasing (AAF), um amostrador, um quantizador e um codificador.

Figura 2 – Conversão analógico-digital: (a) diagrama de blocos conceitual; (b) processamento de sinal de um ADC de taxa Nyquist.



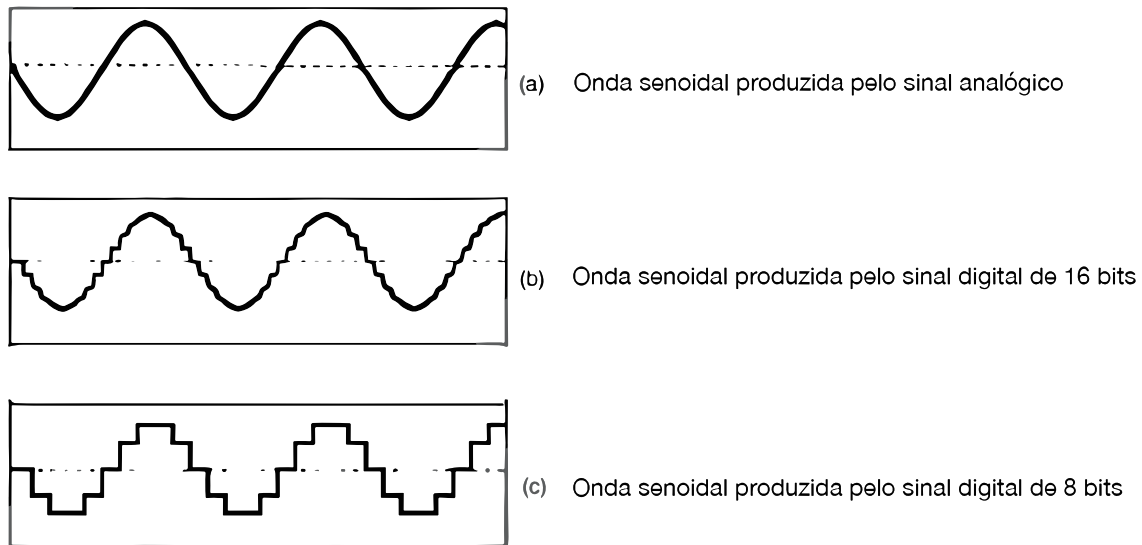
Fonte: Adaptado de (ROSA, 2018)

A Figura 2 ilustra um sinal de entrada analógico, $x_a(t)$, que é aplicado em um ADC qualquer. O sinal passa inicialmente pelo filtro anti-alias que limita a banda de sinal para atender ao teorema de amostragem de Nyquist.

O sinal de banda limitada resultante, $x(t)$, é amostrado a uma taxa determinada para f_s fornecido pelo circuito de amostragem e retenção (S/H). Esse processo resulta em um sinal de tempo discreto $x_s(n)$, dado por $x_s(n) = x(nT_s)$ (BAKER, 2010b). É preciso considerar que a parcela de $T_s = \frac{1}{f_s}$ representa o período de amostragem, e a faixa contínua de amplitudes exibido pelo termo $x_s(n)$ é previamente quantizada. Desse modo, manipula-se os valores de N bits para que cada amostra de entrada torne-se um valor contínuo do quantizador, mapeando-se o nível de valores no tempo discreto mais próximo dos valores de 2^N que cobrem a faixa de entrada.

Finalmente, o processo de digitalização é concluído, atribuindo-se um código digital exclusivo a cada nível de saída do quantizador, normalmente usando codificação binária, que produz a saída digital de N bits $y_d(n)$. O número de níveis possíveis para representar o sinal é de 2^N níveis, conforme é apresentado de forma conceitual na Figura 2b. Os processos fundamentais envolvidos na conversão analógico-digital (AD) são a amostragem e a quantização, e ambos os processos implementam uma transformação contínua para discreta, sendo o primeiro no tempo e o segundo em amplitude, respectivamente. Outro processo importante a ser destacado refere-se ao número efetivo de bits do ADC, que dependerá da relação sinal-ruído propiciada.

Figura 3 – Reconstrução de sinais digitais a partir de uma amostra analógica.



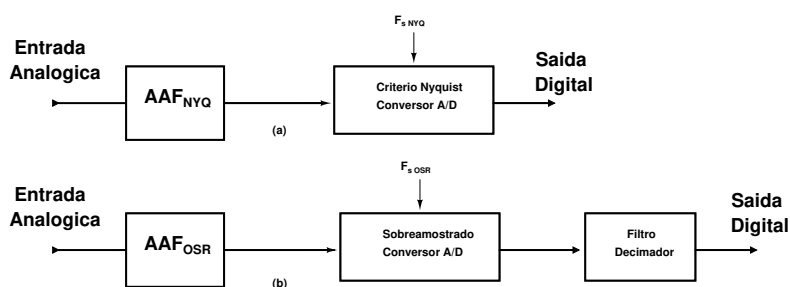
Fonte: Autor

Na Figura 3 são exibidos os três tipos de sinais senoidais gerados a partir de uma fonte qualquer e convertidos em sinais digitais. O primeiro sinal, reproduzido na Figura 3a, têm origem de uma excitação analógica. A reconstrução digital é apresentado na Figura 3b, que se dá devido ao elevado número de bits, obtendo-se uma reconstrução muito próxima do sinal de entrada. Por fim, como ilustrado na Figura 3c quanto menor o número de bits do ADC, menor é a precisão e a reconstrução do sinal. Portanto, é fundamental considerar a topologia do ADC ao selecionar um modulador Sigma-Delta, uma vez que cada topologia possui vantagens e desvantagens específicas. Essas características dependem da aplicação e dos requisitos de velocidade e precisão, e a escolha da topologia adequada é essencial para otimizar o desempenho do ADC conforme as necessidades do projeto. Além disso, é possível apresentar moduladores amplamente utilizados na literatura no campo das telecomunicações e do processamento de sinais.

O conversor analógico-digital do tipo Sigma-Delta com característica de sobreamostragem é uma boa escolha de projeto, pois permite operar em uma faixa de frequência não muito baixa e, ao mesmo tempo, consegue atingir um elevado número de bits. Esse conversor é composto por um filtro anti-alias, um modulador do tipo Sigma-Delta e por um filtro digital decimador, conforme é demonstrado na Figura 4b. Esses três elementos referem-se ao caminho de projeto de um ADC para essa arquitetura, diferenciando-se do projeto que se emprega do critério de Nyquist 4a. Devido sua função, o modulador Sigma-Delta é o circuito mais importante dentro do conversor, uma vez que o mesmo limita a largura de banda de operação e a precisão do ADC (AGUIRRE et al., 2020).

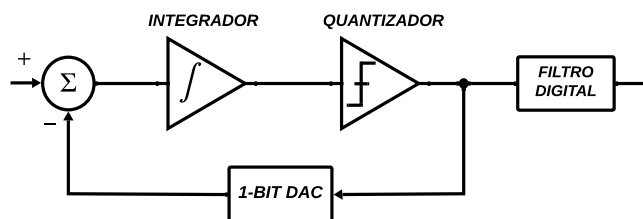
A Figura 5 apresenta o diagrama de blocos simplificado de um ADC sigma-delta. Este é composto de um modulador Sigma-Delta – que pode ser em tempo contínuo ou discreto – e um filtro digital decimador que fornecerá uma palavra digital de N bits. Os conversores analógico-

Figura 4 – Comparação entre ADCs: (a) Critério de Nyquist vs. (b) Sobreamostragem.



Fonte: Autor

Figura 5 – Diagrama de blocos simplificado de um ADC Sigma-Delta.



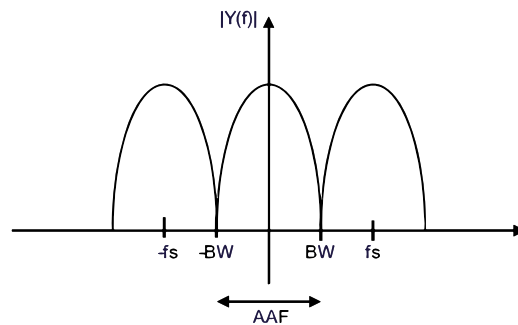
Fonte: Autor

digitais tradicionais podem ser classificados em duas categorias já mencionadas: ADCs do tipo Nyquist e os ADCs sobreamostrados, apresentados na Figura 4b. No decorrer deste trabalho serão detalhadas as principais diferenças entre eles. De acordo com (PAVAN; SHIBATA, 2021) nas amostras de entrada e saída, cada amostra de entrada é separada e processada, independentemente das amostras de entrada anteriores, ou seja, o conversor não tem e tampouco armazena algum tipo de memória. Dessa maneira, aplicando uma palavra de entrada digital contendo n bits (b_1, b_2, \dots, b_n) a uma taxa de Nyquist em DAC ideal resulta em uma saída analógica, conforme é apresentado na equação 2.1.

$$V_{out} = V_{ref}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) \quad (2.1)$$

O termo V_{ref} é o valor da tensão de referência, independentemente de qualquer palavra de entrada anterior, e a precisão de conversão pode ser avaliada comparando o valor real de V_{out} a partir do valor ideal. De acordo com (PAVAN; SHIBATA, 2021), o critério de Nyquist requer que o sinal f_s , seja o dobro da largura de banda B_w do sinal de entrada – em termos práticos, a taxa real é geralmente um pouco maior do que esse valor mínimo. Segundo (PAVAN; SHIBATA, 2021) geralmente a linearidade e a precisão de um conversor que emprega o critério de Nyquist são gerados pela precisão correspondente dos componentes analógicos como resistores, fontes de corrente ou capacitores utilizados na implementação do circuito. A figura 6 apresenta no domínio da frequência o sinal e suas imagens quando a amostragem ocorre na frequência de Nyquist.

Figura 6 – Imagens de um sinal amostrado na frequência de Nyquist.



Fonte: Autor

2.1 TEORIA DA AMOSTRAGEM

O teorema de amostragem de Nyquist, citado na seção anterior, explica a relação entre a taxa de amostragem e a frequência do sinal medido, afirmando que a frequência de amostragem f_s deve ser maior ou igual ao dobro da componente de maior frequência do sinal analisado, ou medido. Para obter a reconstrução perfeita do sinal em questão, a taxa de amostragem deve satisfazer o requisito mínimo de ser duas vezes maior que a frequência do sinal amostrado, representada pelo termo f_{in} (ROSA, 2011).

Em moduladores do tipo Sigma-Delta emprega-se sobreamostragem. Esse processo consiste basicamente em fazer uma amostragem do sinal muito maior que a frequência do sinal amostrado f_{in} (ROSA; RIO, 2013). A sobreamostragem reduz a quantidade de ruído de quantização dentro da banda de interesse, possibilitando o aumento da resolução efetiva de um ADC. A sobreamostragem, representada pela sigla *OSR*, é calculada de acordo com a equação 2.2, sendo a variável f_s a frequência de clock do modulador e f_{in} é a largura de banda do modulador.

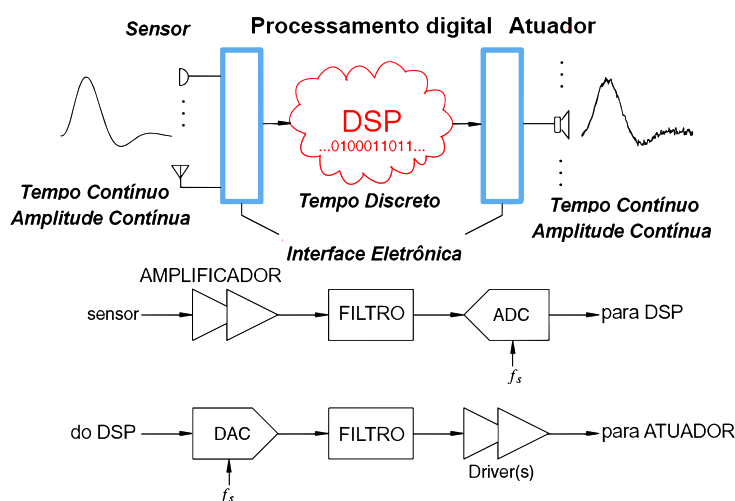
$$OSR = \frac{f_s}{2 \cdot f_{in}} \quad (2.2)$$

2.2 IMPORTÂNCIA E APLICAÇÕES DOS CONVERSORES SOBREAMOSTRADOS

As tarefas computacionais relacionadas ao processamento de sinais podem ser predominantemente realizadas por meios digitais, uma vez que é possível construir um diagrama de blocos a partir de um sistema que processe esses sinais, englobando tanto as entradas quanto as saídas, além de um mecanismo digital central, conforme demonstrado na Figura 7. Dessa forma, torna-se plausível afirmar que os sinais de entrada analógicos, provenientes de processos como amplificação ou filtragem, também podem passar por um processo adicional de conversão.

Os conversores derivados da técnica de sobreamostragem são notáveis por sua capacidade de alcançar elevadas resoluções a custos relativamente baixos, o que os torna altamente competitivos no mercado (YANG; LEE, 2016). Esses conversores operam com taxas de amostragem significativamente superiores à taxa de Nyquist, frequentemente incrementadas por um

Figura 7 – ADCs e DACs: Conectando o mundo analógico ao universo digital.

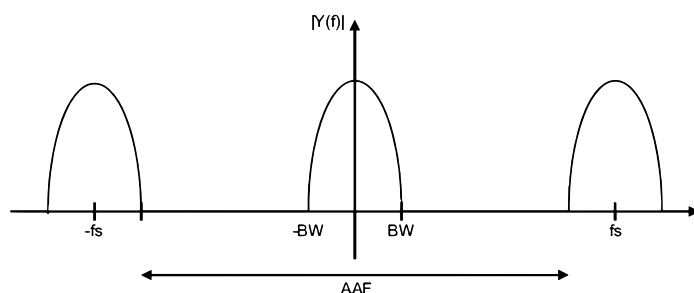


Fonte: Adaptado (MALOBERTI, 2007)

fator que varia entre 8 e 512, e esse aumento substancial na taxa de amostragem permite que eles integrem múltiplos valores de entrada anteriores para produzir uma saída com maior precisão e qualidade (ROSA, 2011). Embora apresentem um trade-off em comparação com os conversores que seguem estritamente o critério de Nyquist, os conversores de sobreamostragem oferecem uma combinação vantajosa de alta resolução e custo acessível, consolidando-se como uma opção atrativa para uma ampla gama de aplicações comerciais. Ademais, o conversor incorpora elementos de memória em sua estrutura, o que rompe a relação direta de 1 para 1 entre as amostras de entrada e saída.

Devido a sobreamostragem, as imagens do sinal ficam espaçadas em frequência, conforme ilustrado Figura 8. Isso possibilita a redução da ordem do filtro anti-alias que precede o ADC.

Figura 8 – Imagem de um sinal sobramostrado no domínio da frequência.



Fonte: Adaptado (PELGROM, 2017)

Na área de conversão AD é importante calcular a relação sinal-ruído (SNR) do ADC. O SNR é avaliado como uma medida da precisão de um conversor, baseando-se na análise de uma entrada senoidal – o SNR representa a relação entre a potência do sinal de entrada e o

ruído total gerado pela quantização do circuito. Portanto, o SNR também depende da amplitude do sinal de entrada, diminuindo proporcionalmente com a amplitude do sinal (MALOBERTI, 2007). O cálculo do SNR não engloba as harmônicas do sinal de entrada.

Outro parâmetro importante é relação de sinal-ruído-e-distorção (SNDR). Este é a razão entre a potência do sinal de entrada e a potência do ruído, incluindo as harmônicas da sinal de entrada (MALOBERTI, 2007). A faixa dinâmica (DR) é o valor do sinal de entrada quando o valor de SNDR é igual a zero dB, e esse parâmetro é aplicado para alguns tipos de conversores, em especial Sigma-Delta, pois, é possível alcançar um valor máximo de SNR para 0 dB_{FS} .

É possível calcular o ENOB a partir do SNDR, conforme a equação 2.3.

$$ENOB = \frac{SNDR_{dB} - 1,76}{6,02} \quad (2.3)$$

A relação inversa é frequentemente aplicada a conversores de sobreamostragem para converter o ENOB em um valor real de SNDR. De acordo com (PAVAN; SHIBATA, 2021) a implementação de conversores de sobreamostragem requer uma quantidade considerável de circuitos digitais. Além disso, é preciso contar com alguns estágios analógicos, e ambos precisam ser operados com taxas maiores do que a do critério de Nyquist. Dessa maneira, os requisitos de precisão nos componentes analógicos são relaxados em comparação com aqueles associados aos conversores de taxa de Nyquist. Por fim, outro parâmetro importante é o SFDR, em que remete a razão entre a potência do sinal e a potência do maior espúrio dentro da banda de interesse.

2.3 ESTRUTURA DO MODULADOR SIGMA-DELTA

Na construção e na execução de qualquer projeto de um modulador Sigma-Delta, deve-se primeiramente atribuir especificações como a largura de banda do sinal de entrada, ordem do modulador e o número de bits do quantizador (ROSA; RIO, 2013). Como os ADCs dispõem de um bloco de quantização, que é um processo por meio do qual o sinal contínuo em amplitude é transformado em um sinal discreto em amplitude, deve-se considerar o erro de quantização que é inserido dentro desta conversão, sendo esse erro a diferença entre o resultado de saída digitalizado e o sinal de entrada. Dessa maneira, empregando-se algumas técnicas, tais como a sobreamostragem e modelagem de ruído (noise-shaping), é possível reduzir os erros de quantização dentro da banda de interesse (PAVAN RICHARD SCHREIER, 2017).

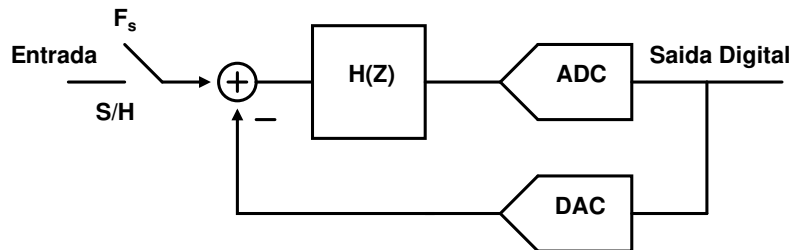
2.3.1 DIFERENÇA ENTRE MODULADORES EM TEMPO DISCRETO E TEMPO CONTÍNUO

De acordo com (KIM et al., 2008), os moduladores de tempo contínuo (CT) tornaram-se bastante populares ao longo dos últimos anos. Com isso, foi possível explorar algumas vantagens significativas sobre implementações de tempo discreto (DT). Uma das principais diferenças entre as duas topologias é que em um modulador Sigma-Delta DT, o estágio de amostragem e retenção (S/H) é usado para converter o sinal de entrada de tempo contínuo (CT) em um sinal de

tempo discreto, e ele está posicionado na entrada do modulador Sigma-Delta. Em contraste, em um modulador Sigma-Delta CT, o estágio S/H é colocado após o filtro de malha, logo antes do quantizador (ORTMANN; GERFERS, 2006; Pavan; Schreier; Temes, 2017a; ROSA, 2011).

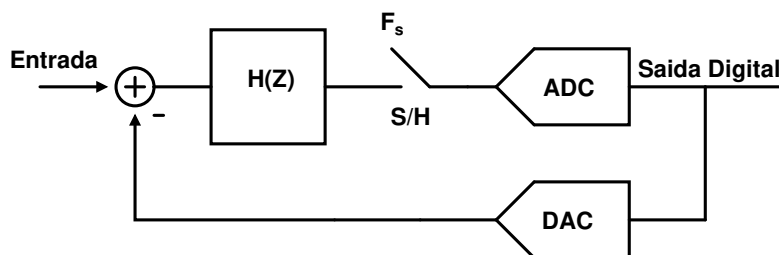
A figura 9 apresenta o diagrama de blocos de um modulador Sigma-Delta em tempo discreto enquanto a figura 10 apresenta o diagrama de blocos de um modulador em tempo contínuo.

Figura 9 – Representação do modulador Sigma-Delta em tempo discreto.



Fonte: Autor

Figura 10 – Representação do modulador Sigma-Delta em tempo contínuo.



Fonte: Autor

Em um modulador Sigma-Delta em tempo discreto, o S/H pode limitar a linearidade e o piso de ruído de todo o modulador, enquanto, em um modulador Sigma-Delta em tempo contínuo, as não idealidades introduzidas pelo S/H são atenuadas pelo ganho da malha, o que significa que eles compartilham a mesma função de transferência que o ruído de quantização (BERTI et al., 2016; MALOBERTI, 2007), Pavan-2017. Além disso, o consumo de potência em moduladores Sigma-Delta em tempo contínuo é tipicamente menor do que em seus homólogos em discreto, tornando-os mais adequados para aplicações de alta velocidade e baixo consumo de energia (CHO; KIM; KIM, 2018b). A frequência de amostragem no modulador em tempo discreto pode ser alterada livremente. Em contrapartida, a frequência de amostragem do modulador em tempo contínuo, é determinada a partir da escolha projeto, de forma que não é possível fazer a alteração desse parâmetro.

A operação de amostragem para o conversor ADC em tempo discreto ocorre em um circuito de amostragem e retenção na entrada do modulador SDM-DT. Logo, analisando-se a implementação do modulador Sigma-Delta em tempo contínuo, observa-se uma vantagem significativa nessa implementação, uma vez que este modulador não necessita dos filtros anti-aliasing, ou seja apresentam uma característica anti-alias implícita.

Dessa forma, o modulador em tempo contínuo torna-se mais atraente para frequências mais elevadas, e isso ocorre porque o efeito de anti-aliasing é inerente aos requisitos de velocidade dos elementos ativos. Assim, diversos moduladores conseguem atingir larguras de banda altas, de até 50 MHz, sendo possível fazer um levantamento preliminar das principais vantagens de empregar moduladores em tempo contínuo e discreto, conforme é apresentado na Tabela 1 (ORTMANN; GERFERS, 2006).

Tabela 1 – Vantagens em tempo contínuo (CT) e em tempo discreto (DT).

Vantagens em tempo contínuo (CT)	Vantagens em tempo discreto (DT)
Filtro anti-alias integrado no SDM	Baixa sensibilidade ao efeito do clock jitter
Erros de S/H atenuados (noise shaping)	Robusto ao excess loop delay
Maior frequência de amostragem f_s	Insensibilidade à forma de onda do DAC
Operação em altas temperaturas	Frequência de amostragem pode ser alterada
Maior robustez ao efeito glitch	Maior linearidade dos integradores SC
Redução do ruído de chaveamento	Apresenta apenas carga capacitiva
SNR não é limitado pelo tamanho do capacitor	STF não tem pico fora da banda
Possível prototipar em breadboard	Compatível com processos VLSI CMOS

Fonte: Adaptado de (ORTMANN; GERFERS, 2006).

A Tabela 1 apresenta as vantagens das implementações em tempo contínuo e tempo discreto. Nesta conjuntura, é possível escolher o modulador em tempo contínuo por apresentar algumas características determinantes para concepção do projeto como possibilidade de maior frequência de amostragem, e consequentemente, maior largura de banda.

2.4 ANÁLISE DE JANELAMENTO

A análise das características dinâmicas de moduladores Sigma-Delta dependem da análise espectral da saída do modulador. Para isso, é necessário calcular a densidade espectral de potência da saída do modulador. Assim, esta seção revisita a Transformada Discreta de Fourier (DFT) e da Transformada Rápida de Fourier (FFT). Esses parâmetros referem-se aos cálculos realizados por meio de algoritmos avançados de processamento de sinal, com o objetivo de determinar a potência do sinal de entrada em valores N-periódicos. Em outras palavras, assume-se que as amostras de entrada são replicadas de forma idêntica e contínua (MALOBERTI, 2007).

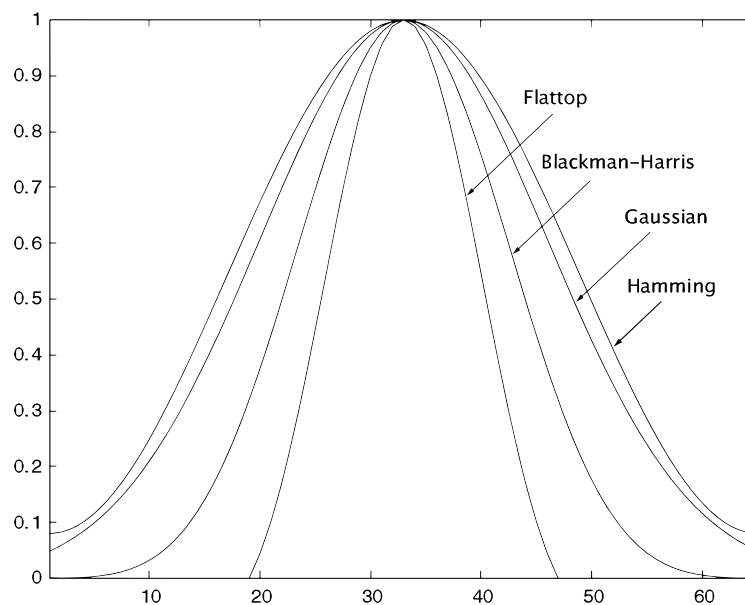
Esse método é válido somente se a entrada for uma forma de onda repetitiva e se seus componentes de frequência forem múltiplos inteiros da taxa de amostragem dividida pelo número de pontos (N) utilizados no cálculo da FFT. Assim, os sinais reais nunca são verdadeiramente periódicos, e a suposição N-periódica pode levar a descontinuidades entre a última e a primeira amostra da sequência sucessiva, pois, mesmo com ondas senoidais puras, pode haver descontinuidade no sinal, dependendo da frequência de amostragem, da frequência

do sinal e do número de pontos na série. Para minimizar essas descontinuidades, aplica-se um método de janelamento, descrito pela equação 2.4.

$$x_w(kT) = x(kT) \cdot W(k) \quad (2.4)$$

A equação 2.4 ilustra propriedades importantes, em que o termo $W(k)$ simboliza a série de janelas com N termos distintos. O valor máximo permitido para $W(k)$ é geralmente 1, e a Figura 11 apresenta os diferentes tipos de janelamento comumente empregados na área de conversão para reduzir o espalhamento espectral da potência do sinal.

Figura 11 – Resposta de diferentes janelas.



Fonte: Adaptado (MALOBERTI, 2007)

Dentre as principais janelas, pode-se citar: Blackman-Harris, Gaussiana, Hamming e flat-top. Além do janelamento, é importante efetuar a chamada amostragem coerente. Ou seja, para o cálculo da FFT com N pontos, deve-se aplicar um sinal senoidal na entrada do ADC com a frequência calculada de acordo com a equação 2.5.

$$f_{in} = \frac{k}{2^N} \cdot f_s \quad (2.5)$$

O elemento k é um número primo, e o valor de f_s representa a frequência de amostragem, visto que a série de entrada é definida como sendo 2^N pontos. Isso garante que a potência do sinal de entrada concentre-se em um único bin do vetor de dados de N pontos da FFT. Essa análise de amostragem coerente será importante para a análise da implementação elétrica que será discutida nos próximos capítulos, e o detalhamento de uma rotina de cálculo é, aqui, importante pois tem como objetivo verificar todos os parâmetros que impactam diretamente na concepção e na construção do modulador Sigma-Delta.

2.5 PROCESSO DE QUANTIZAÇÃO

De acordo com (ROSA, 2022), o processo de quantização de um sinal introduz uma importante limitação no desempenho de um ADC ideal. Essa limitação é provocada ao ser realizada a transformação do sinal em tempo contínuo, adicionando um termo na ordem de 2^N – o valor de N denota a resolução de quantização expressa em número de bits –, pois esse termo afeta o sinal de entrada em amplitude no tempo discreto. De acordo com (MALOBERTI, 2007), a quantização em amplitude altera um sinal de dados, que são amostrados do nível contínuo para o nível discreto, e a faixa dinâmica do quantizador é dividida em um número de intervalos de quantização iguais, representados por uma dada amplitude analógica: o quantizador modifica a amplitude de entrada para um valor que representa um intervalo no qual pode ser encontrado o sinal. Dessa forma, os valores que representam um intervalo de quantização referem-se ao ponto médio do intervalo analisado, já que em determinados casos os limites superior ou inferior representam o intervalo correspondente. Desse modo, assumindo que $Y_{FS} = Y_{Max} - Y_{min}$ é o alcance do quantizador e M é o número de intervalos de quantização, a amplitude de cada intervalo de quantização é calculada com a equação 2.6.

$$\Delta = \frac{Y_{FS}}{M} \quad (2.6)$$

Como o ponto médio é considerado o n -ésimo intervalo de $Y_{m,n}$, é possível escrever esse valor como sendo $n + 1/2$, conforme é apresentado na equação 2.7.

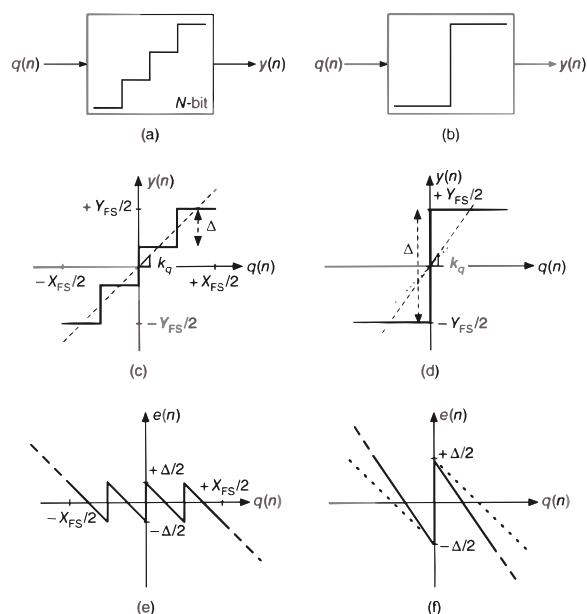
$$Y_{m,n} = (n + 1/2) \cdot \Delta \quad (2.7)$$

A equação 2.7 representa basicamente todas as amplitudes do intervalo já determinado, pois pode quantizar um nível de entrada diferente de $X_{m,n}$, e isso acaba transportando a inserção de um erro, chamado de erro de quantização. Dessa forma, a Figura 12 apresenta com detalhes os níveis de quantização que é ligado ao ADC, sendo possível fazer a comparação de quantizadores de um bit até os de múltiplos bits.

De acordo com (ROSA, 2022) a operação básica dos quantizadores é dada pelas características I/O de um quantizador em que o valor de N significa o número de bits. Embora os resultados se apliquem a um quantizador genérico de N -bit, a amplitudes de entrada dentro no mesmo intervalo é mensurado em grande escala, evidenciado nos seguintes intervalos $[-X_{FS}/2, +X_{FS}/2]$. Esses intervalos são arredondados para um dos níveis de saída diferentes de $2N$, que geralmente são codificados em uma representação digital binária. Caso esses níveis são igualmente espaçados, o quantizador é caracterizado como uniforme e a separação entre os níveis de saída adjacentes é definida como a etapa de quantização representado pelo símbolo Δ , conforme é apresentado na equação 2.8.

$$\Delta = \frac{Y_{FS}}{2^n - 1} \quad (2.8)$$

Figura 12 – Processo de Quantização: (a) bloco quantizador Multi-bit; (b) bloco quantizador de bit único; (c) característica de E/S de um quantizador Multi-bit; (d) característica de E/S de um quantizador de bit único; (e) erro de quantização Multi-bit; (f) erro de quantização de bit único.



Fonte: Adaptado (ROSA, 2022)

O termo Y_{FS} representa a faixa de saída em escala completa, uma vez que X_{FS} e Y_{FS} não são necessariamente iguais, e o quantizador pode apresentar um ganho diferente da unidade, conforme indicado na Figura 12c a partir da inclinação k_q . Como mostrado na Figura 12e, a operação do quantizador gera, inerentemente, um erro de arredondamento, que é uma função não linear da entrada; e, além disso, $q(n)$ for mantido dentro do intervalo $[-X_{FS}/2, +X_{FS}/2]$, o erro de quantização $e(n)$ será limitado dentro dos intervalos de $[-\Delta/2, +\Delta/2]$.

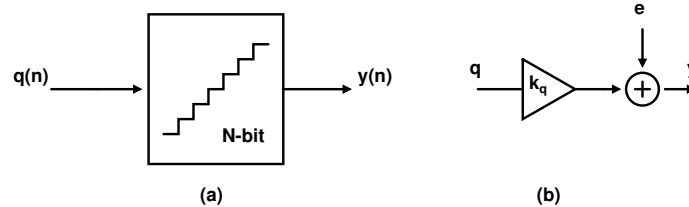
De acordo com (ROSA; RIO, 2013) o antigo intervalo de entrada é conhecido como não sobrecarregado na região do quantizador, em oposição a alcances e sagacidade dos intervalos de $|q(n)| > \Delta/2$, para os quais a magnitude de $e(n)$ cresce de forma monótona. Esse comportamento é explícito na Figura 12 em que apresenta o funcionamento de um quantizador de um bit único ($N = 1$). Dessa forma, nota-se que, na Figura 12d, em comparação com o caso de vários bits, a saída de um quantizador de um único bit é determinada pelo sinal de entrada apenas, independentemente de sua magnitude. Assim, o ganho k_q é indefinido e pode ser arbitrariamente escolhido dependendo apenas dos requisitos do projeto.

Salienta-se que o erro de quantização limita o piso de ruído do modulador, e é o único erro presente em um ADC ideal.

2.6 RUÍDO BRANCO DE QUANTIZAÇÃO

De acordo com (MALOBERTI, 2007), um quantizador ideal pode ser modelado através de um modelo linear, como mostrado na Figura 13.

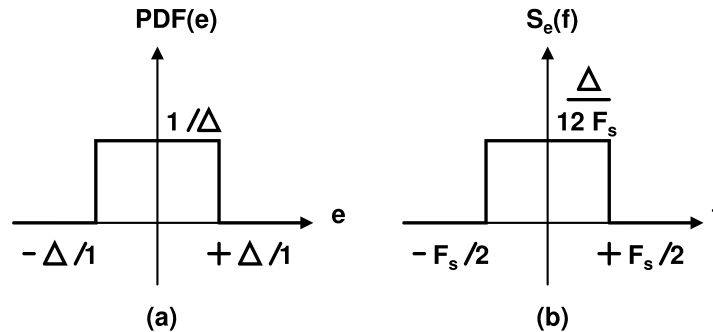
Figura 13 – Modelo linear de um quantizador: (a) bloco do quantizador multi-bit e (b) modelo equivalente com ruído branco aditivo.



Fonte: Autor

O erro de quantização $e(n)$ é assumido como sendo independente do sinal de entrada do quantizador $q(n)$. Desde que o valor de $q(n)$ esteja limitado pelo full-scale do quantizador, assume-se que o erro de quantização é aleatório e uniformemente distribuído dentro da faixa de $[-\Delta/2 + \Delta/2]$, conforme ilustrado na Figura 14. O erro de quantização diminui proporcionalmente com o valor de Δ .

Figura 14 – Ruído branco de quantização: (a) função de densidade de probabilidade (PDF); (b) densidade espectral de potência.



Fonte: Adaptado (ORTMANN; GERFERS, 2006)

De acordo com (ROSA; RIO, 2013) a potência do erro de quantização é calculada de acordo com a equação 2.9.

$$\overline{e^2} = \sigma_e^2 = \int_{-\infty}^{\infty} e^2 PDF(e) de = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (2.9)$$

Dessa maneira, conforme o estudo apresentado na Figura 14, é possível realizar a mensuração do erro de quantização e , também, constatar a distribuição algébrica de maneira uniforme no intervalo de $[-f_s/2, +f_s/2]$, conforme é apresentado na equação 2.10.

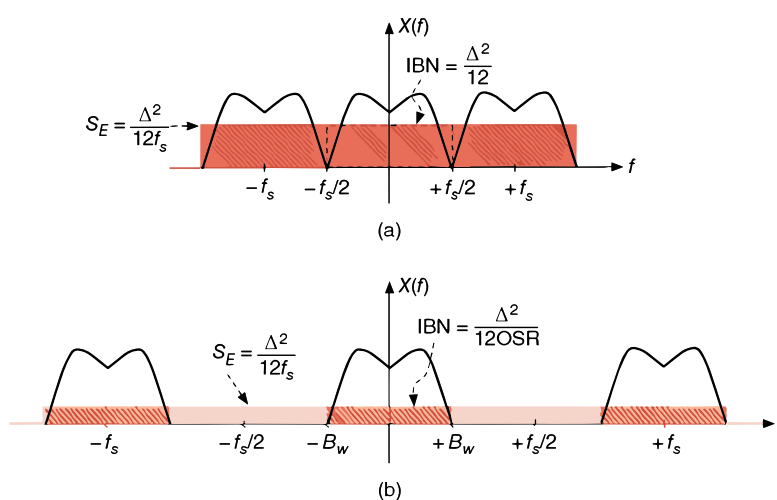
$$\overline{e^2} = \sigma_e^2 = \int_{-\infty}^{\infty} S_E(f) df = S_e \int_{-f_s/2}^{f_s/2} = \frac{\Delta^2}{12} \quad (2.10)$$

Ademais, o PSD causado pelo erro de quantização no intervalo é alcançado manipulando-se as equações 2.9 e 2.10, possibilitando-se o reagrupamento dos resultados e a sua reescrita, conforme é apresentado na equação 2.11.

$$S_E = \frac{\overline{e^2}}{f_s} = \frac{\Delta^2}{12f_s} \quad (2.11)$$

O potência do ruído de quantização é dependente do valor de Δ e concentra-se dentro da faixa de frequência entre $-f_s/2$ e $+f_s/2$. Assim, em ADCs do tipo Nyquist pode-se afirmar que a potência do ruído de quantização se concentra dentro da banda de interesse (IBN).

Figura 15 – Ruído de quantização em: (a) ADCs de taxa de Nyquist; (b) superamostragem de ADCs.



Fonte: Adaptado (ROSA, 2022)

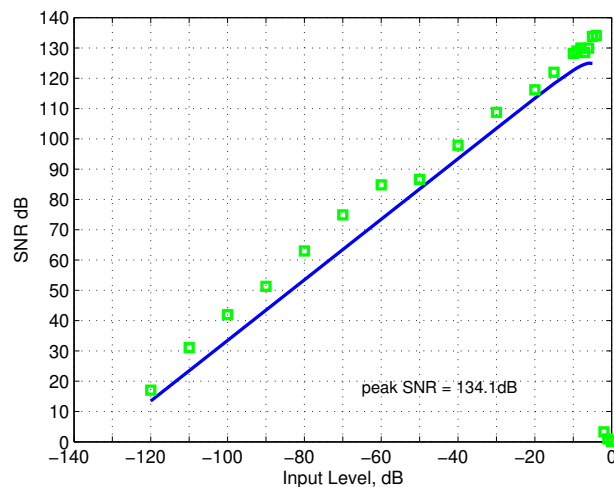
Assim, em virtude da sobreamostragem, o ruído de quantização resultante dentro da banda de interesse em um modulador Sigma-Delta é reduzido, e pode ser calculado de acordo com a equação 2.12. Ou seja, quanto maior a taxa de sobreamostragem, menor o IBN.

$$IBN = \int_{-B_w}^{B_w} S_E(f) df = \int_{-B_w}^{B_w} \frac{\Delta^2}{12f_s} df = \frac{\Delta}{12 \cdot OSR} \quad (2.12)$$

De acordo com (MALOBERTI, 2007), a faixa dinâmica corresponde ao intervalo do sinal de entrada, onde o SNR é igual a 0 dB. Esse parâmetro é útil para alguns tipos de conversores de dados que não atingem seu máximo SNR para uma entrada de 0 dBFS, o que ocorre normalmente em conversores do tipo Sigma-Delta. A Figura 16 exibe o gráfico típico do SNR em relação à amplitude de entrada para um modulador sigma-delta de quarta ordem, em que é possível examinar que o SNR é comparado ao nível de tensão de entrada quando este dispõe um valor de 0 dB (MITTEREGGER et al., 2006).

Analisando-se a Figura 16, é possível avaliar o resultado de pico do SNR, no qual se apresentou um valor de 134,1 dB. Dessa maneira, o pico do SNR ocorre aproximadamente

Figura 16 – Comportamento do SNR com amplitude de entrada para conversores Sigma-Delta de 4ª ordem.



Fonte: Autor

em -6 dBFS para um modulador Sigma-Delta de quarta ordem. De acordo com (ROSA; RIO, 2013) a faixa dinâmica de um ADC ideal pode ser determinada de acordo com a equação 2.13.

$$DR(dB) = 10 \cdot \log_{10} \left(\frac{P_{sig,out,max}}{IBN} \right) \quad (2.13)$$

O termo IBN refere-se o ruído que ocorre dentro da largura de banda de interesse do sinal. A Figura 12, apresenta uma amplitude máxima de entrada admitida para o quantizador de N bits, sendo assim representada pelo termo $X_{FS}/2$. Já a sua potência de saída correspondente pode ser amplamente aproximada, conforme é apresentado na equação 2.14.

$$P_{sig,out,max} \approx \frac{(2^N \Delta/2)^2}{2} = 2^{2N-3} \Delta^2 \quad (2.14)$$

Portanto, manipula-se as equações 2.13 e 2.14, logo é possível alcançar o valor de DR de um ADC de sobreamostragem ideal conforme é apresentado na equação 2.15.

$$DR(dB) \approx 6,02 \cdot N + 1,76 + 10 \cdot \log_{10}(OSR) \quad (2.15)$$

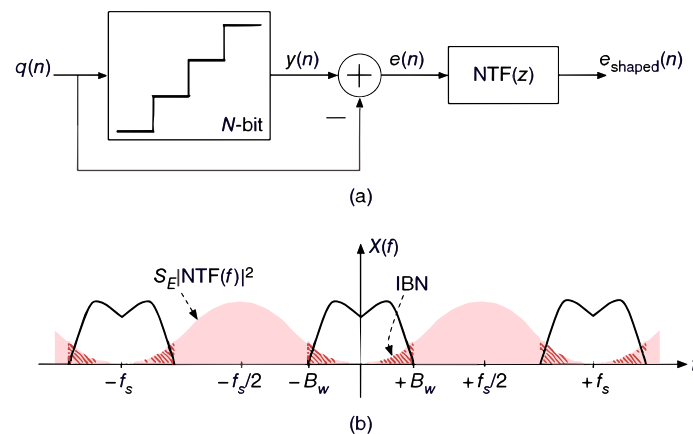
Dessa maneira, é possível dizer que a cada bit adicional no quantizador resulta no aumento da faixa dinâmica DR de aproximadamente 6 dB, para um modulador sobreamostrado, o valor de DR aumenta ainda mais com o aumento do OSR em aproximadamente 3 dB/oitava.

2.7 MODELAGEM DO RUÍDO (NOISE-SHAPING)

De acordo com (ROSA; RIO, 2013), a modelagem do ruído (noise-shaping) é essencial em moduladores Sigma-Delta pois permite uma redução ainda maior no ruído de quantização resultante dentro da banda de interesse do modulador.

A função de transferência do ruído de quantização (NTF) consiste em um filtro passa-altas, de modo a atenuar o ruído de quantização em baixas frequências (dentro da banda de sinal). Diferentemente, a função de transferência do sinal de entrada (STF) do modulador é igual a 1. A Figura 17a representa em diagrama de blocos o efeito de noise-shaping. A Figura 17b ilustra a redução do ruído de quantização dentro da banda de interesse.

Figura 17 – Modelagem de ruído de quantização: (a) diagrama de blocos conceitual; (b) efeito sobre o ruído dentro da banda de um ADC de modelagem de ruído de sobreamostragem.



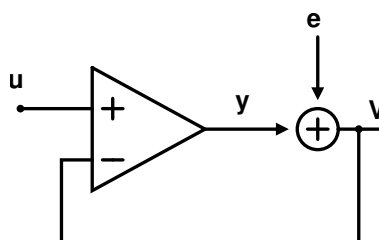
Fonte: (MALOBERTI, 2007)

Usualmente, a NTF é um filtro do tipo passa altas de ordem L , representado na equação 2.16 (considerando um modulador discreto).

$$NTZ(z) = (1 - z^{-1})^L \quad (2.16)$$

A Figura 18 apresenta um sistema realimentado composto por um quantizador (modelo linear) e um amplificador operacional. O sinal de entrada u é aplicado na entrada não inversora do amplificador operacional com ganho A , V é a saída do modulador, e o erro de quantização é representado por e . Examinando o circuito da Figura 18 pode-se representar o sinal de saída V pela equação 2.17.

Figura 18 – Representação elétrica de um sistema com com quantizador e realimentação negativa.



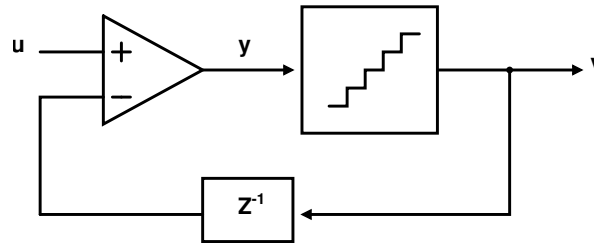
Fonte: Autor

$$V = \left(\frac{A}{1+A} \right) \cdot u + \left(\frac{1}{1+A} \right) \cdot e \quad (2.17)$$

De acordo com 2.17 verifica-se que na medida que o ganho do amplificador A aumenta, a saída V se aproxima do sinal de entrada u , e o erro de quantização e é atenuado.

De acordo com (Pavan; Schreier; Temes, 2017a), qualquer dispositivo fisicamente viável levará um tempo finito para operar, visto que a saída quantizada estará disponível apenas por um pequeno período após o quantizador ter “observado” a entrada. Assim, o amplificador poderá usar a saída do quantizador e , com isso, será possível ajustar sua própria saída para reduzir o erro entre as variáveis u e e , que se dará apenas na próxima amostra. Dessa maneira, é possível inserir matematicamente um atraso de um ciclo de clock entre a saída do quantizador e a entrada inversora do amplificador, conforme é apresentado na Figura 19.

Figura 19 – Representação do loop de realimentação em tempo discreto com a inserção de um atraso de amostra, em que e representa o erro de quantização.



Fonte: Autor

Desse modo, a saída do quantizador é capaz de ser visualizada pelo resto do circuito somente no próximo ciclo, já que essa abordagem é atribuída ao fato de que não pode haver um laço de realimentação livre de atraso. Conforme a Figura 19, é possível calcular a tensão de saída de tempo discreto conforme a equação 2.18.

$$V(z) = (U(z) - z^{-1}V(z)) \cdot A + E(z) \quad (2.18)$$

Reagrupando os termos da equação 2.18 e substituindo de forma adequada as parcelas, é possível reescrever novamente a equação 2.19.

$$V(z) = \left(\frac{A}{1 + Az^{-1}} \right) \cdot U(z) + \left(\frac{1}{1 + z^{-1}} \right) \cdot E(z) \quad (2.19)$$

Desse modo, a STF e a NTF são expressas pelas equações 2.20 e 2.21, respectivamente.

$$STF(z) = \frac{A}{1 + Az^{-1}} \quad (2.20)$$

$$NTF(z) = \frac{1}{1 + Az^{-1}} \quad (2.21)$$

Deste modo, para que a $STF \rightarrow 1$, e que a $NTF \rightarrow 0$, o filtro de laço do modulador é um filtro do tipo passa-baixas de ordem L .

De acordo com (ROSA; RIO, 2013) o IBN de um modulador Sigma-Delta depende do número de bits do quantizador, do OSR e da ordem do filtro de laço, sendo calculado de acordo com a equação 2.22.

$$IBN = \int_{-B_w}^{B_w} S_E |NTF(f)|^2 df \approx \frac{\Delta^2}{12} \frac{\pi^{2L}}{(2L+1) \cdot OSR^{(2L+1)}} \quad (2.22)$$

Logo, é possível unir as equações 2.14 e 2.22 e assim produzir uma nova relação para o termo DR, conforme é apresentado equação 2.23.

$$DR(dB) \approx 6,02N + 1,76 + 10 \cdot \log_{10} \left(\frac{2L+1}{\pi^{2L}} \right) + (2L+1) \cdot 10 \cdot \log_{10}(OSR) \quad (2.23)$$

Um exame mais detalhado a partir da comparação com a equação 2.23 é que, se a sobreamostragem for combinada com noise-shaping, a faixa dinâmica DR aumenta com o aumento do OSR em aproximadamente $3(2L+1)$ dB/oitava.

2.8 FIGURAS DE MÉRITO

Para melhor representar o desempenho dos moduladores Sigma-Delta, é essencial explorar um conceito bastante discutido em ADCs que são as figuras de mérito (FOM). Segundo (ZAFAR; SALIM, 2015), as figuras de mérito são parâmetros valiosos que permitem avaliar o desempenho de um circuito. Esses parâmetros são amplamente empregados na literatura científica e técnica. Para calcular as figuras de mérito a partir da potência consumida pelo dispositivo, é necessário modelar e mapear todos os parâmetros de maneira apropriada. A FoM de Walden é apresentada na equação 2.24.

$$FOM_w = \frac{P_w(W)}{2^{ENOB} \cdot 2 \cdot BW} \cdot 10^{15} [fj/conv] \quad (2.24)$$

Em que P_w é potência, $ENOB$ é o número efetivo de bits e B_w é a largura de banda. A FOM, permite descobrir o consumo de energia por conversão, em Joules, do circuito, sendo também possível afirmar que, quanto menor o valor da FOM, mais eficiente será energeticamente o modulador.

Aplica-se também a figura de mérito (FOM) de Schreier (Pavan; Schreier; Temes, 2017b), que é mais adequada para ADCs de alta resolução. Esta FoM enfatiza o valor do DR, e é calculada de acordo com a equação 2.25. Destaca-se que quanto maior esta FoM, mais eficiente é o ADC.

$$FOM_{DR} = DR + 10 \cdot \log \left(\frac{BW}{P_w} \right) [dB] \quad (2.25)$$

Moduladores Sigma-Delta podem apresentar um comportamento não linear significativo, uma vez que o SNDR é limitado por esse comportamento e afeta diretamente o ENOB,

levando à sua redução. Assim, pode-se calcular a FoM de Schereier substituindo o DR pelo SNDR, conforme a equação 2.26.

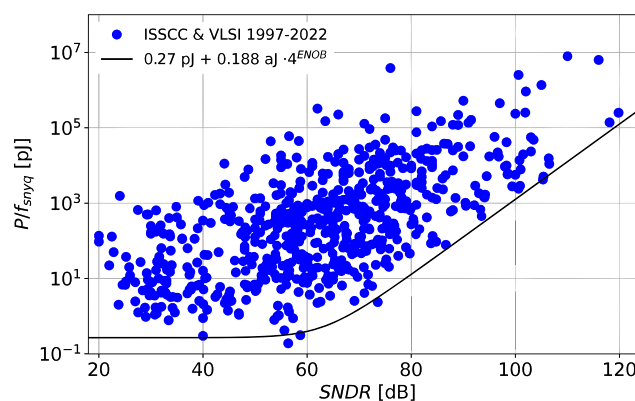
$$\text{FOM}_{\text{SNDR}} = \text{SNDR} + 10 \cdot \log \left(\frac{\text{BW}}{\text{P}_w} \right) \text{ [dB]} \quad (2.26)$$

Em síntese, as relações apresentadas possibilitam uma avaliação detalhada do consumo de energia dos moduladores Sigma-Delta e com isso é possível realizar uma investigação robusta do desempenho dos dispositivos. As figuras de mérito são amplamente empregadas para avaliar e comparar projetos tanto em publicações científicas quanto em congressos, fornecendo uma base sólida para o estudo e a otimização de projetos na área de microeletrônica, em especial em moduladores Sigma-Delta. Assim, com o estudo detalhado das figuras de mérito, será possível iniciar o desenvolvimento do modulador Sigma-Delta de alta resolução.

Inicialmente, foi realizado um profundo estudo do estado da arte das diversas arquiteturas presentes na literatura; em seguida, foram comparados os resultados adquiridos neste projeto com os dados disponíveis na literatura. Essa análise permitiu examinar tanto o desempenho do dispositivo quanto o consumo de energia, oferecendo uma visão abrangente da eficácia e eficiência do modulador Sigma-Delta projetado.

De acordo com (MURMANN, 2022), foi desenvolvido um roteiro que oferece exemplos para plotar dados de pesquisa de ADC, e nessa simulação, recorreu-se à ferramenta *Jupyter*, na qual se adicionou uma rotina de código em Python que permitiu a geração do gráfico de energia, representando-se o parâmetro de energia da conversão A/D (potência/taxa de amostragem) em função do SNDR, conforme é apresentado na Figura 20.

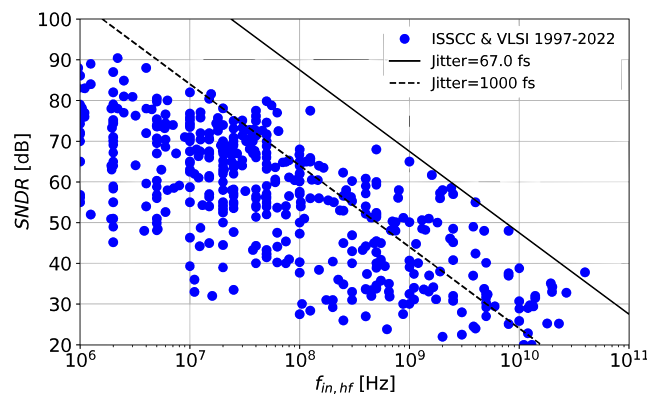
Figura 20 – Parâmetros de alguns ADCs com suas FOM com relação a SNDR em dB.



Fonte: Adaptado (MURMANN, 2022)

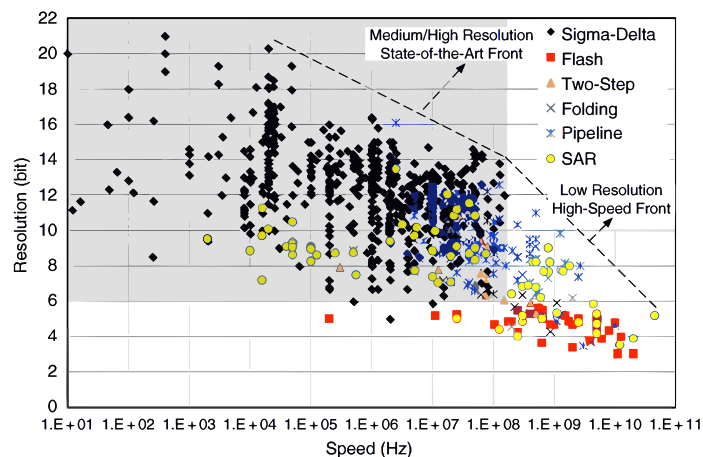
A Figura 21 apresenta o SNDR versus a largura de banda obtida no estado da arte, bem como a limitação teórica setada pelo jitter do sinal de clock. Já a Figura 22 apresenta a resolução obtida versus a largura de banda de diferentes ADCs. O limite do estado da arte também é delimitado.

Figura 21 – SNDR versus largura de banda do estado da arte de 2022.



Fonte: Adaptado (MURMANN, 2022)

Figura 22 – Resolução ou precisão em comparação ao velocidade alcançada por ADCs de última geração.



Fonte: Adaptado (MURMANN, 2022)

2.9 SÍNTESE DO CAPÍTULO

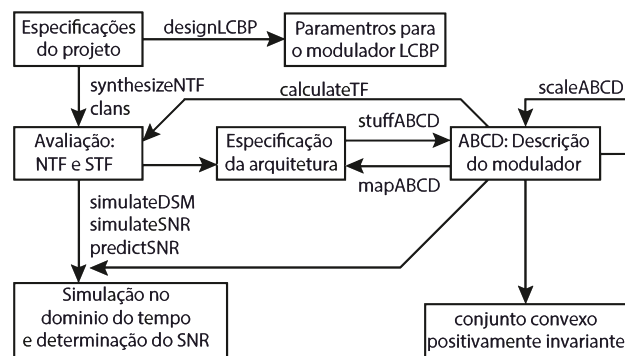
Neste capítulo, realizou-se uma revisão bibliográfica sobre o funcionamento dos conversores analógico-digitais (ADCs) e apresentou-se o passo a passo da reconstrução de sinais analógicos para digitais. Após essa verificação inicial, foi preparada uma comparação de diversos tipos de ADCs encontrados na literatura, na qual se analisou a relação entre taxa de amostragem e resolução. Dessa maneira, foram introduzidas distinções entre ADCs baseados no critério de Nyquist e os sobreamostrados, avaliando suas vantagens e desvantagens no uso prático, além do que, foi feita uma breve diferenciação entre os moduladores Sigma-Delta em tempo discreto e tempo contínuo. Nesse contexto, foram discutidas teorias importantes como amostragem, janelamento e o processo de quantização, assim como o detalhamento desses parâmetros teóricos. Também foi introduzido a modelagem de ruído e fez-se a discussão do impacto dessa variável no desempenho dos moduladores Sigma-Delta. Por fim foram apresentadas as figuras de mérito, importantes para medir o desempenho dos ADCs em termos de precisão e eficiência.

3 PROJETO DE ALTO NÍVEL DE MODULADORES SIGMA-DELTA

De acordo com (ORTMANN, 2021), a maioria dos Moduladores do tipo Sigma-Delta são desenvolvidos e implementados em tempo discreto. O avanço da tecnologia nos últimos anos resultou no surgimento de ferramentas com elevado poder de processamento e softwares mais robustos e precisos, o que tornou as análises mais acessíveis (KIDAMBI, 2019). Dessa maneira, acelerou-se o desenvolvimento de rotinas interativas de cálculo, juntamente com o aprimoramento das arquiteturas de simulação. Essa evolução transformou as etapas de concepção, tornando-as mais práticas na escolha da arquitetura a ser adotada para este trabalho, permitindo projetar os Moduladores Sigma-Delta tanto em tempo contínuo quanto em tempo discreto. Além de estabelecer um planejamento, foi possível delinear um procedimento prático, e a primeira etapa deste trabalho consiste em desenvolvê-lo integralmente em tempo discreto. Conforme o andamento do estudo, será definido o tipo de arquitetura a ser utilizado para o Modulador Sigma-Delta.

O projeto de alto-nível dos moduladores pode ser efetuado utilizando toolboxes para o MATLAB/Simulink (SCHREIER; PAVAN; TEMES, 2017). Como afirma (OLIAEI, 2003), é essencial iniciar o projeto do modulador em tempo contínuo a partir do modulador em tempo discreto, assegurando, de maneira coerente e linear, as características de desempenho e eficiência. Tais transições podem ser impulsionadas não apenas pela crescente demanda por esses moduladores, mas também pela evolução dos modelos matemáticos. A Figura 23 exibe um fluxograma completo de projeto para o Modulador Sigma-Delta.

Figura 23 – Fluxograma de projeto a partir do TOOLBOX.



Fonte: Adaptado (Pavan; Schreier; Temes, 2017b)

De acordo com (PAVAN; SHIBATA, 2021), para a modelagem inicial dos Moduladores Sigma-Delta, é comum aplicar o pacote *Delta – Sigma TOOLBOX*, sendo assim possível encontrar mais detalhes em (PAVAN RICHARD SCHREIER, 2017), em conjunto com o software MATLAB. Essa ferramenta se destaca por oferecer mais de 100 funções de forma gratuita, permitindo realizar a síntese da função de transferência do ruído (NTF) do modulador. Além disso, serve como auxílio para funções cruciais que regem a modelagem do Modulador Sigma-Delta. Nesse contexto, a Figura 23 representa as possibilidades de calcular e reproduzir as densidades espectrais de potência, utilizando FFTs (Fast Fourier Transforms). Esses algoritmos

são capazes de transformar um sinal do domínio temporal para o domínio da frequência, além de possibilitar a análise de parâmetros relevantes para o Modulador Sigma-Delta, como SNR e SNDR, amplamente utilizados em ADCs.

3.1 PROJETO DE ALTO NÍVEL DO MODULADOR SIGMA-DELTA

Esta seção apresenta o projeto do Modulador Sigma-Delta com o auxílio do Toolbox Delta-Sigma (SCHREIER, 2022). O próximo passo possibilitará a conversão das informações adquiridas a partir do memorial de cálculo para, com isso, projetar o Modulador Sigma-Delta em nível elétrico ideal. O esquemático englobará não apenas elementos passivos, como capacitores e resistores, mas também elementos ativos, como amplificadores operacionais, comparadores e conversores digital-analógicos (DACs).

Nessa primeira etapa de projeto, é possível empregar modelos ideais descritos em VerilogA, a qual permite mais rapidez no projeto. Os blocos descritos em VerilogA são: OTAs, comparadores e latches. A simulação com blocos em VerilogA reduz significativamente o tempo de simulação, além de permitir a validação do modulador em nível elétrico no software Virtuoso da Cadence. Assim, é possível compará-lo com o modelo matemático retirado a partir do MATLAB. No decorrer do projeto, esses elementos projetados de forma ideal em VerilogA serão gradualmente substituídos por modelos elétricos como transistores MOS.

3.2 PROJETO DO MODULADOR EM TEMPO DISCRETO

Este estudo permite compreender a funcionalidade de cada função do *TOOLBOX* e aprender mais sobre a implementação dos códigos que serão empregados no trabalho. A primeira função a ser investigada a partir do *TOOLBOX* é a função *synthesizeNTF*. Ela permite conceber a função de transferência do ruído do Modulador Sigma-Delta em tempo discreto, conforme é demonstrado na Equação 3.1.

$$h = \text{synthesizeNTF}(l, \text{osr}, \text{opt}, \text{OBG}) \quad (3.1)$$

A partir da equação 3.1 é possível destacar que o termo *order* é atribuído como sendo a ordem da função de transferência do ruído. Já o elemento OSR é apresentado como sendo a taxa de sobreamostragem, e a variável *opt* indica se existirá otimização dos zeros da função de transferência. A variável *OBG* representa o ganho máximo da NTF fora da banda de interesse. É possível efetuar a simulação do Modulador Sigma-Delta empregando a função *simulateDSM*, conforme é apresentado na equação 3.2.

$$v = \text{simulateDSM}(u, h) \quad (3.2)$$

De acordo com (PAVAN; SHIBATA, 2021) a variável *u* representa o sinal de entrada na forma vetorial e o elemento *h* é responsável por fornecer a NTF, conforme descrito na

equação 3.2. Ademais, é adicionado uma outra função no sistema, a fim de dinamizar e acelerar o cálculo desses parâmetros, cujo objetivo principal é fornecer os resultados dos coeficiente da topologia escolhida em tempo discreto, conforme é exibido na equação 3.3.

$$[a, g, b, c] = \text{realizeNTF}(h, 'CFFF') \quad (3.3)$$

Assim, é possível obter os coeficientes em tempo discreto do Modulador Sigma-Delta, tendo em vista que esta é uma etapa importante na aquisição dos valores necessários no domínio z . A partir do conhecimento dos coeficientes é possível fazer a conversão para o domínio s , já que é possível realizar essa conversão, utilizando-se uma função específica, conforme é demonstrado na equação 3.4.

$$[ABCDc, tdac2] = \text{realizeNTFct}(h, 'FF', tdac) \quad (3.4)$$

Em resumo, a equação 3.4 descreve uma função necessária, a fim de fornecer as matrizes que contêm todos os coeficientes no domínio s . Em seguida, esses coeficientes são convertidos para o formato apropriado e introduzidos no *Simulink*, utilizando-se uma função específica, conforme é apresentado na equação 3.5.

$$[A1, G1, B1, C1] = \text{mapABCD}(ABCDc, 'CFFF') \quad (3.5)$$

Foram demonstradas algumas funções que são importante para a implementação inicial do Modulador Sigma-Delta, e com isso é possível definir os parâmetros de projetos, conforme é apresentado na Tabela 2.

Tabela 2 – Parâmetros de projeto para o Modulador Sigma-Delta.

Especificações	Valor Requerido
Tensão de Alimentação (Vdd)	5
Ordem do Modulador	4
Over Sampling Ratio (OSR)	128
Frequência de Amostragem (f_s)	32 MHz
Largura de Banda (BW)	125 kHz
Opções (Opt)	0
Número Efetivo de Bits (ENOB)	22
Potência Dissipada (P _{diss}) (μ W)	-
Ganho de Ruído	-

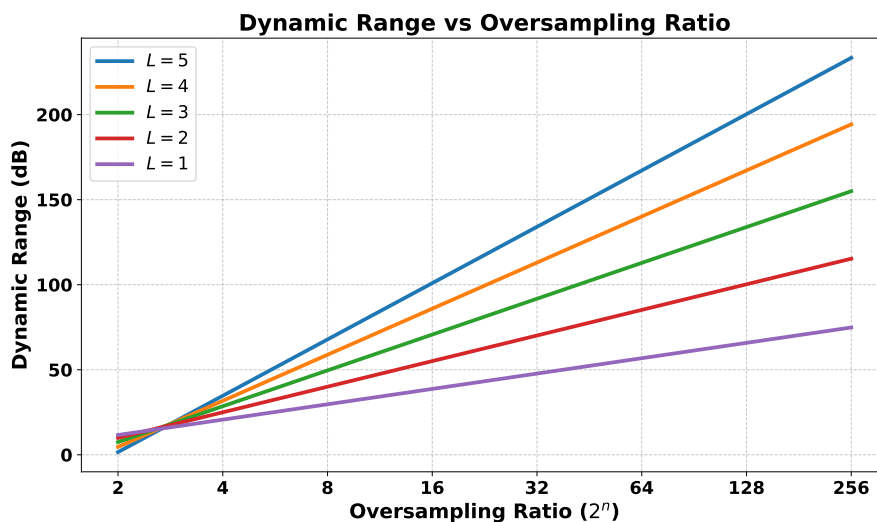
Fonte: Autor.

Vale ressaltar que a tensão de 5 V é um requisito de projeto, juntamente com as diretrizes da pesquisa que foram usadas neste trabalho. Segundo (ROSA; RIO, 2013), moduladores com ordem superior a 3 podem apresentar problemas de estabilidade, o que torna sua implementação e análise mais desafiadoras. Dessa forma, a seleção da tensão e da frequência de amostragem adotadas neste estudo, devem ser definidos de forma cuidadosa, pois esses parâmetros impactam nas escolhas dos elementos a serem utilizados interferindo diretamente na figura de mérito do modulador. Aprimorando-se essas considerações, o próximo passo é calcular o valor do DR, conforme é apresentado na equação 3.6.

$$DR = 10 \cdot \log_{10} \left[\left(\frac{2 \cdot L + 3}{2 \cdot L + 1} \right) \cdot \left(\frac{OSR}{\pi} \right)^2 \right] \quad (3.6)$$

A partir da equação 3.6, observa-se que o termo L representa a ordem do modulador a ser escolhido, visto que a variável em questão é altamente flexível, tornando-se livre a decisão sobre a ordem do modulador a ser escolhida. Ademais, a equação 3.6 considera apenas parâmetros ideais do Modulador Sigma-Delta, permitindo-se, assim, fazer uma estimativa inicial e comportamental. Analisando-se o gráfico da Figura 24, são observados cinco valores distintos de sobreamostragem em relação à faixa dinâmica, aplicáveis a qualquer Modulador Sigma-Delta. A escolha desses valores pode ser realizada de forma arbitrária com base nos parâmetros de B_w , f_s e de OSR, de modo que cada valor arbitrário para a frequência de amostragem apresenta um resultado distinto para a sobreamostragem do modulador (PATON et al., 2004).

Figura 24 – Análise da faixa dinâmica (DR) em relação à sobreamostragem (OSR) na escolha da ordem do modulador.



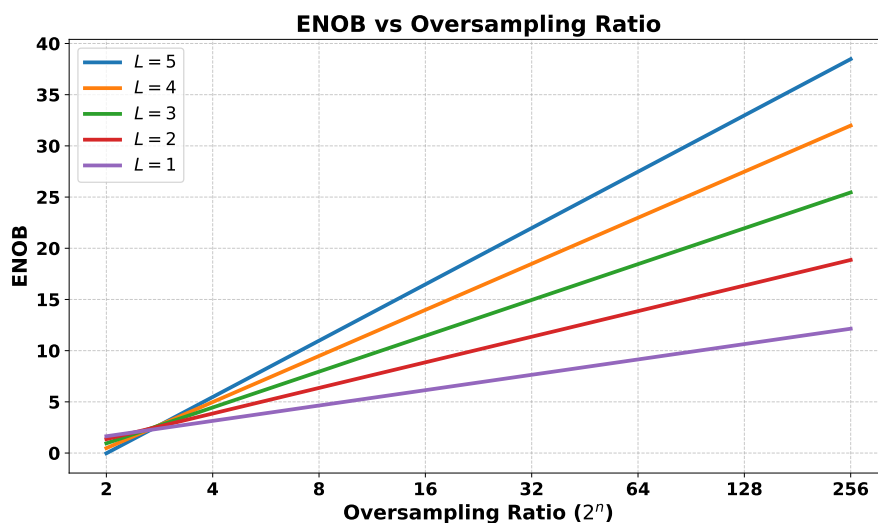
Fonte: Autor.

Neste estudo, adverte-se que as escalas estão representadas em ordem logarítmica, permitindo a visualização das transições dos valores de OSR referente ao DR. Logo é possível utilizar o resultado de DR e atingir o valor de ENOB, conforme a equação 3.7.

$$ENOB = \frac{DR - 1,76}{6,02} \quad (3.7)$$

A partir da equação descrita em 3.7, é possível construir um gráfico que relacione o ENOB em razão ao DR dos moduladores, uma vez que, esses resultados são fornecidos a partir de relações matemáticas conhecidas e dos parâmetros ideais do modulador. Essa diferença se faz necessário, pois na hora de introduzir elementos reais, pode ser que não apresentem o mesmo resultado a partir dessas relações que foram descritas. A partir do exposto, a Figura 25 apresenta o gráfico de ENOB em relação a sobreamostragem.

Figura 25 – Análise do ENOB em função da sobreamostragem (OSR) na escolha da ordem do modulador



Fonte: Autor.

Observando-se a Figura 25, é possível atribuir a mesma análise que foi realizada para a Figura 24, porém a diferença é que agora os dados fornecidos correspondem ao ENOB. Esse tipo de curva se torna importante para Moduladores Sigma-Delta, visto que é possível analisar o valor escolhido para um dado valor de OSR em relação ao número de bits para cada ordem, facilitando a sua escolha final (ROSA, 2011). Essa metodologia permite fazer uma escolha mais exata e que atenda os requisitos de projeto. Diante disso, optou-se pela implementação de um modulador de quarta ordem, para alcançar um alto valor de SNDR e um resultado elevado de ENOB.

3.3 TRANSFORMAÇÃO DE TEMPO DISCRETO PARA TEMPO CONTÍNUO

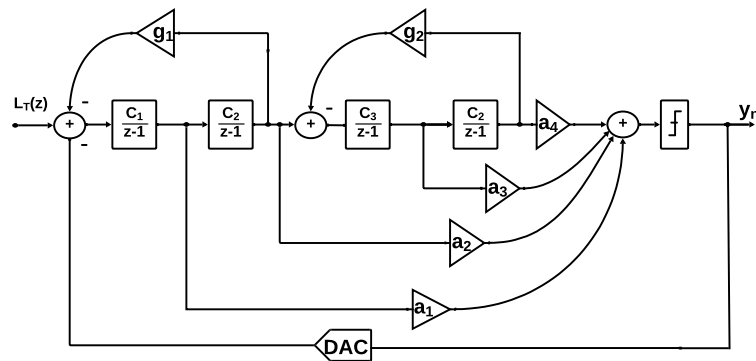
A Figura 26 apresenta o diagrama de blocos de um Modulador Sigma-Delta em tempo discreto de quarta ordem. Este é empregado para gerar a versão em tempo contínuo a partir da transformada DT-CT. Para isso, é preciso obter a função de transferência em tempo discreto, conforme é apresentado na equação 3.8.

$$L_t(z) = c_1 \cdot c_2 \cdot c_3 \cdot c_4 \cdot a_4 \frac{1}{(z-1)^4} + c_1 \cdot c_2 \cdot c_3 \cdot a_3 \frac{1}{(z-1)^3} + c_1 \cdot c_2 \cdot a_2 \frac{1}{(z-1)^2} + c_1 \cdot a_1 \frac{1}{(z-1)} \quad (3.8)$$

Os coeficientes c_1 , c_2 , c_3 e c_4 representam essencialmente os valores dos integradores dos estágios 1,2,3 e 4, enquanto a_1 , a_2 , a_3 e a_4 são os coeficientes relacionados aos avanços do modulador (CIFF). Assim, para realização da modelagem desses valores é necessário assumir que os ganhos de cada um dos integradores sejam iguais a 1.

A escolha do resultado dos coeficientes é o primeiro passo, já que permite o cálculo dos coeficientes de avanço a_n , de modo que deve ser empregado a Tabela 3 para realizar a conversão

Figura 26 – Fluxograma do Modulador Sigma-Delta em tempo discreto.



Fonte: Autor.

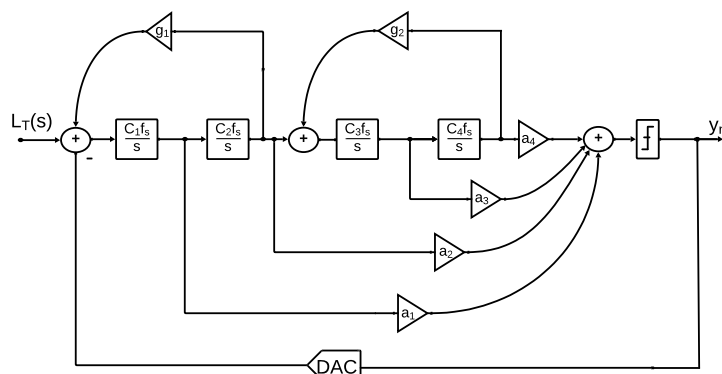
Tabela 3 – Conversão entre os domínios z e s

Domínio z	Equivalente ao domínio s com f_s (Hz) = $\frac{1}{T_s}$
$\frac{1}{z-1}$	$\frac{\omega_0}{s}$, $\omega_0 = \frac{f_s}{\beta-\alpha}$
$\frac{1}{(z-1)^2}$	$\frac{\omega_1 s + \omega_0}{s^2}$, $\omega_0 = \frac{f_s^2}{\beta-\alpha}$, $\omega_1 = \frac{f_s(\alpha+\beta-2)}{2(\beta-\alpha)}$
$\frac{1}{(z-1)^3}$	$\frac{\omega_2 s^2 + \omega_1 s + \omega_0}{s^3}$, $\omega_0 = \frac{f_s^3}{\beta-\alpha}$, $\omega_1 = \frac{f_s^2(\alpha+\beta-2)}{2(\beta-\alpha)}$, $\omega_2 = \frac{f_s[\beta(\beta-9) + \alpha(\alpha-9) + 4\alpha\beta + 12]}{12(\beta-\alpha)}$
$\frac{1}{(z-1)^4}$	$\frac{\omega_3 s^3 + \omega_2 s^2 + \omega_1 s + \omega_0}{s^4}$, $\omega_0 = \frac{f_s^4}{\beta-\alpha}$, $\omega_1 = \frac{f_s^3(\alpha+\beta-4)}{2(\beta-\alpha)}$, $\omega_2 = \frac{f_s^2[(\beta-\alpha)^2 + 2\alpha\beta - 12(\alpha+\beta) + 22]}{12(\beta-\alpha)}$, $\omega_3 = \frac{f_s[\beta^2(\alpha-2) + \alpha^2(\beta-2) - 8\alpha\beta + 11(\alpha+\beta) - 12]}{12(\beta-\alpha)}$

Fonte: Adaptado de (ORTMANN; GERFERS, 2006)

de domínio s para domínio z . Abstraindo-se termos expressos na Tabela 3 e aplicando as manipulações apropriadas, conforme descrito em (ORTMANN; HEINEN, 2008), é possível converter os termos do domínio z para o domínio s , e assim vice-versa. A Figura 26 ilustra o modelo do modulador no domínio discreto, enquanto a Figura 27 apresenta o modelo do modulador com os valores já convertidos para o tempo contínuo.

Figura 27 – Fluxograma do Modulador Sigma-Delta em tempo contínuo.



Fonte: Autor.

Dessa maneira, a Figura 26, expõem os termos dos integradores no domínio z , e

estes são definidos com a base da função de transferência no domínio z . Assim, as parcelas que compõem os integradores são rapidamente convertidos para o domínio s , conforme é apresentado pelo diagrama de blocos da Figura 27, mantendo-se a mesma função de transferência – porém, no domínio s , conforme é apresentado na equação 3.9.

$$L_t(s) = c_1 \cdot c_2 \cdot c_3 \cdot c_4 \cdot a_4 \frac{f_s^4}{s^4} + c_1 \cdot c_2 \cdot c_3 \cdot a_3 \frac{f_s^3}{s^3} + c_1 \cdot c_2 \cdot a_2 \frac{f_s^2}{s^2} + c_1 \cdot a_1 \frac{f_s}{s} \quad (3.9)$$

Nesse caso, é possível atribuir valores dos ganhos dos integradores $c_1 = c_2 = c_3 = c_4$ como sendo iguais a 1. De forma análoga, foi atribuído ao termo β um valor igual a 1, contudo o valor de α é igual a zero (ORTMANN; HEINEN, 2008), considerando um DAC NRZ. Dessa forma, pode-se reescrever novamente equação 3.9 com seus parâmetros já substituídos pelos seus respectivos valores, conforme é apresentado equação 3.10.

$$L_t(s) = a_4 \frac{f_s^4}{s^4} + a_3 \frac{f_s^3}{s^3} + a_2 \frac{f_s^2}{s^2} + a_1 \frac{f_s}{s} \quad (3.10)$$

O termo $\frac{\omega_n}{s}$ referente a Tabela 3 corresponde ao componente de primeira ordem do modulador. À medida que a ordem do modulador venha a aumentar, termos adicionais são introduzidos, conforme descrito em (SCHREIER; PAVAN; TEMES, 2017). O valor de ω_n pode ser expresso como $\frac{f_s}{\beta - \alpha}$, variando com a ordem. De maneira similar, o termo β é definido como 1, enquanto o valor de α é igual a 0. Portanto, essas relações podem ser reescritas como descrito na Equação 3.11.

$$L_t(s) = \frac{\omega_3 s^3 + \omega_2 s^2 + \omega_1 s + \omega_0}{s^4} + \frac{\omega_2 s^2 + \omega_1 s + \omega_0}{s^3} + \frac{\omega_1 s + \omega_0}{s^2} + \frac{\omega_0}{s} \quad (3.11)$$

A partir da equação 3.11, agora é possível empregar uma rotina interativa de cálculo. No entanto, os parâmetros provenientes da Tabela 3 são substituídos e automaticamente convertidos para o domínio s , sendo assim é possível reagrupar adequadamente os termos correspondentes e estabelecer uma relação entre eles, conforme é apresentado na equação 3.12.

$$L_t(s) = a_4 \left[\frac{f_s^4}{s^4} - \frac{3 \cdot f_s^3}{2s^3} + \frac{11 \cdot f_s^2}{12 \cdot s^2} - \frac{f_s}{4s} \right] + a_3 \left[\frac{f_s^3}{s^3} - \frac{f_s^2}{2s^2} + \frac{f_s}{s} \right] + a_2 \left[\frac{f_s^2}{s^2} - \frac{f_s}{s} \right] + a_1 \frac{f_s}{s} \quad (3.12)$$

Portanto, deve-se agrupar termo a termo e, assim, manipular algebricamente a equação 3.12. Após esse agrupamento inicial, é possível criar um sistema linear de quatro equações distintas, cada uma delas representada como sendo a ordem dos integradores. Logo, é possível arranjar os resultados de cada termo que corresponde a sua ordem do Modulador Sigma-Delta já

convertida no domínio s , conforme é apresentado na equação 3.13.

$$\begin{aligned}
 a_{1-ct} &= -\frac{a_4}{4} + a_3 - a_2 + a_1 \\
 a_{2-ct} &= \frac{11 \cdot a_4}{12} - a_3 + a_2 \\
 a_{3-ct} &= -\frac{3 \cdot a_4}{2} + a_3 \\
 a_{4-ct} &= a_4
 \end{aligned} \tag{3.13}$$

Com base na Equação 3.13, pode-se realizar uma análise comparativa dos valores obtidos no domínio z e seus valores correspondentes no domínio s , conforme mostrado na Tabela 4, onde os parâmetros do Modulador Sigma-Delta são fornecidos tanto para o domínio z quanto para o domínio s . No entanto, é importante observar que os coeficientes mostrados não estão escalonados. O escalonamento é essencial para a implementação prática do modulador, pois os integradores são substituídos por amplificadores operacionais de transcondutância (OTAs). Sem o devido escalonamento, os OTAs podem sofrer o processo de saturação entre seus estágios, o que pode levar a distorções e instabilidade no desempenho do modulador.

Portanto, é necessário garantir que os níveis de tensão sejam ajustados adequadamente de acordo com a excursão de cada integrador para evitar possíveis problemas no funcionamento do modulador. Neste estudo, deve-se considerar a otimização dos zeros dos Moduladores Sigma-Delta, especialmente para ordens superiores. O objetivo dessa otimização é reduzir atenuar mais ainda o ruído de quantização dentro da banda de interesse.

Tabela 4 – Coeficientes em tempo discreto (DT) e de tempo contínuo (CT).

Parâmetros em DT	Valor	Parâmetros em CT	Valor
a_1	0,8057	a_{1-ct}	0,6711
a_2	0,3082	a_{2-ct}	0,2493
a_3	0,0644	a_{3-ct}	0,0553
a_4	0,0060	a_{4-ct}	0,0060
b_1	1	b_{1-ct}	1
b_2	0	b_{2-ct}	0
b_3	0	b_{3-ct}	0
b_4	0	b_{4-ct}	0
b_5	0	b_{5-ct}	0
c_1	1	c_{1-ct}	1
c_2	1	c_{2-ct}	1
c_3	1	c_{3-ct}	1
c_4	1	c_{4-ct}	1
g_1	0,000696	g_{1-ct}	0,000814
g_2	0,04467	g_{2-ct}	0,01106

Fonte: Autor.

Dessa maneira, desloca-se a energia do ruído para fora da banda passante, o que resulta em um aumento da relação sinal-ruído (SNR). Os valores obtidos por meio da *TOOLBOX* já

incluem esses parâmetros. Portanto, os resultados da função de transferência do circuito em tempo contínuo devem corresponder exatamente aos resultados conquistados em tempo discreto, já que foram produzidos esses resultados, a partir do memorial de cálculo apresentado nesta seção e também feita a substituição da variável com o auxílio da Tabela 3.

3.4 ESCALONAMENTO DOS COEFICIENTES DO MODULADOR SIGMA-DELTA

Na seção anterior foi apresentada a conversão do tempo discreto para o tempo contínuo e, apresentou-se as vantagens associadas a essa conversão. Dessa forma é fundamental realizar o escalonamento os coeficientes adquiridos no domínio s , considerando-se que a escolha da tensão de entrada poderá impactar nas excursões de cada integrador. Desse modo, se os integradores não forem devidamente dimensionados, ocorrerá a saturação, o que implicará na redução de desempenho do modulador.

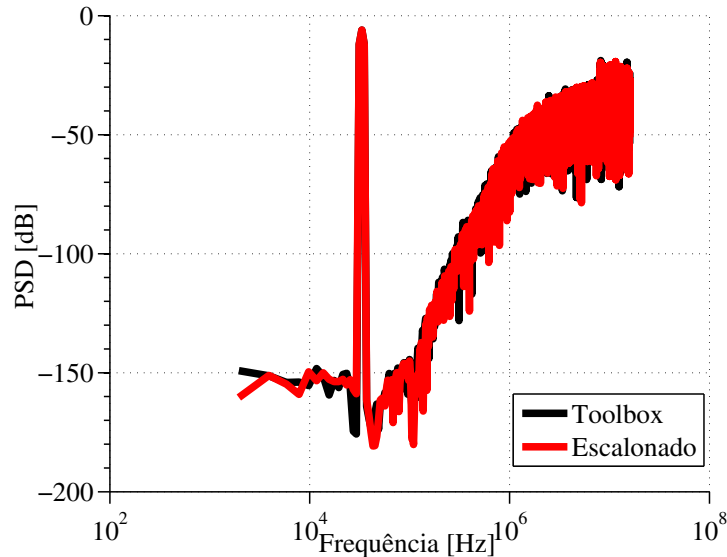
Segundo (PAVAN, 2008), os valores dos níveis de tensão podem ser ajustados com base na excursão de cada integrador, e a escolha desses valores é uma decisão do projetista, permitindo que sejam selecionados quaisquer valores de ganho para cada integrador, assegurando que as excursões sejam precisas e não comprometam o funcionamento do Modulador Sigma-Delta. Desse modo, ao realizar a técnica de escalonamento dos coeficientes, certifica-se que a excursão de saída de cada integrador seja controlado, preservando-se a mesma função de transferência do modulador. Sabe-se que o valor dos coeficientes dos integradores adotados anteriormente é igual 1 e que os coeficientes dos avanços no domínio s também são conhecidos e já calculados, conforme apresentado na Tabela 4. Portanto o ganho do modulador em tempo contínuo deve ser ajustado para garantir a compensação adequada. Logo, a equação 3.14 apresenta uma rodada interativa de cálculo, o qual a finalidade é adquirir o escalonamento desses elementos.

$$\begin{aligned}
 a_{1-ct} &= C_{1-ct-novo} \cdot a_{1-ct-novo} & (3.14) \\
 a_{2-ct} &= C_{1-ct-novo} \cdot C_{2-ct-novo} \cdot a_{2-ct-novo} \\
 a_{3-ct} &= C_{1-ct-novo} \cdot C_{2-ct-novo} \cdot C_{3-ct-novo} \cdot a_{3-ct-novo} \\
 a_{4-ct} &= C_{1-ct-novo} \cdot C_{2-ct-novo} \cdot C_{3-ct-novo} \cdot C_{4-ct-novo} \cdot a_{4-ct-novo}
 \end{aligned}$$

Observa-se que o termo $C_{ct-novo}$ é reportado como sendo novos valores dos integradores, adquiridos pelo memorial de cálculo descrito na equação 3.14. Além disso, o termo $a_{ct-novo}$ é referenciado ao novo valor do coeficiente em avanço já escalonado, uma vez que o termo a_{ct} já é conhecido da seção anterior. Logo é possível realizar uma comparação dos resultados a partir dos valores do *TOOLBOX* com aqueles já escalonados. O gráfico apresentado na Figura 28 ilustra o PSD da saída do modulador a partir da simulação em MATLAB, em que os resultados dos coeficientes fornecidos pelo *TOOLBOX* estão indicados em preto, para o domínio s , e os valores resultantes do escalonamento são mostrados em vermelho no domínio s . Dessa

forma, o resultado alcançado em simulação foi o mesmo, já que representa a mesma função de transferência que rege os dois parâmetros, sendo possível atingir um resultado 21,15 bits.

Figura 28 – PSD referente aos valores do Toolbox (sem escalonamento) e escalonados.

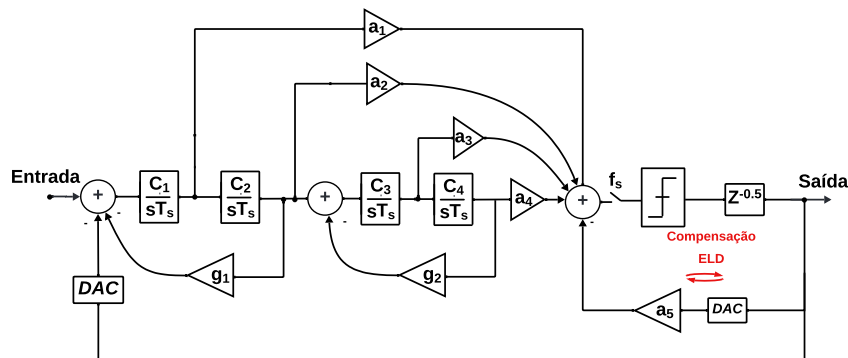


Fonte: Autor.

3.5 COMPENSAÇÃO DE EXCESS LOOP DELAY (ELD)

O surgimento do Excess Loop Delay (ELD) decorre de vários fatores, como a inclusão do atraso de propagação nos componentes do circuito, retardos na conversão analógico-digital e digital-analógica, demora na conversão nos filtros do loop de realimentação e atrasos causados por processamento digital de sinais (BLOECHER; BARTS, 1994). Esses retardos podem introduzir instabilidade no laço de realimentação do Modulador Sigma-Delta, afetando sua capacidade de suprimir o ruído e a distorção presentes no modulador (PAVAN, 2008).

Figura 29 – Apresentação do fluxograma com compensação ELD do Modulador Sigma-Delta.



Fonte: Autor.

Este atraso na realimentação do Modulador Sigma-Delta produz como efeito uma instabilidade do sistema, o que resulta em oscilações indesejadas ou comportamento errático do

modulador (NORSWORTHY; SCHREIER; TEMES, 1996). Isso ocorre porque o atraso adicionado ao sinal de realimentação pode interferir na capacidade do loop de acompanhar e realizar a devida correção das variações do sinal de entrada, e esse fenômeno degrada profundamente o desempenho dinâmico e interfere diretamente na estabilidade (BLOECHER; BARTS, 1994).

Isso se traduz em uma resposta mais lenta do sistema com relação a mudança no sinal de entrada, reduzindo a eficiência e o desempenho do dispositivo em seguir variações rápidas do sinal. Segundo (PAVAN, 2008) qualquer ADC descrito na literatura leva parte do período de clock para tomar uma decisão, seja ela qual for. Logo a realimentação feita pelo DAC deve considerar parte do período de clock, o qual deve estar atrasado a partir do instante da amostragem do ADC. Em relação ao modulador em tempo contínuo, a saída do comparador e do DAC dependem diretamente do pulso que é vinculado a ele. Esse pulso é conhecido como não retorna a zero (NRZ), e essa propriedade é valiosa e de grande importância para aplicação em tempo contínuo, pois, empregando-se a técnica proposta por (PAVAN, 2008), é possível que o comparador leve um determinado ciclo de clock com intuito de realizar a comparação do sinal, de forma que proporcione o tempo necessário para a regeneração do comparador. Esta sessão apresentará uma rotina matemática e a introdução da técnica utilizada com para realizar a compensação de ELD para um atraso de meio ciclo de clock, sem prejudicar a função de transferência do modulador. A relação que rege o efeito do atraso excessivo de loop ELD pode ser exemplificada, conforme a equação 3.15.

$$H(s) = \frac{c_1 \cdot f_s}{s} + \frac{c_2 \cdot f_s^2}{s^2} + \dots + \frac{c_N \cdot f_s^N}{s^N}. \quad (3.15)$$

O termo $H(s)$ determina a função de transferência no domínio s , e a parcela c é a representação dos coeficientes de cada integrador. Logo, a função f_s é chamado de transformada de Laplace de $f(t)$, e o termo s , refere-se o próprio domínio da frequência. Dessa maneira, o termo N representa a ordem escolhida para o modulador, e então é possível calcular os valores de c para uma NTF desejada (SCHREIER, 2022). Tais equações não contém o atraso de $0,5 \cdot T_s$. É possível compensar o atraso de $0,5 \cdot T_s$ recalculando os coeficientes de avanço e adicionando um caminho rápido ao redor do comparador, conforme apresentado na Figura 29.

Segundo (PAVAN, 2008), a resposta ao impulso unitário é um fenômeno não causal que, quando traduzido na prática, é inalcançável. Como estamos interessados apenas no que é amostrado na saída, uma vez que a entrada permanece constante, os efeitos que acontecem na saída podem ser corrigidos pela introdução de efeitos de atraso excessivos com o termo e^{st} . Assim, é possível atingir os parâmetros ELD compensados, conforme mostrado na equação 3.16.

$$H(s) = H(s)e^{st} = k_1 \frac{e^{st}}{s} + k_2 \frac{e^{st}}{s^2} + k_3 \frac{e^{st}}{s^3} + k_4 \frac{e^{st}}{s^4} \quad (3.16)$$

Neste trabalho é empregada a técnica clássica de compensação de ELD considerando um DAC do tipo NRZ (PAVAN, 2008).

3.5.1 COMPENSAÇÃO DE ELD CONSIDERANDO UM DAC NRZ

De acordo com (PAVAN, 2008), para um determinado DAC NRZ é possível expandir o termo e^{st} como sendo um somatório de polinômios em função de s , com a finalidade de usar a expansão de *Euller* cujo o objetivo de integrar os valores de e^{st}/s^i . Essa parcela se encontra em cascata nos integradores, conforme exibido no diagrama de blocos da Figura 29. Assim é possível fazer a modelagem do DAC NRZ, conforme é apresentado na equação 3.17.

$$\begin{aligned} \frac{e^{st}}{s} &\rightarrow \frac{1}{s}(1 + s\tau) = \frac{1}{s} + \tau & (3.17) \\ \frac{e^{st}}{s^2} &\rightarrow \frac{1}{s^2} \left(1 + s\tau + \frac{s^2\tau^2}{2} \right) = \frac{1}{s^2} + \frac{\tau}{s} + \frac{\tau^2}{2} \\ \frac{e^{st}}{s^3} &\rightarrow \frac{1}{s^3} \left(1 + st + \frac{s^2\tau^2}{2} + \frac{s^3\tau^3}{6} \right) = \frac{1}{s^3} + \frac{\tau}{s^2} + \frac{\tau^2}{2} + \frac{\tau^3}{6} \\ \frac{e^{st}}{s^4} &\rightarrow \frac{1}{s^4} \left(1 + st + \frac{s^2\tau^2}{2} + \frac{s^3\tau^3}{6} + \frac{s^4\tau^4}{24} \right) = \frac{1}{s^4} + \frac{\tau}{s^3} + \frac{\tau^2}{2 \cdot s^2} + \frac{\tau^3}{6 \cdot s} + \frac{\tau^4}{24} \end{aligned}$$

De acordo com (THEERTHAM et al., 2020), os resultados alcançados para o ELD, indicam que os integradores podem ser convertidos para o domínio s , manipulando-se as transformada de invariância ao impulso que corresponde ao atraso do pulso do DAC. Desse modo, assume-se que $\tau < 1$, uma vez que a parcela τ corresponde a meio ciclo de clock inserido dentro do modulador. A equação 3.17 assegura que a função de transferência do filtro de laço do modulador permaneça inalterada, preservando o modelo matemático. Logo é possível manipular algebricamente essa expressão, conforme é apresentado na equação 3.18.

$$\begin{aligned} k_1 &= a_1 + \tau \cdot a_2 + \frac{a_3 \cdot \tau^2}{2} + \frac{a_4 \cdot \tau^3}{6} & (3.18) \\ k_2 &= a_2 + \tau \cdot a_3 + \frac{a_4 \cdot \tau^2}{2} \\ k_3 &= a_3 + \tau \cdot a_4 \\ k_4 &= a_4 \\ k_5 &= a_1 \cdot \tau + \frac{a_2 \cdot \tau^2}{2} + \frac{a_3 \cdot \tau^3}{6} + \frac{a_4 \cdot \tau^4}{24} \end{aligned}$$

Ademais, é possível observar que na equação 3.18, revelou-se uma nova nomenclatura k , sendo esse termo atribuído aos avanços dos coeficientes do Modulador Sigma-Delta com o incremento de $0,5 \cdot T_s$, já em nível elétrico o termo k_5 é empregado como sendo o caminho rápido entre a saída da latch SR e a entrada do comparador. Assim, é possível atingir novos coeficientes para o modulador considerando o atraso de meio ciclo de clock. No entanto, como é um estudo comportamental, é possível assumir novos valores para os integradores graças a rotina de cálculo desenvolvida. Na prática, esses coeficientes precisam ainda passar por um processo de escalonamento, pois garante que os integradores do modulador não sofram o processo de saturação ao longo do percurso, garantindo-se então uma excursão segura para tal aplicação.

É importante considerar a otimização dos zeros do Modulador Sigma-Delta, cujo objetivo é melhorar a supressão de ruído e distorção. Nesse caso, os coeficientes g_1 e g_2 são usados incluir dois zeros na NTF, o que permite uma melhor atenuação do ruído. A inclusão destes zeros não compromete a estabilidade do modulador. A otimização dos coeficientes g_{1-novo} e g_{2-novo} é de fundamental importância para o desempenho dos Moduladores Sigma-Delta. A caixa de ferramentas Delta-Sigma *TOOLBOX* fornece os valores iniciais desses coeficientes. No entanto, eles não estão corretamente escalonados. Portanto, é essencial ajustar esses parâmetros para garantir que estejam em conformidade com as especificações de projeto. O escalonamento do coeficiente g_{1-novo} pode ser realizado conforme é apresentado na equação 3.19:

$$g_{1-novo} = \frac{g_1}{c_{1-ct-novo} \cdot c_{2-ct-novo}} \quad (3.19)$$

Dessa forma é possível observar que $c_{1-ct-novo}$ e $c_{2-ct-novo}$ representam os valores correspondentes aos integradores, os quais são determinados com base no nível de excursão selecionado. Da mesma forma, o cálculo do coeficiente g_{2-novo} é realizado utilizando o mesmo método de escalonamento aplicado ao coeficiente g_{1-novo} , conforme é apresentado na equação 3.20.

$$g_{2-novo} = \frac{g_2}{c_{3-ct-novo} \cdot c_{4-ct-novo}} \quad (3.20)$$

Note que os termos $c_{3-ct-novo}$ e $c_{4-ct-novo}$ também representam os valores correspondentes aos integradores, definidos de acordo com o nível de excursão selecionado. Portanto, o diagrama de blocos do Modulador Sigma-Delta de tempo contínuo pode ser determinado, incluindo todos os coeficientes necessários para a operação do sistema.

3.6 ESCALONAMENTO DOS COEFICIENTES DO MODULADOR

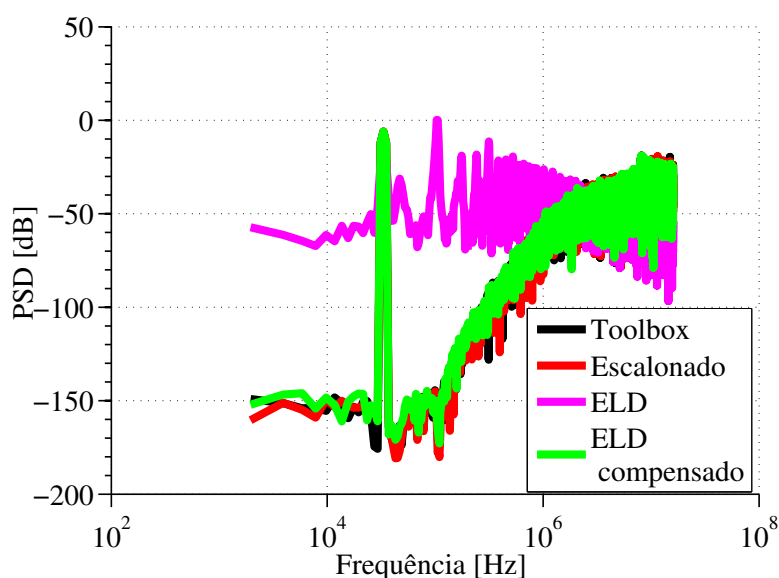
Conforme, apresentado neste estudo, foi possível converter os termos do domínio z para o domínio s e efetuar a compensação de ELD. Assim, o próximo passo para o projeto é o escalonamento dos coeficientes. De acordo com (PAVAN; SHIBATA, 2021), é possível calcular a partir da equação 3.21.

$$\begin{aligned} k_{1-novo} &= \frac{k_1}{a_{1-ct-novo}} \\ k_{2-novo} &= \frac{k_2}{a_{2-ct-novo} \cdot a_{1-ct-novo}} \\ k_{3-novo} &= \frac{k_3}{a_{3-ct-novo} \cdot a_{2-ct-new} \cdot a_{1-ct-new}} \\ k_{4-novo} &= \frac{k_4}{a_{4-ct-novo} \cdot a_{3-ct-novo} \cdot a_{2-ct-novo} \cdot a_{1-ct-novo}} \end{aligned} \quad (3.21)$$

Dessa maneira, o memorial de cálculo apresentado na equação 3.21 assegura que os integradores que compõem o Modulador Sigma-Delta não sofram do processo de saturação, conforme apresentado nessa seção. Esse escalonamento é importante para a implementação

em nível elétrico do modulador. A Figura 30 apresenta a densidade espectral de potência da saída do modulador para as quatro etapas de projeto. A curva em preto, representa os efeitos do modulador no domínio s ; já a cor vermelha é a curva do domínio s de forma escalonada; simultaneamente, em rosa verifica-se a instabilidade do modulador devido ao ELD; e por fim, em verde verifica-se a compensação de ELD, conforme demonstrado nessa seção.

Figura 30 – Gráfico referente a PSD no domínio s .



Fonte: Autor.

Dessa forma, prova-se que, quando são manipulados essas relações de forma coerente, é possível alcançar os mesmos resultados sem modificar a função de transferência do circuito. Além disso, é possível apresentar os dois resultados que foram discutidos nessa seção: primeiro os parâmetros do domínio s , e o resultado utilizando a técnica compensação de ELD, conforme é apresentado na Tabela 5.

3.7 NÃO IDEALIDADES DE MODULADORES SIGMA-DELTA EM TEMPO CONTÍNUO

Na seção anterior, foram discutidos os princípios fundamentais da modulação no domínio s , incluindo o projeto do modulador que resultou na função de transferência NTF desejada. Contudo, algumas das suposições teóricas feitas sobre a operação do modulador não se confirmam na prática, pois outros parâmetros de projeto precisam ser considerados e bem explorados. Segundo (PAVAN, 2008), por exemplo, nenhum quantizador real pode tomar decisões de forma instantânea devido aos atrasos inerentes ao processo. Além disso, os limites suportados pelo ADC e os níveis do DAC são influenciados pela incompatibilidade dos dispositivos em relação aos valores desejados. Os integradores presentes no filtro de loop também não são ideais, logo, a imprecisão dos componentes pode alterar significativamente as frequências de ganho unitário. Além disto, é importante destacar que os integradores apresentam ganho DC

Tabela 5 – Coeficientes em tempo contínuo (CT) sem e com compensação ELD

Parâmetro	Tempo Contínuo	Parâmetro	Compensado com ELD
a_{1-ct}	0,6711	k_{1-ct}	5,9512
a_{2-ct}	0,2493	k_{2-ct}	3,9927
a_{3-ct}	0,0553	k_{3-ct}	3,0182
a_{4-ct}	0,0060	k_{4-ct}	4,5426
a_{5-ct}	0	k_{5-ct}	0,3679
b_{1-ct}	1	b_{1-ct}	1
b_{2-ct}	0	b_{2-ct}	0
b_{3-ct}	0	b_{3-ct}	0
b_{4-ct}	0	b_{4-ct}	0
b_{5-ct}	0	b_{5-ct}	0
c_1	1	c_1	1
c_2	1	c_2	1
c_3	1	c_3	1
c_4	1	c_4	1
g_1	0,000814	g_{1-ct}	0,000814
g_2	0,01106	g_{2-ct}	0,01106

Fonte: Autor.

finito e suas funções de transferência possuem polos e zeros parasitas. Conforme indicado por (PAVAN, 2008), os integradores, construídos com transistores, introduzem características que não se comportam de maneira linear. Outro ponto a considerar é o jitter do período de clock, que impacta moduladores sigma-delta em tempo contínuo. Isso justifica a necessidade de uma análise mais aprofundada, que está além do escopo deste trabalho.

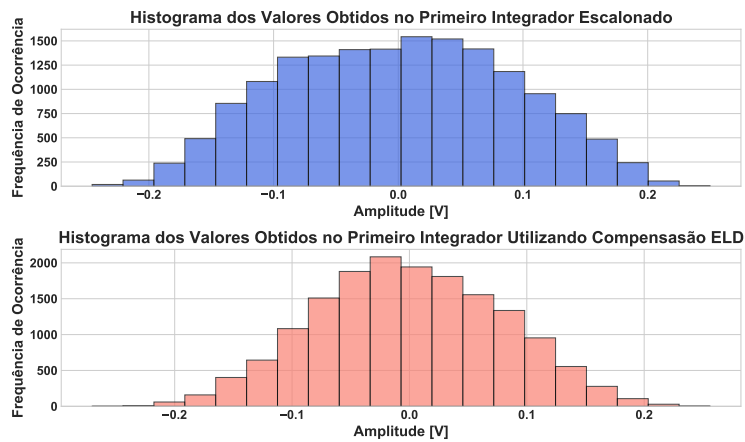
3.8 VERIFICAÇÃO DA EXCURSÃO DE SAÍDA DOS INTEGRADORES

Nesta seção verifica-se a excursão de saída de cada integrador do Modulador Sigma-Delta de quarta ordem utilizando a topologia CIFF. Além disso, também é detalhada a estratégia para definir a excursão de saída de cada integrador, com o objetivo de compreender melhor o impacto desses valores no esquemático elétrico do modulador. Nesse contexto, observa-se que a amplitude das variações em cada estágio do processo de modulação é ajustada pela variação do ganho dos integradores, e isso possibilita mapear e comparar os níveis de excursão e os impactos desses elementos sobre resistores e capacitores. Diante disso, a abordagem adotada baseia-se na subdivisão em ciclos, uma vez que essa estratégia torna a investigação mais eficiente.

No primeiro ciclo, os coeficientes de avanço são convertidos do domínio z para o domínio s . A estratégia utilizada facilitou o escalonamento de todos os coeficientes de avanço, empregando técnicas desenvolvidas no presente trabalho. O emprego dessa metodologia permite alcançar esses coeficientes sem alterar a função de transferência do modulador. Utilizando a compensação do ELD, os valores atribuídos a cada excursão nos estágios são deixados inteiramente à escolha do projetista, que possui total liberdade para determinar os níveis de excursão mais adequados às tensões desejadas no desenvolvimento do projeto. A Figura 31

apresenta o histograma dos valores alcançados a partir das excursões do Modulador Sigma-Delta.

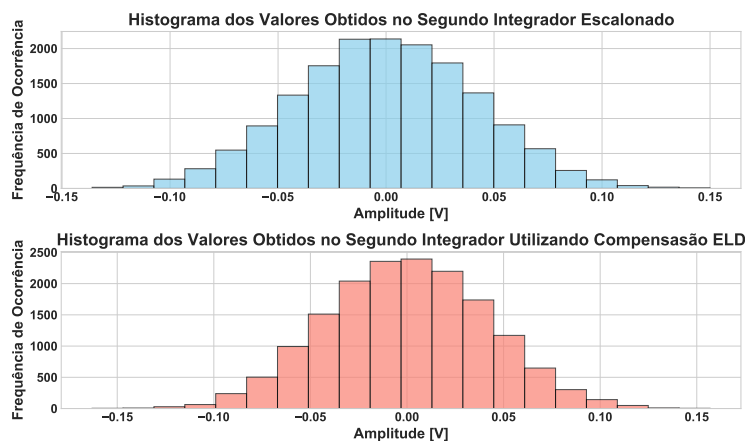
Figura 31 – Histograma do nível de excursão dos coeficientes de avanço do primeiro integrador.



Fonte: Autor

No primeiro histograma, é apresentado o comportamento do modulador com seus coeficientes já escalonados, representados pela cor azul, enquanto o segundo histograma retrata o comportamento após a compensação de ELD, representado pela cor laranja. A partir do histograma e das informações nele contidas, é possível realizar um estudo computacional das ocorrências de cada excursão, o que permite mapear o comportamento em cada estágio que constitui o Modulador Sigma-Delta. No primeiro estágio, foi estabelecida uma excursão de 20% do resultado da tensão de referência, o que corresponde a uma amplitude de 0,2 V. Isso permite alcançar os valores diferenciais das excursões de cada estágio dos integradores, realizando a diferença entre V_{inP} e V_{inN} dos sinais N e P. Com isso, foi possível determinar o valor diferencial dos sinais de saída em 0,4 V. Em seguida, de maneira semelhante, é permitido realizar a mesma análise para o segundo estágio, a fim de avaliar o impacto da excursão de saída do segundo integrador, conforme é apresentado na Figura 32.

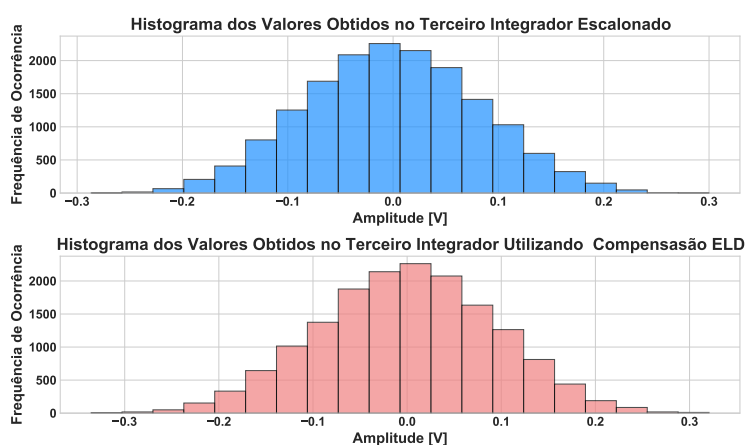
Figura 32 – Histograma do nível de excursão dos coeficientes de avanço do segundo integrador.



Fonte: Autor

Neste estudo, observa-se que os resultados dos coeficientes escalonados são exibidos em azul-claro no histograma, e os valores após a compensação de ELD são destacados em laranja. Assim, os valores de amplitude foram estabelecidos para uma faixa de excursão de 15% do valor de referência, o que corresponde a uma tensão de 0,15 V, ilustrado na Figura 32. Essa configuração resulta em um valor diferencial dos sinais de saída de 0,3 V, e é possível fazer a mesma investigação para o terceiro estágio do Modulador Sigma-Delta, conforme é apresentado na Figura 33.

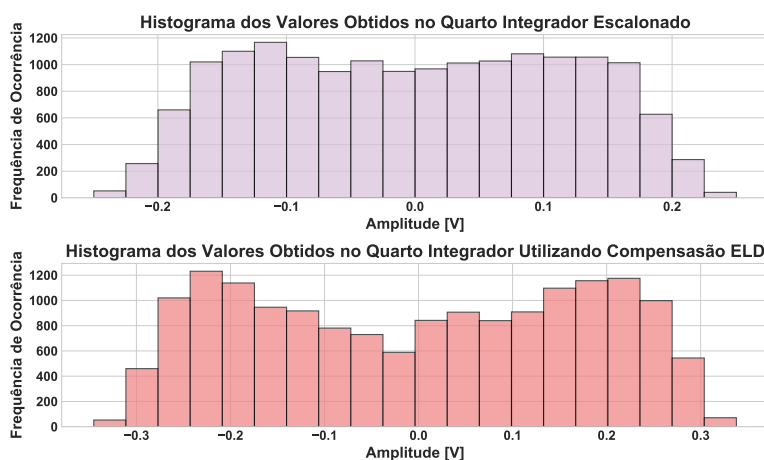
Figura 33 – Histograma do nível de excursão dos coeficientes de avanço do terceiro integrador.



Fonte: Autor

Neste estágio foi estabelecida uma excursão de 25% do valor da tensão de referência, o que resulta em uma amplitude de 0,25 V. Essa abordagem possibilita alcançar um valor diferencial de 0,5 V para os sinais de saída, e essa análise pode ser estendida ao quarto estágio do Modulador Sigma-Delta, conforme é apresentado na Figura 34.

Figura 34 – Histograma do nível de excursão dos coeficientes de avanço do quarto integrador.



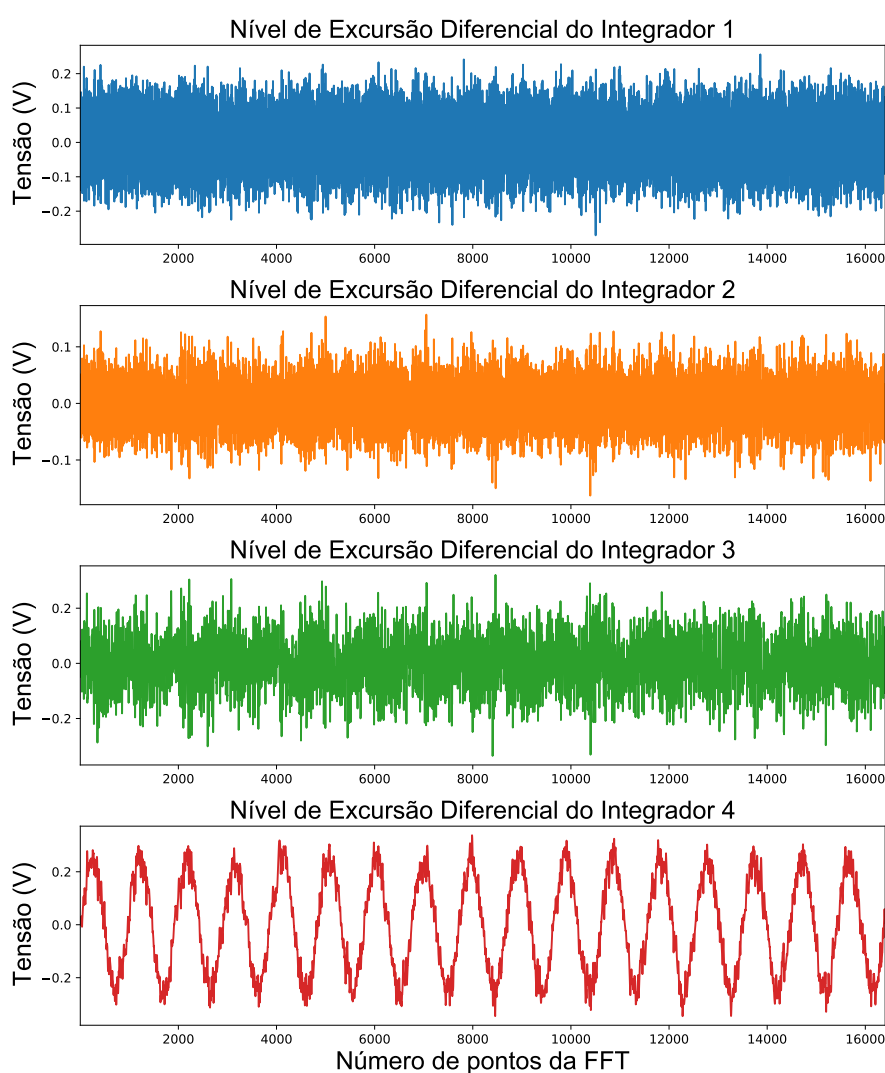
Fonte: Autor

Nesta investigação, observa-se que os resultados dos coeficientes escalonados são exibidos pela cor roxa no histograma, e os valores após a compensação de ELD são destacados

em laranja. Nesse último estágio, definiu-se uma excursão de 30% do valor da tensão de referência, resultando em uma amplitude de 0,3 V e um valor diferencial de 0,6 V para os sinais de entrada.

A Figura 35 apresenta o valor da tensão de saída de cada integrador em cada período de clock, em um intervalo contendo N (16.384) pontos, sendo N o número de pontos utilizado para efetuar a FFT para cálculo do SNDR do modulador.

Figura 35 – Excursões dos quatro estágios do Modulador Sigma-Delta com compensação de ELD.



Fonte: Autor

A escolha dos valores de excursões, deve-se ao fato que quanto maior for o valor coeficiente escolhido para cada estágio menor será a constante RC de cada integrador, e consequentemente esses resultados interferirão diretamente no desenvolvimento e projeto dos OTAs. Portanto, foi possível investigar esses parâmetros de excursão a partir do software MATLAB, visto que é possível empregar esses resultados no modulador e realizar sua implementação em nível elétrico, primeiro na linguagem VerilogA e depois em esquemático elétrico. Dessa maneira,

é possível observar os impactos de cada excursão nos estágios e compará-los na simulação com elementos reais. No próximo capítulo, será possível realizar a conversão dos coeficientes e elementos passivos, como resistores e capacitores.

3.9 SÍNTESE DO CAPÍTULO

Nesta seção foi apresentado o projeto de alto nível do Modulador Sigma-Delta de quarta ordem, incluindo o fluxograma do projeto. Apresentou-se graficamente a flexibilidade na escolha da ordem do Modulador Sigma-Delta em função do OSR e sua relação com a faixa dinâmica. Adicionalmente, foi possível ilustrar a relação entre a ordem do modulador e o OSR em função do ENOB. Essa representação permite uma compreensão detalhada do desempenho do sistema, evidenciando como a ordem do modulador e o OSR afetam a precisão e a eficiência do conversor. Além disso, foi detalhado o procedimento de projeto, baseado na conversão de um modulador em tempo discreto para tempo contínuo, mantendo a NTF do modulador. Dessa forma, foi possível construir uma tabela comparativa dos valores dos coeficientes de avanço, comparando os resultados obtidos pelo *TOOLBOX* com os valores ajustados pelo processo de escalonamento dos integradores.

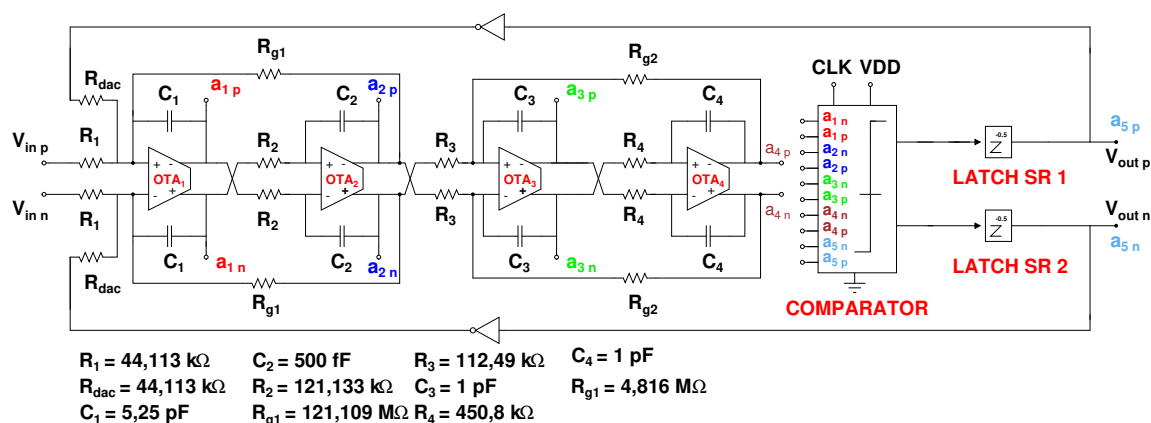
Após, efetuou-se a compensação de ELD para um atraso de meio período de clock e verificou-se que o resultado da função de transferência do ruído permaneceu inalterado. Além disso foi realizado e demonstrado matematicamente o escalonamento dos coeficientes g_{1-novo} e g_{2-novo} oriundo das otimizações dos zeros do modulador. Por fim, foi apresentada os histogramas comparando-se os níveis de excursão alcançados para os quatro integradores do Modulador Sigma-Delta, tanto para os resultados sem escalonamento quanto para aqueles com escalonamento e compensação de ELD.

4 IMPLEMENTAÇÃO DO MODULADOR SIGMA-DELTA EM NÍVEL DE VERILOGA

Nas seções anteriores foram descritos os principais tópicos referentes ao cálculo do modulador. Com isto, foram apresentadas em formato de fluxograma as ferramentas de projeto, introduzindo-se o estudo robusto e bem aprofundado da teoria comportamental do modulador. Deste modo, foi realizada uma comparação entre moduladores de tempo discreto e tempo contínuo, o que permitiu a obtenção de parâmetros importantes para o projeto, como a estimativa da frequência de operação do modulador (f_s), a largura de banda (B_w) e a tensão de alimentação. Ademais, foi realizada uma revisão da literatura a fim de investigar o funcionamento do Modulador Sigma-Delta e suas diferenças entre os domínios z e o domínio s , uma vez que esse estudo detalhado possibilitou a compreensão das vantagens e limitações de cada abordagem, contribuindo para a fundamentação teórica e prática do projeto. Após essa investigação, foi empregado o modelo de ferramenta *TOOLBOX* descrito em (PAVAN RICHARD SCHREIER, 2017) para construir rotinas sequenciais de cálculo, cuja a finalidade desse método é otimizar o projeto de forma mais simples e coerente, validando se os conhecimentos adquiridos e pesquisados ao longo do trabalho.

Desse modo, foi possível fazer a validação dos cálculos, e o próximo passo é converter esses parâmetros em um esquemático elétrico, que será discutido nas próximas seções. Inicialmente, serão empregados: a linguagem de VerilogA para acelerar o processo de simulação e, ao mesmo tempo, validar o projeto e os elementos do Modulador Sigma-Delta projetados nesta seção, incluindo amplificadores operacionais de transcondutância (OTA), comparadores e latches, que posteriormente serão convertidos em circuitos elétricos. A Figura 36 ilustra o esquemático elétrico simplificado do Modulador Sigma-Delta de quarta ordem.

Figura 36 – Esquemático elétrico do Modulador Sigma-Delta em VerilogA.



Fonte: Autor

No primeiro momento, serão aplicados elementos ideais, como resistores e capacitores, que são fornecidos da própria biblioteca do software *Cadence Virtuoso*. Também será abordada a forma de implementação de cada dispositivo do Modulador Sigma-Delta, bem como todas as simulações realizadas para validar cada etapa dos estágios deste modulador. O primeiro parâmetro escolhido para ser examinado é o ruído de entrada do modulador, causado pelos

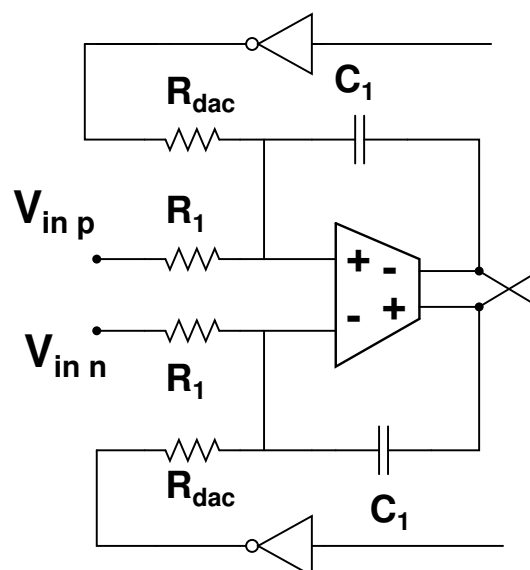
resistores de entrada, que impacta profundamente na potência consumida no primeiro estágio.

4.1 RUIÍDO REFERIDO A ENTRADA DO MODULADOR

Esta etapa é muito importante para a análise e modelagem do ruído de entrada do dispositivo, sendo possível analisar o seu comportamento e avaliar o impacto no desempenho do modulador. O ruído térmico do primeiro estágio é fornecido a partir dos integradores RC, e, em particular, esse bloco interfere significativamente no desempenho modulador, visto que o maior problema considerado neste estudo diz respeito à potência dissipada no primeiro estágio do modulador. Dessa maneira, é necessário ter um cuidado especial, visto que o maior desafio para essa é atribuir valores ótimos aos parâmetros de entrada, que incluem os valores dos coeficientes que integram os OTA, uma vez que ocorre o maior consumo de potência, e os valores do ruído gerado pelos resistores de entrada se tornam mais evidente.

Assim, é necessário atingir um elevado ganho de largura de banda (GBW) para minimizar o efeito de entrada do modulador, a fim de tentar conciliar os resultados de GBW e do consumo de potência. Em seguida foi possível atribuir um valor limite para esses resistores de entrada, considerando uma margem de segurança específica de projeto. Do mesmo modo, buscou-se uma rotina interativa de cálculo para alcançar valores de resistores que resultassem em um valor máximo de 16 bits durante as simulações, levado-se em conta a análise de ruído. Este estudo visa contemplar o pior caso, ajustando-se essa margem, conforme a necessidade do projetista. Inicialmente, fixou-se um valor de projeto em torno de 16 bits, e a capacidade máxima atingido pelo modulador sem a análise de ruído é em torno de 21 bits. Os possíveis resultados que cada ordem do modulador podem alcançar a partir dos resultados de OSR e de ENOB são apresentados na Figura 37

Figura 37 – Circuito equivalente ao primeiro estágio do Modulador Sigma-Delta.



Dessa maneira, é adicionada a simulação de ruído, na qual foi possível fixar um valor de 16 bits. Dessa forma, é possível considerar que o primeiro OTA contribui com a maior parcela do ruído fornecido pela entrada do modulador, e a partir dos estágios subsequentes esse ruído é atenuado, sendo crucial realizar uma análise mais detalhada do ruído térmico dos resistores de entrada e do *DAC*. A partir disso, é apresentado um esquemático que ilustra qual é os elementos que são analisados neste procedimento de cálculo do ruído.

Analisando o circuito da Figura 37, os valores de resistores R_1 e R_{dac} contribuem, de maneira significativa, para o ruído térmico do primeiro estágio do modulador, e deve-se levar em conta que esses resistores apresentam uma elevada densidade espectral de potência para o ruído térmico. Portanto, esse comportamento consegue ser modelado, conforme é apresentado na equação 4.1.

$$\bar{v}_R^2 = 4 \cdot k \cdot T \cdot R \cdot B_w \quad (4.1)$$

Desse modo, entende-se que o termo k pode ser a constante de Boltzmann, um termo físico e incógnito que apresenta um valor de $(1.3819 \cdot 10^{-23} \text{ J/K})$, e a constante T é anunciado como a temperatura medida em escala Kelvin. Portanto, deve-se explorar também que o amplificador ligado ao primeiro estágio do modulador é modelado, conforme é representado na equação 4.2.

$$\bar{v}_{OTA}^2 = \frac{8K \cdot T n_{thermal}}{3 \cdot gm_{OTA}} \cdot \frac{k_f \cdot n_f}{C_{ox}^2 W \cdot L \cdot a_f} \quad (4.2)$$

Visualizando-se melhor a equação 4.2, é possível afirmar o quão importante é o estudo físico dessa implementação, uma vez que os termos $n_{thermal}$ e n_f são ligados aos fatores de excesso, pois são gerados a partir do ruído *flicker* e do ruído térmico do resistor. Desse modo, deve-se atentar também à largura e ao tamanho dos transistores, representado por L e W , que são referenciados aos valores aplicados no par diferencial de entrada OTA. Já a expressão gm_{ota} remete-se à transcondutância do amplificador, e, em decorrência disso, os parâmetros k_f e a_f estão relacionados ao ruído *flicker*, pois, dependem fundamentalmente da tecnologia e da topologia empregadas no projeto do Modulador Sigma-Delta de tempo contínuo (AGUIRRE, 2019).

No desenvolvimento deste estudo serão empregados circuitos reais com a litografia de 130 nanômetros para os transistores MOS. Ademais, com a consolidação dos parâmetros e a compreensão comportamental, será possível calcular a potência total do ruído referenciado à entrada do modulador. A partir do esquemático elétrico, visto na Figura 37, serão exibidos os resistores de entrada e do *DAC*, assim, é necessário integrar valor de DSP, expressa em V^2/Hz , ao longo da banda de interesse, conforme é apresentado na equação 4.3.

$$P_{noise} = \int_0^{B_w} (\bar{V}_{Rin}^2 + \bar{V}_{DAC}^2 + \bar{V}_{OTA}^2) df \quad (4.3)$$

A equação 4.3, apresenta o termo P_{noise} como a potência total do ruído, referenciado-se a entrada do modulador, e o termo \bar{v}_R^2 é também ligado a densidade de ruído fornecido pelos transistores de entrada, uma vez que, o mau dimensionamento interferirá diretamente no

desempenho dos estágios subsequentes do modulador, degradando-se o sinal e a resolução final do modulador.

4.2 CÁLCULO DOS RESISTORES DE ENTRADA

Para calcular os valores referentes aos resistores de entrada, é essencial incluir um parâmetro fundamental nesta investigação: o ruído de entrada atribuído aos resistores do Modulador Sigma-Delta. Inicialmente, é necessário estabelecer uma rotina de cálculo bem definida, a fim de obter valores coerentes para as resistências de entrada no desenvolvimento do projeto. De acordo com (AGUIRRE, 2019), é possível apresentar uma sequência bem estruturada para calcular os valores máximos de ruídos presentes na entrada do modulador, resultando em um valor de SNDR (Signal-to-Noise and Distortion Ratio) consistente. Para tais modelagem, é legítimo empregar uma rotina de cálculo implementada no *MATLAB*, em que possa ser feito memorial interativo de cálculo, pois é crucial determinar a potência de ruído de entrada, conforme é apresentado na equação 4.4.

$$P_{noise-RIN} = 20 \cdot \log \left(\frac{\bar{v}_R^2}{V_{REF}^2} \right) \quad (4.4)$$

Dessa maneira é possível acrescentar no presente estudo a quantidade de potência do ruído térmico que foi gerado, conforme apresentado na equação 4.1. Manipulando-se a equação 4.4 é possível alcançar uma relação, conforme é apresentado na equação 4.5.

$$4 \cdot k \cdot T \cdot R \cdot B_w = 10^{\frac{P_{noise-RIN}(dB)}{10}} \quad (4.5)$$

Com os parâmetros definidos, é possível alcançar uma relação global do ruído de entrada para o Modulador Sigma-Delta, obtendo-se os valores de resistência de entrada e do *DAC*, apresentados na equação 4.6.

$$\bar{v}_{input-SDM}^2 = 2 \cdot (\bar{v}_{noise-res}^2 + \bar{v}_{noise-dac}^2 + 4 \cdot \bar{v}_{noise-OTA}^2 + \bar{v}_{noise-quantization}^2) \quad (4.6)$$

Portanto, valendo-se da equação 3.7, é possível adquirir também o valor máximo de ruído dentro da faixa de entrada do modulador, empregando-se uma manipulação algébrica que possibilita o cálculo do valor de SNDR, conforme é apresentado na equação 4.7.

$$SNDR = 20 \cdot \log_{10} \frac{\bar{v}_{input-SDM}^2}{V_{in-rms}^2} \quad (4.7)$$

No entanto, manipulando se algebricamente a equação 4.7, é possível alcançar a tensão de entrada do $\bar{v}_{input-SDM}^2$, conforme é apresentado na equação 4.8.

$$\bar{v}_{input-SDM}^2 = V_{in-rms}^2 \cdot 10^{\frac{-(6.02 \cdot ENOB + 1.76)}{20}} \quad (4.8)$$

Em síntese, é viável calcular o ruído atribuído aos resistores de entrada e ao próprio *DAC*, dado que os valores de R_1 e R_{DAC} devem ser iguais, de modo que os resultados de

$\bar{v}_{noise-res}^2$ se iguaem aos de $\bar{v}_{noise-DAC}^2$. Dessa forma, torna-se possível determinar o valor do ruído de entrada dos resistores R_1 e R_{DAC} , considerando também os ruídos gerados pelos OTAs. Consequentemente, é factível estabelecer os valores dos resistores de entrada, conforme demonstrado na equação 4.9.

$$R_1 = \frac{\bar{v}_{noise-SDM}^2}{4 \cdot 4 \cdot k \cdot T \cdot B_w} \quad (4.9)$$

Desse modo, é possível expor os valores das resistências de entrada para o Modulador Sigma-Delta com frequência de amostragem F_s de 32 MHz para uma largura de banda de 125 kHz conforme descrito na Tabela 6.

Tabela 6 – Parâmetros referentes aos valores de ruído de entrada.

Parâmetro	Valor
$\bar{v}_{noise-SDM}^2$	22 μV
R_1	44,113 k Ω
R_{dac}	44,113 k Ω

Fonte: Autor.

Assim, com base nos parâmetros do ruído de entrada e nos valores dos resistores R_1 e R_{DAC} , é possível determinar sequencialmente os valores passivos dos resistores dos estágios 2, 3 e 4 do Modulador Sigma-Delta, a partir dos resultados iniciais alcançados.

4.3 CÁLCULO DOS COEFICIENTES EM AVANÇO CIFF E CONVERSÃO EM VERILOGA

Na seção anterior, foram discutidos os impactos do ruído de entrada no Modulador Sigma-Delta, o que possibilita a análise e o cálculo dos elementos passivos RC do circuito. Com base nos coeficientes conhecidos de cada estágio dos integradores e dos coeficientes de avanço (FeedForward), é possível implementar uma rotina de cálculo no *MATLAB*. Agora, é necessário introduzir esse parâmetro, a fim de determinar os valores dos resistores e capacitores nos demais estágios do modulador, incluindo o ruído nesse cálculo. A determinação dos componentes passivos do integrador é feita com base na equação 4.10.

$$a_n \cdot F_s = \frac{1}{R_n \cdot C_k} \quad (4.10)$$

Em suma, a variável a_n representa os coeficientes de avanço do modulador Feed-Forward, e o termo C_n se refere aos ganhos dos integradores em cada estágio, inicialmente, atribui-se um determinado valor de C_n igual a 1, e, com base nesse parâmetro, calculam-se os valores dos resistores R_n . O índice n denota o número de estágios do modulador, e os valores de a_n passam por um processo de conversão, a partir dos coeficientes fornecidos pelo *TOOLBOX* no domínio z , sendo, em seguida, convertidos para o domínio s . Logo, é possível calcular os

valores passivos dos elementos que constituem todos os estágios do Modulador Sigma-Delta, incluindo o segundo, terceiro e quarto estágios – essa abordagem autoriza uma determinação precisa dos componentes passivos do modulador e garante a correta implementação elétrica e o desempenho desejado para o sistema. Em síntese, é necessário calcular os resistores que contribuem para na otimização dos zeros no modulador, e para realizar essa implementação é necessário adicionar um resistor entre os estágios 1 e 2, e outro entre os estágios 3 e 4. Como o modulador é de quarta ordem, dois zeros devem ser inseridos no gráfico da densidade espectral de ruído. Para calcular esses resistores, é permitido empregar a seguinte relação apresentada na equação 4.11:

$$R_{g1} = \frac{R_{DAC}}{g_{1-novo}} \quad (4.11)$$

De maneira semelhante, o resistor R_{g2} é incluído para esse cálculo, e de forma equivalente é possível fazer a mesma investigação, conforme é apresentado na equação 4.12:

$$R_{g2} = \frac{R_3}{g_{2-novo}} \quad (4.12)$$

Nesse contexto, com os resultados obtidos, foi possível integrá-los ao nível elétrico do Modulador Sigma-Delta, permitindo a modelagem precisa do dispositivo e a realização de simulações no software Virtuoso. A consistência dos coeficientes é essencial para evitar alterações durante a implementação elétrica, assegurando uma execução fiel aos valores reais de resistores e capacitores. Essa abordagem é fundamental para alcançar resultados confiáveis e precisos, conforme evidenciado na Tabela 7.

Tabela 7 – Parâmetros dos resistores e capacitores do Modulador Sigma-Delta.

Parâmetro	Valor
R_1	44,113 k Ω
R_{DAC}	44,113 k Ω
R_2	121,33 k Ω
R_3	112,49 k Ω
R_4	453,89 k Ω
C_1	5,2512 pF
C_2	500 fF
C_3	1 pF
C_4	1 pF

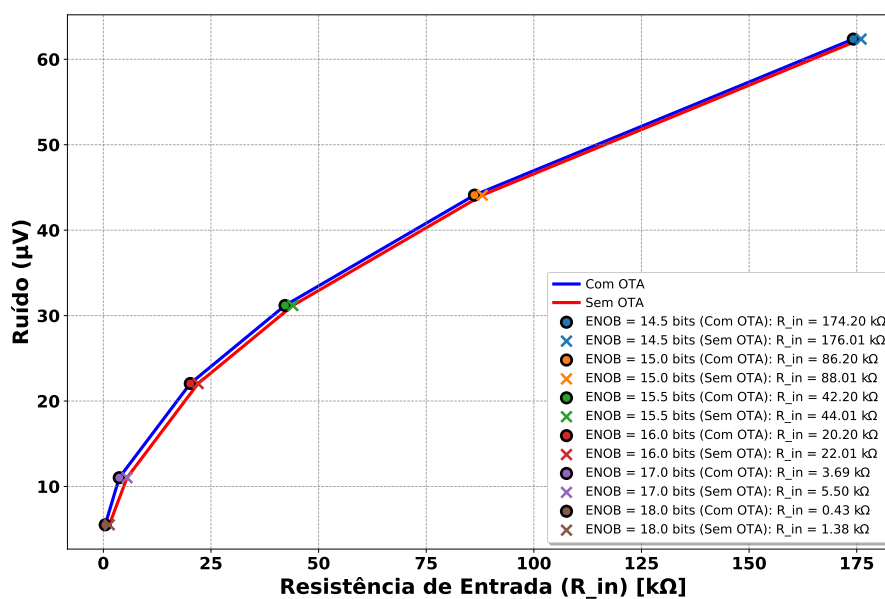
Fonte: Autor.

Os resultados exibidos na Tabela 7 serão incorporados no esquemático elétrico do modulador, conforme ilustrado na Figura 36, e é importante destacar que os valores dos resistores e capacitores de cada estágio do Modulador Sigma-Delta serão empregados ao longo de todo o trabalho, pois, qualquer alteração nesses valores podem impactar significativamente os resultados e o desempenho geral do modulador. Assim sendo, é crucial garantir a precisão desses parâmetros para assegurar a integridade e a eficácia do design do modulador.

4.4 IMPACTO DO RUÍDO NOS RESISTORES DE ENTRADA

Nesta seção é descrita a metodologia para calcular o ruído de entrada do modulador e o cálculo dos resistores de entrada do modulador. Em seguida, serão investigados os impactos do ruído de entrada sobre esses componentes, com a intenção de avaliar o efeito do ruído de entrada em função dos valores absolutos dos resistores e capacitores. Para isso, foi realizado um levantamento detalhado desses parâmetros com o objetivo de explorar o impacto do ruído de entrada na entrada do modulador. A Figura 38 ilustra a relação entre o ruído de entrada e a resistência de entrada do Modulador Sigma-Delta.

Figura 38 – Análise do ruído de entrada do Modulador Sigma-Delta.



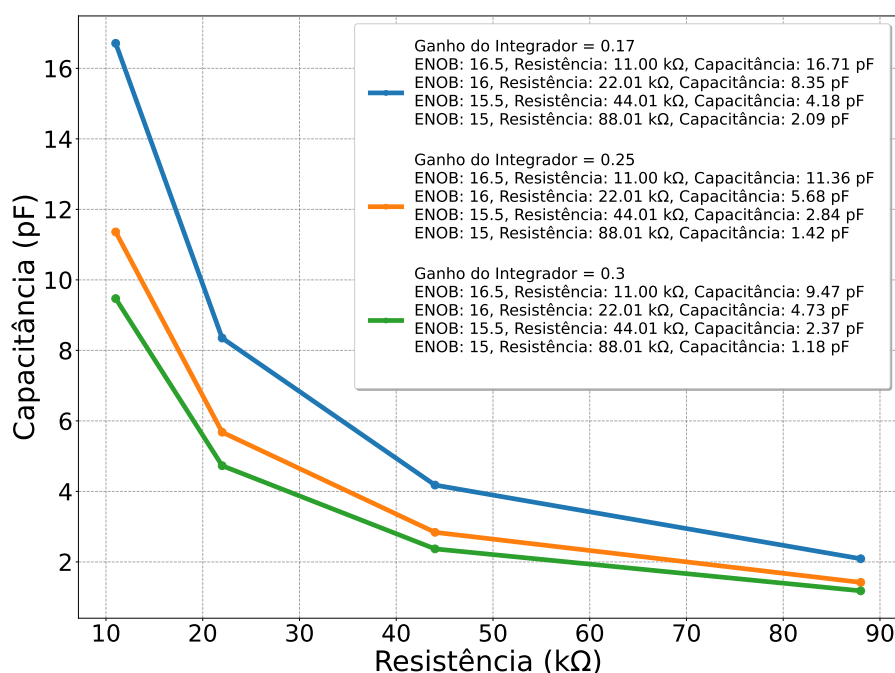
Fonte: Autor

Destaca-se que o vermelho exibido na Figura 38 é alusivo ao ruído sem a parcela do ruído do OTA, e a cor azul apresenta o resultado com a inclusão do ruído do OTA. Dessa maneira, é possível destacar que o valor do resistor de entrada tende a alterar com adição ou não do ruído do OTA, e essas pequenas variações de valores são capazes de interferir no desempenho do modulador e expor efeitos de não idealidades, como o surgimento de harmônicas de segunda e terceira ordem no modulador. Conforme apresentado na Figura 38, é possível examinar que, quanto maior o número de bits, menor é o valor do ruído causado pela resistência de entrada e do DAC; o crescimento do ruído é de escala exponencial para cada valor alcançado de ENOB, e isso indica que, dependendo das especificações de cada projeto, o projetista dispõe da liberdade de escolher e mapear os pontos de operação do modulador.

No caso deste projeto, foi estabelecida uma faixa de segurança com valor máximo de projeto igual a 16 bits, o que possibilita investigar, sob uma nova perspectiva, a variação dos coeficientes que constituem a entrada dos integradores, e as alterações nesses valores são capazes de influenciar as excursões em cada estágio do modulador, conforme discutido nas

seções anteriores. Também é importante notar que essa variação tem implicações significativas: coeficientes menores resultam em capacitores maiores e reduzem as excursões no primeiro estágio; já coeficientes maiores aumentam as excursões e reduzem o valor dos capacitores. Essa investigação implica diretamente nos resultados dos OTAs, uma vez que essa variação interfere diretamente nos valores de GBW e impactam profundamente no consumo total dos OTAs. Esse comportamento é ilustrado na Figura 39, destacando que a variação dos valores dos coeficientes interfere diretamente no desempenho e na eficiência do modulador.

Figura 39 – Análise do ruído de entrada do Modulador Sigma-Delta.



Fonte: Autor

Na Figura 39 expõe os diferentes valores de capacitores e resistores para alterações vinculados ao primeiro integrador, o que permite mapear e examinar o comportamento do ruído nesses elementos. Conforme aumenta o coeficiente do integrador, percebe-se uma redução no valor do capacitor de entrada, mantendo-se a mesma relação para os valores de ENOB e resistores de entrada. Também é importante observar que, à medida que é elevado o valor do capacitor de entrada, maior será o impacto que ele fará no projeto do OTA, porque será elevado o valor GBW, acarretando no aumento da potência consumida.

4.4.1 AMPLIFICADORES DE TRANSCONDUTÂNCIAS (OTAS)

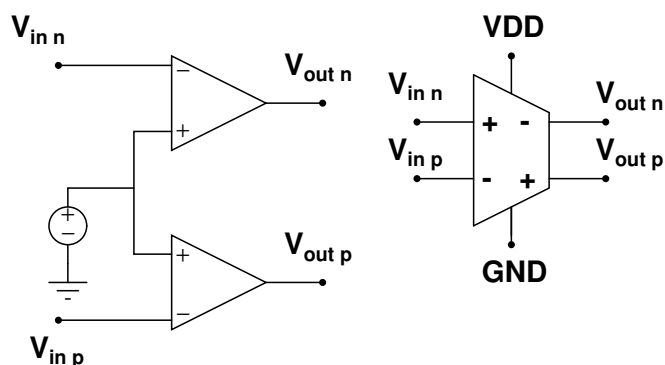
Nesta seção, será abordado um elemento importante para Modulador Sigma-Delta de tempo contínuo, que são OTAs. Esse capítulo apresentará apenas a caracterização do OTA em VerilogA para simulação e verificação; após a validação adequada, eles são implementados em nível elétrico para integração efetiva do projeto final.

Os cálculos e as simulações serão abordados especificadamente a nível de VerilogA, visto que o emprego dessa linguagem oferece vantagens significativas, como a capacidade de modelar comportamentos analógicos complexos com alta precisão, possibilitando a representação detalhada das características do circuito. A linguagem em VerilogA se integra diretamente com ferramentas de simulação, facilitando uma análise aprofundada e eficiente do desempenho do circuito sob diversas condições de operação, e isso possibilitará a identificação e correção de problemas de maneira mais eficaz, garantindo um projeto mais robusto e confiável.

4.5 AMPLIFICADOR DE TRANSCONDUTÂNCIA COMPLETAMENTE DIFERENCIAL EM VERILOGA

Neste trabalho foram empregados 2 amplificadores operacionais da biblioteca bmslib do Virtuoso para montar um amplificador completamente diferencial com tensão de modo comum de saída centrada em $VDD/2$. Este modelo possui um pólo dominante. A Figura 40 apresenta o esquemático do modelo do amplificador enquanto a Tabela 8 exibe as especificações usadas no modelo dos amplificadores operacionais.

Figura 40 – Circuito referente aos OTAS ideais.



Fonte: Autor

Tabela 8 – Valores utilizados aos amplificadores operacionais de transcondutância OTA ideal.

Especificações	Valor Requerido
R_{in} (Ω)	10 M
DC voltage gain (V/V)	100
GBW (Hz)	500 M V/s
SRP (V/s)	400 M
SRN (V/s)	400 M
Voh (V)	5
Rdc (Ω)	100

Fonte: Autor.

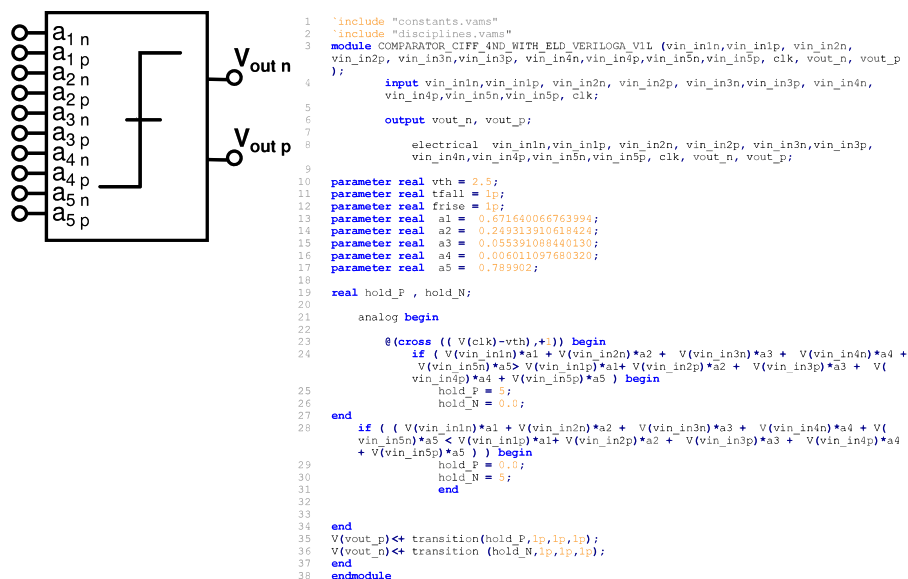
Os termos SRP e SRN representam o Slew-Rate positivo e negativo, respectivamente. Os valores apresentados na Tabela 8 correspondem aos parâmetros utilizados no projeto do amplificador operacional de transcondutância (OTA) em VerilogA, implementado no software Virtuoso.

4.6 MODELAGEM DO COMPARADOR DE MÚLTIPLAS ENTRADAS EM VERILOGA

Um comparador é um componente eletrônico amplamente utilizado em projetos analógicos e a sua função principal é comparar os níveis de tensão de entrada e fornecer uma saída digital que indica qual das tensões analisadas é a maior. Neste trabalho, será realizada uma abordagem do comparador como sua implementação ideal sendo em VerilogA quanto em nível de transistor. O Modulador Sigma-Delta que será desenvolvido neste trabalho adota a topologia CIFF (Consonant Integrate Feedforward), na qual os coeficientes dos avanços são representados por elementos ativos, como transistores MOS, e também utilizam-se passivos como capacitores. Os coeficientes calculados via software *MATLAB* são implementados como transistores e capacitores no comparador, e para cada valor atribui-se um peso específico na entrada do comparador. Neste estágio, será empregados um comparador implementado em elementos ideais, de maneira que seja possível validar este componente essencial do modulador.

A Figura 41 ilustra a implementação do comparador em VerilogA, crucial para a validação e continuidade do projeto. O projeto desse comparador levou em consideração o caminho rápido do Excess Loop Delay (ELD), sendo incrementado meio ciclo de Clock na saída do comparado. Dessa maneira é possível observar que os termos de a_1 , a_2 , a_3 , a_4 e a_5 são termos dos coeficientes do modulador em avanço.

Figura 41 – Implementação do comparador em VerilogA: diagrama e código.

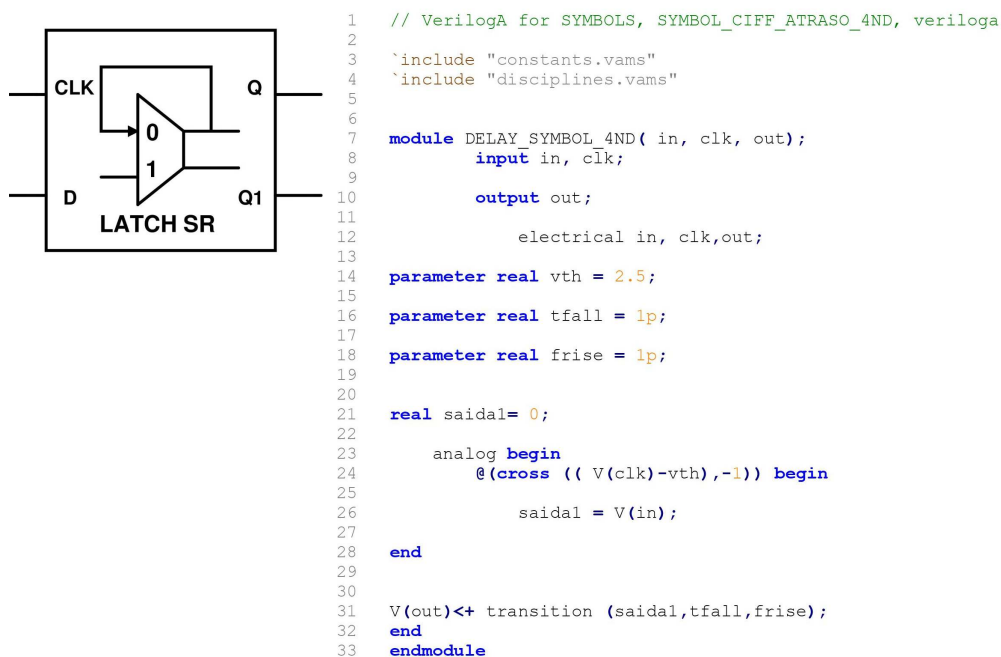


Diante disso, é possível destacar a função *parameter real* como sendo um termo oriundo de um resultado real, e o termo *real* é vinculado a um elemento real, ou seja, é capaz de ser atribuído como um pino de saída para o comparador, já que esses dois termos são essências para a modelagem do Modulador Sigma-Delta em VerilogA. Nas próximas sessões será abordado o comparador real com múltiplas entradas com somas ativas e passivas, e a topologia que será empregada é a *StrongARM*, bastante consolidada na literatura. Uma das vantagens dessa topologia é fato de o erro do *offset* não tende a interferir diretamente no Modulador Sigma-Delta, já que esse erro é rapidamente atenuado pelos estágios dos OTAS, sendo então a mais utilizada para este tipo de arquitetura de ADCs. Para realizar a simulação em alto nível é necessário criar um símbolo que reúna todos os componentes associados ao Modulador Sigma-Delta, como resistores, capacitores, comparadores e amplificadores.

4.7 LATCH EM VERILOGA

Nesta seção, será demonstrada uma visão simplificada da implementação das Latches SR em VerilogA que foram aplicadas no Modulador Sigma-Delta. As Latches desempenham um papel fundamental ao introduzir um retardo de meio ciclo de Clock no circuito entre a saída da Latch e a entrada do comparador, essencial para o funcionamento correto do modulador. A Figura 42 ilustra o símbolo do esquemático desenvolvido para dessas Latches, e o código correspondente em VerilogA é também fornecido, destacando-se os principais aspectos da sua implementação.

Figura 42 – Implementação da Latch SR em VerilogA: diagrama e código.

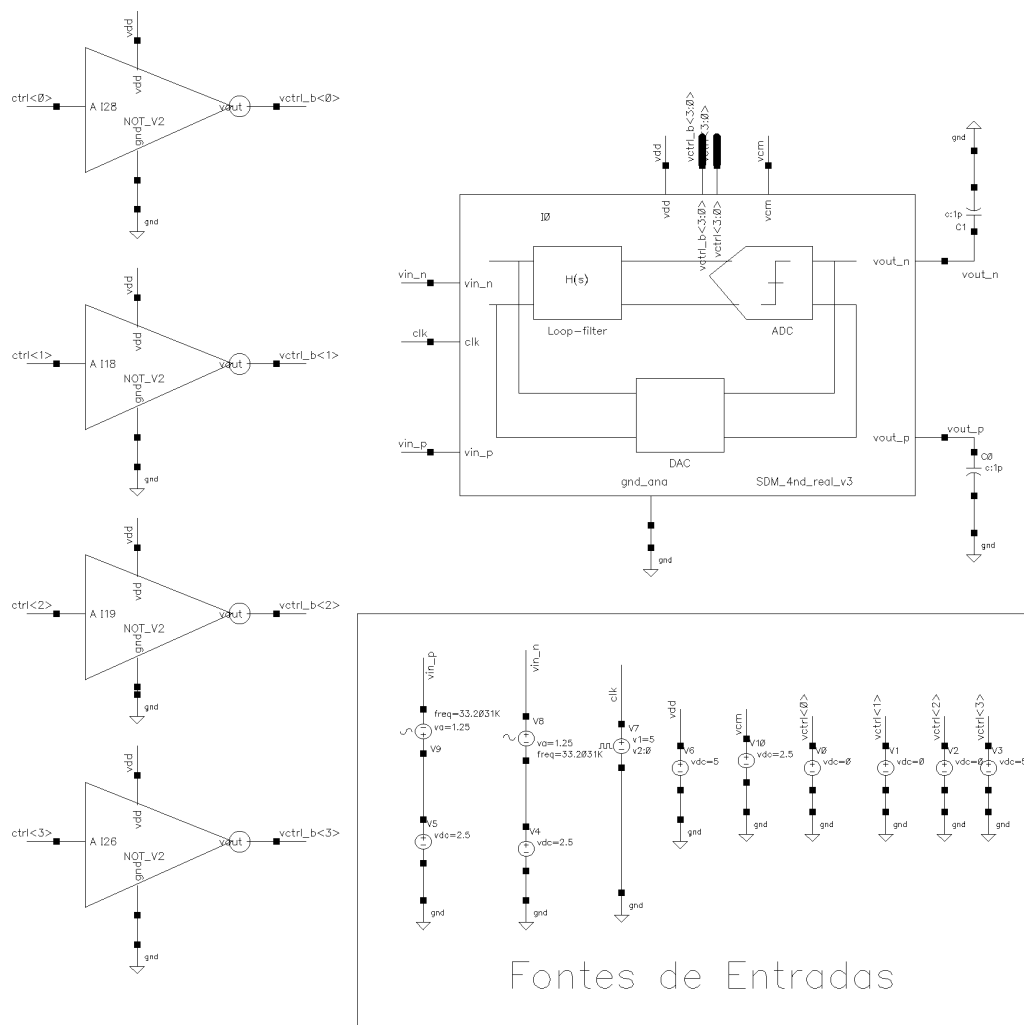


Fonte: Autor

A Figura 42 expõe a metodologia aplicado para reproduzir o código que foi incremen-

tado neste trabalho com interesse de criar o atraso de meio ciclo de clock no modulador em VerilogA. Além disso, os termos D são exibidos como sendo as entradas N ou P do comparador, assim, os valores de Q são atribuídos à saída do modulador e o termo Q_1 não é empregado, com interesse em organizar a estrutura analógica e o emprego de cada dispositivo aplicado no circuito. Dessa maneira, é essencial criar um símbolo representativo ao Modulador Sigma-Delta que englobe todos os elementos que constituem o modulador, visando realizar uma investigação de desempenho chamada de todo o circuito chamada de (TESTBENCH). A Figura 43 apresenta o (TESTBENCH) empregado para avaliar o modulador projetado.

Figura 43 – Bloco Associado ao Modulador Sigma-Delta.



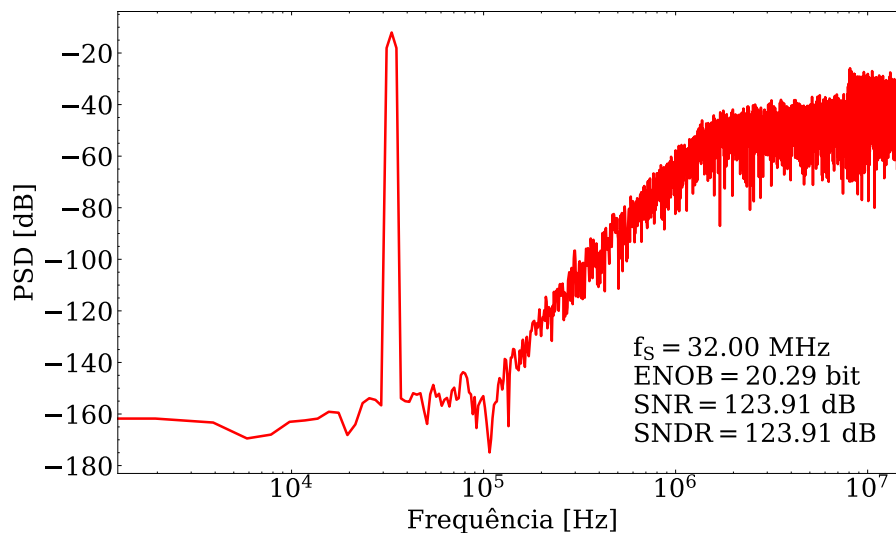
Fonte: Autor

4.8 RESULTADOS DE SIMULAÇÃO DO MODULADOR SIGMA-DELTA EM VERILOGA

Nesta seção serão divulgados os resultados das simulações em VerilogA do Modulador Sigma-Delta. Inicialmente, foram introduzidos as simulações do ambiente *MATLAB* com a intenção de atingir os parâmetros ideais do modulador no domínio s e validar o projeto; em

seguida, partiu-se para a exploração do modulador em nível elétrico, operando os componentes em VerilogA. Dessa maneira, serão introduzidos de forma preliminar os resultados de DSP, alcançados por meio da Transformada Rápida de Fourier (FFT), com o objetivo de gerar uma análise detalhada do desempenho do modulador em VerilogA, conforme demonstrado na Figura 4.8.

Figura 44 – Resultado da PSD em VerilogA.



Fonte: Autor

Analisando a Figura 43, foi possível obter, por meio do software Virtuoso da *Cadence*, o gráfico da densidade espectral de potência para o circuito descrito na Figura 36, o qual foi totalmente arquitetado em VerilogA. O uso de componentes ideais nesse formato permitiu uma simulação rápida e a extração eficiente dos resultados. A simulação revelou um ENOB de 20,45, valor consistente com os resultados previamente obtidos no *MATLAB*. Essa análise viabiliza a implementação elétrica com a inclusão de transistores MOS.

4.9 SÍNTESE DO CAPÍTULO

Nesta seção, foi incorporada a implementação elétrica do Modulador Sigma-Delta em tempo contínuo empregando a linguagem de VerilogA. Essa linguagem é muito utilizada em ambientes que necessitam fazer a apresentação do esquemático elétrico do modulador, via ambiente de simulação. Além disso, foi abordado o memorial de cálculo para o ruído associado à entrada do Modulador Sigma-Delta, avaliando o impacto real deste no cálculo dos resistores, capacitores e no desempenho geral do sistema.

No mesmo processo, foram publicados de forma teórica e gráfica os valores da resistência de entrada em relação ao ruído provocado por esses resistores, e esses resultados foram comparados com os resultados produzidos para cada valor de ENOB. Além disso, foram exibidos os valores e os possíveis impactos dos coeficientes na escolha dos capacitores. A verificação da escolha dos capacitores impacta diretamente no projeto e no consumo de potência do OTA.

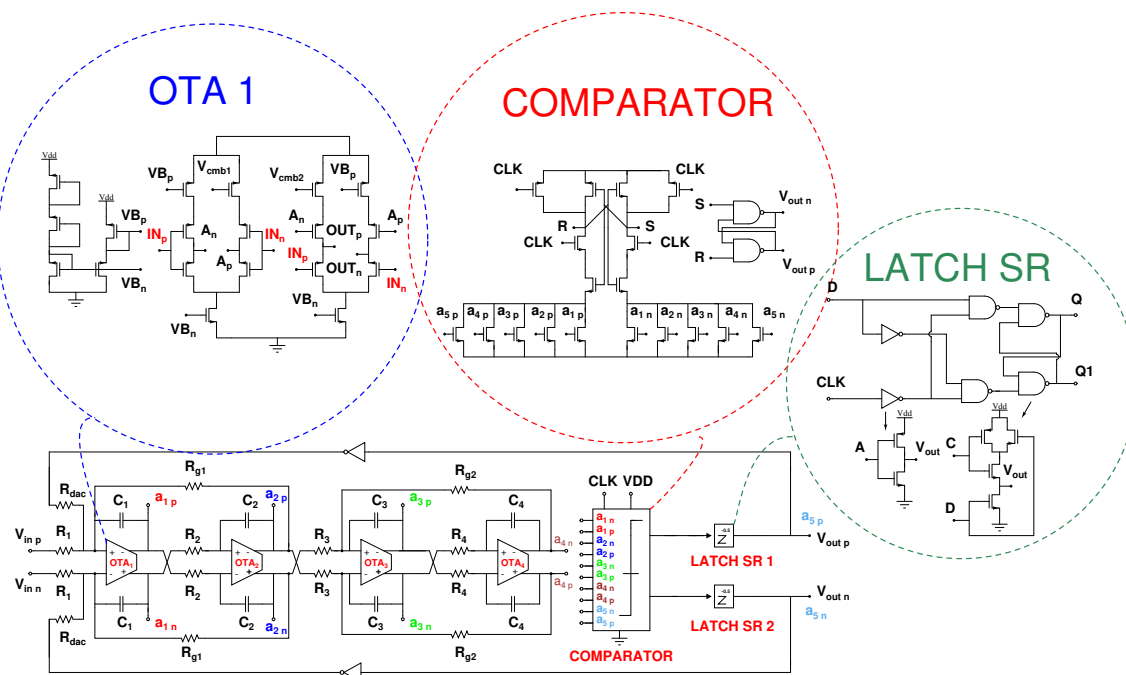
É importante observar que, quanto maior o valor desses coeficientes, maior será o valor dos capacitores necessários. No restante do capítulo, foi exibido de forma conceitual o uso do OTA em VerilogA, juntamente com os valores aplicados para as simulações. Neste contexto, também foram demonstrados os códigos em VerilogA do comparador e da Latch SR empregados neste trabalho. Por fim, avaliou-se o desempenho do Modulador Sigma-Delta empregando dispositivos ideais. O resultado alcançado a partir da simulação foi de 20,45 bits de ENOB, muito semelhante aos resultados alcançados no software *MATLAB*. No próximo capítulo, será apresentada com maior clareza a implementação elétrica do modulador com a presença de elementos reais.

5 IMPLEMENTAÇÃO DO MODULADOR EM NÍVEL ELÉTRICO

Nesta seção, é apresentada a implementação elétrica do Modulador Sigma-Delta em tempo contínuo com componentes reais como capacitores, resistores, comparadores e os OTAS em nível de transistor. A investigação abrange dois tipos de comparadores empregados neste projeto: o comparador de somas ativas e o comparador de somas passivas, ambos desenvolvidos e implementados especificamente para este estudo. Inicialmente, detalha-se o Modulador Sigma-Delta de tempo contínuo que utiliza o comparador de somas ativas embutida no comparador.

Esse esquema representa a primeira etapa dos resultados alcançados, destacando a implementação e o desempenho do comparador ativo no contexto do Modulador Sigma-Delta. Em seguida, analisa-se o comparador de somas passivas, evidenciando as diferenças e vantagens de cada abordagem no projeto do Modulador Sigma-Delta. Essa introdução visa fornecer uma visão abrangente dos componentes utilizados e das técnicas aplicadas no desenvolvimento do Modulador Sigma-Delta em tempo contínuo, ressaltando a importância de cada elemento para o desempenho e a eficiência do sistema. A Figura 45 apresenta o esquemático elétrico do modulador.

Figura 45 – Esquemático elétrico do Modulador Sigma-Delta.



Fonte: Autor

5.1 VALORES DOS RESISTORES DE ENTRADA E O IMPACTO NO MODULADOR

Nesta seção, são demonstrados os valores dos resistores de entrada do Modulador Sigma-Delta de tempo contínuo, com foco na avaliação de seu impacto no desempenho do modulador e a aplicação de uma estratégia para mitigar as não idealidades presentes. Entre

os principais fatores a serem considerados no resistor de entrada, estão o ruído térmico, o ruído *flicker*, as variações do processo de fabricação e a capacitância parasita, que é capaz de introduzir um polo dominante no sistema (WEISS; MATHIS, 1999). Vale destacar que a interação com outros componentes adicionados ao erro de quantização também desempenha papéis significativos nessa variação.

Neste trabalho foram utilizados resistores de polisilício. Os resistores de polisilício são amplamente utilizados em circuitos de precisão, como ADCs Sigma-Delta, devido à sua estabilidade, alta precisão e compatibilidade com processos CMOS, características essenciais para o desempenho desses circuitos. Dessa forma, são considerados os parâmetros dos resistores de entrada feitos de polisilício, um material amplamente aplicado em circuitos VLSI. Conforme apresentado por (CHUANG et al., 2003), é crucial observar que os valores escolhidos para esses resistores podem provocar harmônicas de segunda e terceira ordem devido a não linearidade do resistor. Ou seja, o seu comportamento pode variar com mudanças na temperatura, tensão de entrada e frequências de operação, afetando assim o desempenho do circuito (IZPURA, 2008). O comportamento do resistor de entrada pode ser verificado na equação 5.1

$$R = \rho \cdot \frac{L}{A} \quad (5.1)$$

Observa-se que R é o valor do resistor; ρ_s é a resistividade do material (nesse caso, o polisilício); L é o comprimento do resistor; e A é a área. A relação entre essas variáveis mostra que, quanto maior a área, menor é a resistência (JEVTIC; STANIMIROVIC; MRAK, 1999). No entanto, essa relação pode impactar o leiaute do circuito, o que permite encontrar ponto de equilíbrio ideal entre área e resistência (RAZAVI, 2016). A área transversal do resistor pode ser expressa como o produto da largura W pela altura H do material, assim, é possível derivar uma relação como mostrado na equação 5.2.

$$R_{gate} = \rho_s \cdot \frac{L}{W \cdot H} \quad (5.2)$$

O valor $R_{gate} \approx R_{seg}$ e, com isto, podemos expressar R_{seg} em termos de resistência do segmento de polisilício. Dessa forma, é possível exibir uma nova relação entre os termos, conforme apresentado na equação 5.3

$$R_{Seg} = R_s \cdot \frac{L}{W} \quad (5.3)$$

Nesse contexto, o termo L reproduz o comprimento e W , a largura do resistor, e a resistência específica do material é determinada pela resistividade. Com isso, é possível relacionar os parâmetros S e M para se obter uma expressão abrangente (BEEV, 2022), conforme apresentado na equação 5.4.

$$R = \frac{S \cdot R_{seg}}{M} \quad (5.4)$$

O objetivo do estudo é mapear os valores dos resistores de entrada, variando os parâmetros W e L , e explorar o impacto de diferentes resultados para os segmentos S e múltiplos

M. O parâmetro S refere-se ao número de segmentos em que o resistor é dividido, permitindo ajustes mais precisos e refinados na resistência de entrada. Já o parâmetro M indica o número de resistores em paralelo, possibilitando a combinação de resistências para alcançar o valor desejado. Para realizar esta investigação, foram selecionados três valores distintos para W e L, possibilitando uma avaliação detalhada das diferentes configurações e seus efeitos no desempenho dos resistores. Os resultados alcançados para cada etapa estão apresentados na Tabela 9.

Tabela 9 – Variação dos parâmetros W e L e análise de S e M para o resistor de entrada do Modulador Sigma-Delta.

W = 600 nm L = 4.5 μm			W = 1.21 nm L=10 μm			W = 2.4 nm L = 20.8μm		
S	M	ENOB	S	M	ENOB	S	M	ENOB
5	1	14,012	5	1	15,59	5	1	17,12
10	2	16,03	10	2	17,51	5	2	18,94
20	4	17,93	20	4	17,57	20	4	20,43
40	8	19,59	40	8	19,74	40	8	SAT
50	10	19,73	50	10	20,33	50	10	SAT
60	12	20	60	12	20,16	60	12	SAT
80	16	20,29	80	14	20,27	80	14	SAT
95	19	20,25	95	19	SAT	95	19	SAT
100	20	20,24	100	20	SAT	100	20	SAT

Fonte: Autor.

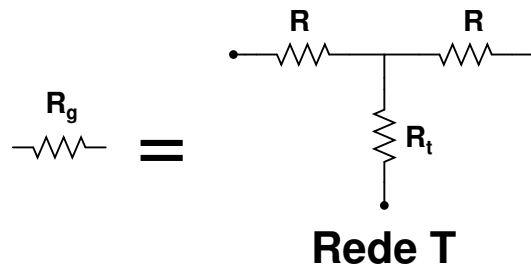
Para avaliar o impacto da implementação do resistor de entrada, foram realizadas simulações do modulador com os demais blocos modelados em VerilogA. Essa abordagem facilitou um rápido estudo dos resultados, em que se constatou o surgimento de harmônicas ao alterar os valores de S (número de segmentos) e M (múltiplos). Com o aumento dos valores de S e M, observou-se uma redução nas harmônicas, atribuída ao aumento do ENOB. No entanto, esse ajuste também resultou em um aumento da área ocupada pelo circuito devido aos valores mais elevados de S e M.

Os valores utilizados na concepção deste projeto foram definidos como W = 600 nm e L = 4,5 μ m com S = 50 segmentos e M = 10 múltiplos. Esses parâmetros foram aplicados no circuito empregando-se componentes reais, desejando otimizar o desempenho do resistor de entrada no Modulador Sigma-Delta.

5.2 CÁLCULO DO RESISTOR DA REDE T

Nesta seção é apresentado o memorial de cálculo que foi empregado para alcançar os valores dos resistores R_g em nível elétrico para o Modulador Sigma-Delta, e esses resultados são responsáveis por otimizar o aparecimento de zeros na função de transferência. A Figura 46 expressa o esquemático elétrico do circuito referente a conexão dos resistores do tipo T.

Figura 46 – Modelagem dos resistores reais em rede T no Modulador Sigma-Delta.



Fonte: Autor

Ao combinar o cálculo dos resistores R_g em um circuito qualquer, será obtido o arranjo de resistores do tipo T, uma técnica amplamente empregada em circuitos elétricos (AZIZ; POOLE; ALEXANDER, 2010). Esse arranjo envolve definir os valores dos resistores R_1, R_2 e R_3 , de forma que sejam capazes de reduzir o valor dos resistores R_g (GRAY et al., 2009). A resistência equivalente de uma rede T pode ser calculada conectando uma fonte de tensão V entre dois terminais e determinando a corrente I que passa pelo circuito (BAKER, 2010a), conforme é apresentada na equação 5.5.

$$R_T = \frac{V}{I} \quad (5.5)$$

A Figura 46 apresenta ramo horizontal, onde estão os resistores R_1 e R_2 , e no ramo vertical o resistor R_3 . Manipulando-se a relação de resistores em série e paralelo, é possível alcançar uma relação global que rege esses elementos, conforme é apresentada na equação 5.6.

$$R_{eq} = R_3 + \frac{R_1 \cdot R_2}{R_1 + R_2} \quad (5.6)$$

Considera-se que os valores de R_1 e R_2 correspondem à relação de resistores em paralelo que define o resistor R_g . Assim, é permitido que seja possível apresentar esta relação de outra forma, conforme é apresentada na equação 5.7.

$$\frac{1}{R_g} = \frac{1}{R_1} + \frac{1}{R_2} \quad (5.7)$$

Reescrevendo a equação 5.7 com base nesses parâmetros, é possível manipular algebricamente os termos R_g, R_1 e R_2 e, assim colher uma nova relação que rege esses termos, conforme é apresentado na equação 5.8.

$$R_g = \frac{R_1 \cdot R_2}{R_1 + R_2} \quad (5.8)$$

É preciso considerar que, como se trata de uma análise empírica, esses parâmetros são vinculados como sendo variáveis de projetos (DÖRFLER; SIMPSON-PORCO; BULLO, 2018). O resultado atribuído à resistência de R_1 e R_2 é uma escolha livre, e utilizou-se o valor desses resistores iguais a $450\text{ k}\Omega$ para o R_{g1} de $300\text{ k}\Omega$ para R_{g2} . Dessa maneira, é possível atribuir algumas relações, conforme é apresentado na equação 5.9.

$$\begin{aligned} R_3 &= R \\ R_1 &= R \\ R_2 &= R_g - 2 \end{aligned} \quad (5.9)$$

O valor de R_g é a resistência conhecida a partir dos valores dos resistores do circuito que está sendo analisado. Ademais, a parcela $R_g = R_2 + 2$ é atribuído como sendo a necessidade de ajuste ou compensação de algum fator presente no circuito, uma vez que o valor de R_g é adicionado como sendo uma combinação de resistores. Com intenção de atingir um comportamento específico, é comum atribuir uma constante que pode ser adicionada ou subtraída dos valores dos resistores.

Esse ajuste é necessário para compensar não-idealidades como variações no processo de fabricação, alterações na temperatura e resistências parasitas, por exemplo. Após medições práticas ou simulações, pode ser observado que a resistência R_g precisa ser ajustada para corresponder ao valor esperado – como o valor adicional de 2 unidades que pode ser necessário para alinhar a resistência ao valor desejado. Logo é possível dizer que o termo R_{eq} é igual ao R_T , conforme é apresentado na equação 5.10.

$$R_T = R + \frac{R \cdot (R_g - 2)}{R + R_g - 2} \quad (5.10)$$

A partir da equação 5.10, é possível aplicar algumas manipulações algébricas para simplificar o resultado: o valor de R é deslocado para esquerda, conforme é apresentado na equação 5.11.

$$R_T - R = \frac{R \cdot (R_g - 2)}{R + R_g - 2} \quad (5.11)$$

Conforme apresentado na equação 5.11, é necessário remover o seu denominador. Para isso, deve-se multiplicar ambos os lados da equação pelo termo $R + R_g - 2$ de modo a eliminá-lo, como ilustrado na equação 5.12.

$$(R_T - R) \cdot (R + R_g - 2) = R \cdot (R_g - 2) \quad (5.12)$$

Desse modo, fazendo a distribuição entre os elementos e multiplicando-se os parâmetros de $R_T - R$ em todo o lado esquerdo, é possível alcançar uma nova relação que rege esses elementos, conforme é apresentada na equação 5.13.

$$(R_T - R) \cdot R + (R_T - R) \cdot R_g - 2 \cdot (R_T - R) = R \cdot (R_g - 2) \quad (5.13)$$

Após realizar as manipulações algébricas necessárias, deve-se fazer a multiplicação entre os termos e a equação novamente, reescrevendo-as, conforme é apresentado na equação 5.14.

$$R_T \cdot R + R_T \cdot R_g - R^2 - R \cdot R_g - 2 \cdot R_T + 2 \cdot R = R \cdot R_g - 2 \cdot R \quad (5.14)$$

Assim, o próximo passo é isolar o termo R_T , e para isso, é necessário reagrupar os valores presentes no lado esquerdo da equação e, em seguida, transferi-los para o lado direito, dividindo ambos os lados da equação, conforme ilustrado na equação 5.15.

$$R_T \cdot R + R_T \cdot R_g - 2 \cdot R_T = R \cdot R_g - 2 \cdot R + R^2 + R \cdot R_g \quad (5.15)$$

Ao combinar os resultados em termo a termo a partir da equação 5.15, é possível estabelecer uma nova relação entre eles, conforme é apresentado na equação 5.16.

$$R_T \cdot (R + R_g - 2) = R \cdot R_g - 2 \cdot R + R^2 + R \cdot R_g \quad (5.16)$$

Logo, é possível isolar novamente o termo R_T , posicionando-o à esquerda da equação, conforme apresentado na equação 5.17.

$$R_T = \frac{R \cdot R_g - 2 \cdot R + R^2 + R \cdot R_g}{R + R_g - 2} \quad (5.17)$$

Deve-se juntar os valores que são termos semelhantes do numerador para, com isso, reescrever novamente a equação 5.17, conforme é apresentado na equação 5.18.

$$R_T = \frac{2 \cdot R \cdot R_g - 2 \cdot R + R^2}{R + R_g - 2} \quad (5.18)$$

Dessa forma, ao investigar os valores de R_g e R , percebe-se que, quando ambos são suficientemente grandes, o termo R^2 , apresenta-se como sendo o dominante na equação 5.18. Isso ocorre porque, sob essas condições, o valor de R é muito maior do que os outros termos ajustáveis presentes na equação 5.18.

Os termos ajustáveis pertencem aos padrões que podem ser modificados para ajustar o comportamento do circuito, como os parâmetros R_1 , R_2 e R_g . Logo, se o resultado de R é um valor muito maior do que todos os outros termos presentes, sua influência sobre o resultado final é predominante. Dessa maneira, os efeitos dos termos ajustáveis de valores menores podem ser considerados insignificantes em relação ao termo R^2 . Portanto, ao simplificar a equação 5.18, desconsideramos a contribuição dos termos menores para obter uma expressão final que representa, de forma mais precisa, o comportamento do sistema, como mostrado na equação 5.19.

$$R_T \approx \frac{R^2}{R_g - 2} \quad (5.19)$$

A equação 5.19 é amplamente empregada para calcular os valores de resistores da configuração do tipo T, pois permite reduzir os valores dos resistores empregados para a otimização dos zeros do Modulador Sigma-Delta, já que esses valores são da ordem de $M\Omega$,

Tabela 10 – Especificações dos resistores na configuração tipo T.

Parâmetro	Descrição	Valor	Unidade
R_1	Resistor no ramo vertical	450	k Ω
R_2	Resistor no ramo vertical	450	k Ω
R_3	Resistor no ramo horizontal	1,65	k Ω
R_{g1}	Resistência R_{g1}	121,8	M Ω

Fonte: Autor.

Tabela 11 – Especificações dos resistores na configuração tipo T para R_{g2}

Parâmetro	Descrição	Valor	Unidade
R_1	Resistor no ramo vertical	300	k Ω
R_2	Resistor no ramo vertical	300	k Ω
R_3	Resistor no ramo horizontal	23,46	k Ω
R_{g2}	Resistência R_{g2}	4,8164	M Ω

Fonte: Autor.

conforme apresentado no resistor R_{g1} que é de 121,5 M Ω e para o resistor R_{g2} que é de 4,81 M Ω . A seguir, será demonstrada uma Tabela 10 referente aos valores adquiridos a partir da equação 5.19 para o parâmetro R_{g1} .

Em seguida, são exibidos os resultados alcançados para os valores de R_{g2} . Esses resultados foram colhidos aplicando-se o memorial de cálculo, visando determinar os valores necessários para o resistor R_{g2} , conforme é apresentado na Tabela 11.

Portanto, essa abordagem será particularmente vantajosa, na prática, especialmente durante o processo de projeto e leiaute dos resistores em circuitos integrados. A redução significativa dos valores dos resistores, atingida por meio da técnica da rede T, contribui para a otimização e eficiência do design dos circuitos.

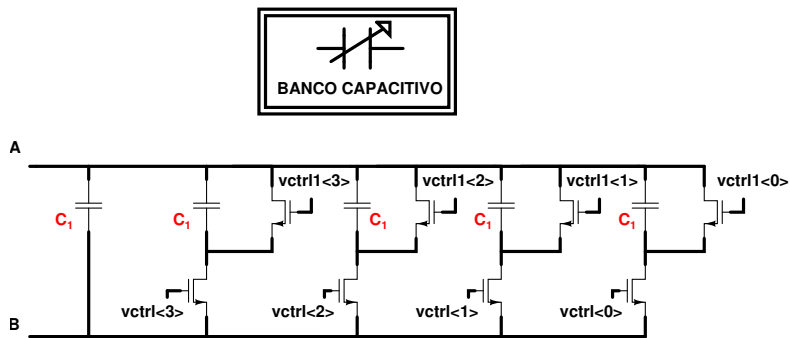
5.3 CÁLCULO DOS VALORES DOS CAPACITORES REAIS

Os capacitores dos integradores foram projetados com bancos capacitivos. Estes foram projetados para possibilitar uma variação de $\pm 30\%$ da capacitância nominal (AGUIRRE et al., 2020). A Figura 47 apresenta o esquemático da implementação elétrica dos capacitores. Os capacitores empregados são do tipo MiM (metal-isolante-metal). O banco capacitivo possui um capacitor fixo (composto por 17 capacitores unitários) e 4 capacitores de pesos binários controlados digitalmente por 4 bits de controle ($V_{ctrl<3:0>}$).

O capacitor do primeiro integrador é de 5,25 pF. Ele é implementado com associação de capacitores unitários conforme apresentado na Tabela 12.

Para o segundo integrador do modulador utilizou-se um capacitor com um valor de 500 fF, fornecendo uma visão clara das características e ajustes necessários para sua implementação no projeto. Os parâmetros detalhados desse componente estão exibidos na Tabela 13.

Figura 47 – Representação dos capacitores reais utilizados no Modulador Sigma-Delta.



Fonte: Autor

Tabela 12 – Especificações dos capacitores utilizados no Modulador Sigma-Delta.

Elemento	Capacitor ideal (pF)	Capacitor unitário (fF)	Largura W (μm)	Comprimento L (μm)	Múltiplos
Capacitor	5,25	210	18,5	1	1

Fonte: Autor.

Tabela 13 – Especificações dos capacitores aplicados no Modulador Sigma-Delta.

Elemento	Capacitor ideal (fF)	Capacitor unitário (fF)	Largura W (μm)	Comprimento L (μm)	Múltiplos
Capacitor	500	20	4	4	1

Fonte: Autor.

Os capacitores do terceiro e quarto integrador possuem valores de 1 pF cada, e os detalhes sobre sua implementação estão exibidos na Tabela 14.

Tabela 14 – Especificações dos capacitores aplicados no Modulador Sigma-Delta.

Elemento	Capacitor ideal (pF)	Capacitor unitário (fF)	Largura W (μm)	Comprimento L (μm)	Múltiplos
Capacitor	1	39,9854	5,9	5,9	1

Fonte: Autor.

Nesse contexto, a Tabela 15 exibe o tamanho dos transistores empregados como chaves no controle dos bancos de capacitores empregados neste trabalho. Esses transistores são fundamentais para a seleção e ajuste dos capacitores, assegurando uma configuração precisa e eficiente do circuito.

Tabela 15 – Valores dos transistores MOS empregados nas chaves de controle do banco de capacitores.

Transistor PMOS para V_{ctrl1}		Transistor NMOS para V_{ctrl}		Múltiplos
W (μm)	L (μm)	W (μm)	L (μm)	
2,0	0,6	2,0	0,6	1

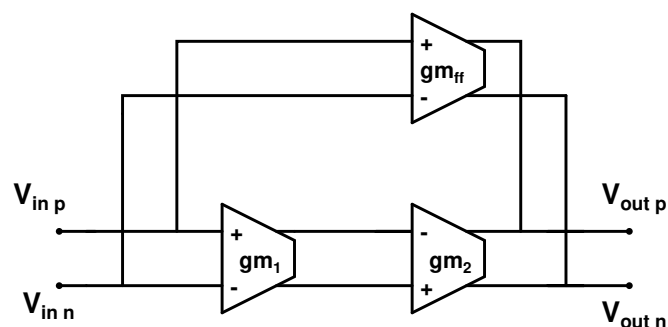
Fonte: Autor.

5.4 PROJETO DOS OTAS

O amplificador operacional de transcondutância (OTA) é considerado um dos blocos mais importantes do Modulador Sigma-Delta. Ele deve obter um elevado ganho de tensão, alta largura de banda e linearidade suficientes para permitir integração de sinal adequada (MANIVANNAN; PAVAN, 2018). Além disso, é necessário um ruído referido a entrada reduzido no OTA do primeiro integrador.

Para atender a todos esses requisitos e, ao mesmo tempo, ser eficiente em termos de energia os OTAs utilizados no projeto do modulador são de dois estágios com realimentação em avanço, conforme ilustrado na Figura 48. A decisão de adotar essa topologia foi fundamentada nos requisitos do projeto em desenvolvimento. A escolha desse OTA baseou-se na versatilidade que a topologia oferece em relação às demais. Segundo (MARTINEZ; GARCIA, 2019), é amplamente utilizada devido à sua capacidade de proporcionar uma resposta dinâmica superior e um controle refinado sobre o ganho e a largura de banda B_w , aspectos essenciais em muitas aplicações de amplificação de sinais analógicos.

Figura 48 – Diagrama simplificado de um amplificador de dois estágios com compensação em avanço.



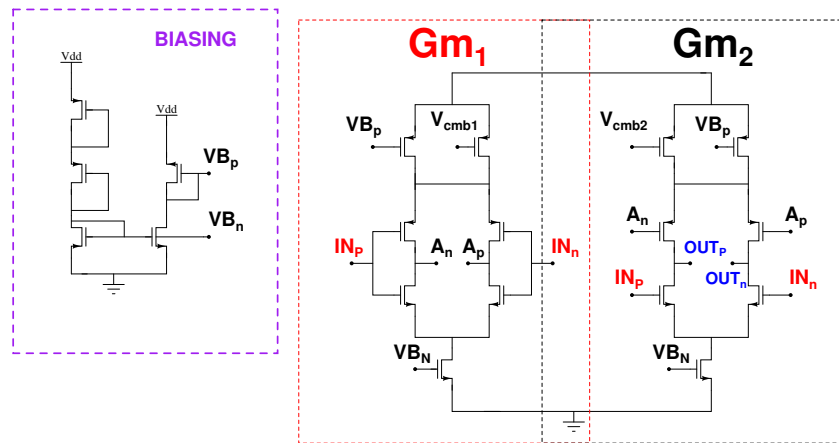
Fonte: Autor

O esquemático elétrico do OTA de dois estágios projetado neste trabalho é apresentado na Figura 49. Ele é composto de dois estágios em cascata (g_{m1} e g_{m2}). O estágio g_{m3} é implementado juntamente com o estágio g_{m2} , similar ao apresentado em (THEERTHAM; GANTA; PAVAN, 2022a).

O primeiro estágio é implementado com um amplificador baseado em inversores CMOS

para maximizar a eficiência de transcondutância. O segundo estágio e o estágio em avanço são implementados com reutilização de corrente. A abordagem de reutilização de corrente é a estratégia-chave para reduzir a dissipação de energia do OTA, uma vez que g_{m2} e g_{m3} compartilham a mesma corrente de polarização DC (RAZAVI, 1998). Os pares diferenciais do segundo estágio e do estágio em avanço são dimensionados para operar no nível de inversão moderado para atingir uma relação g_m/I_D melhorada, o que contribui para a eficiência de energia OTA.

Figura 49 – Circuito referente aos amplificadores operacionais reais.

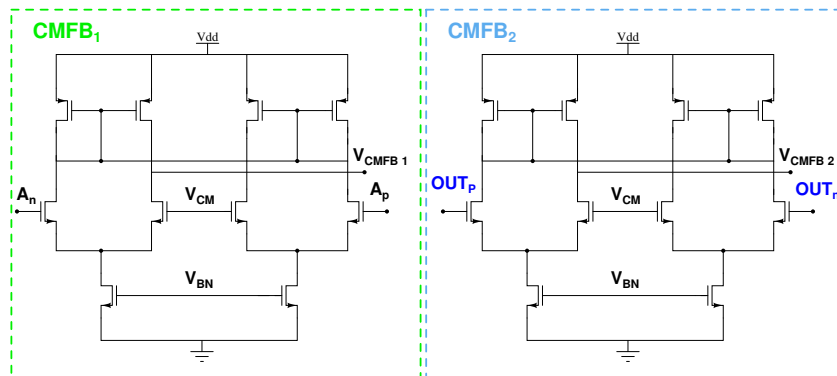


Fonte: Autor

Todas as correntes de dreno do transistor são geradas pelo estágio de polarização, que fornece as tensões VB_P e VB_N espelhando o nível de corrente de polarização externa em cada um dos ramos OTA.

A compensação de modo comum é efetuada de modo independente em cada estágio. Os circuitos de controle de modo comum de cada estágio são exibidos na Figura 50. Os circuitos de controle de modo comum (CMFB) são baseados em amplificadores de diferenciais de diferenças (DDA) (PAVAN; SHIBATA, 2021). Os circuitos foram cuidadosamente projetados para garantir a estabilidade da malha de realimentação de modo comum.

Figura 50 – Circuito de CMFB.

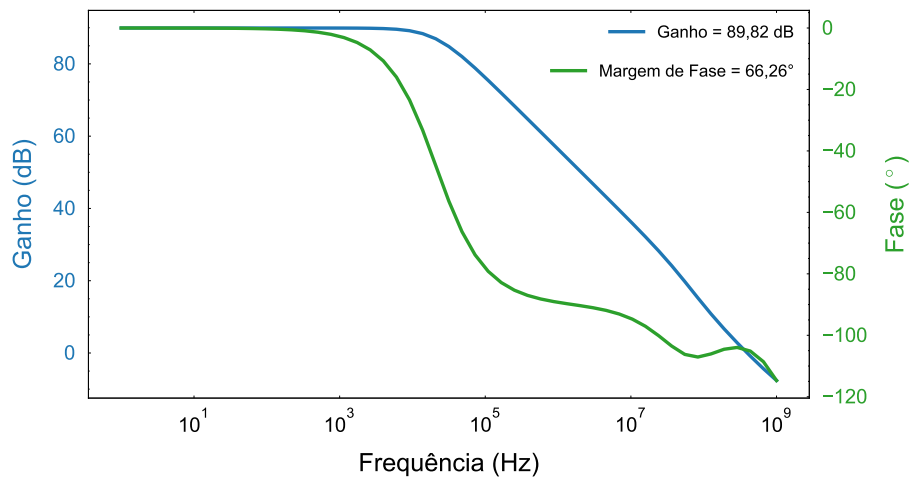


Fonte: Autor

5.4.1 RESULTADOS DE SIMULAÇÃO DOS OTAS

A Figura 51 apresenta a resposta em frequência do OTA do primeiro integrador (OTA_1) em condições nominais, destacando o ganho e a margem de fase, críticos para o desempenho do Modulador Sigma-Delta de tempo contínuo. A carga do primeiro OTA é a própria capacitância de integração, igual a 5,25 pF.

Figura 51 – Resultado obtidos para o ganho e de fase do OTA_1 .



Fonte: Autor

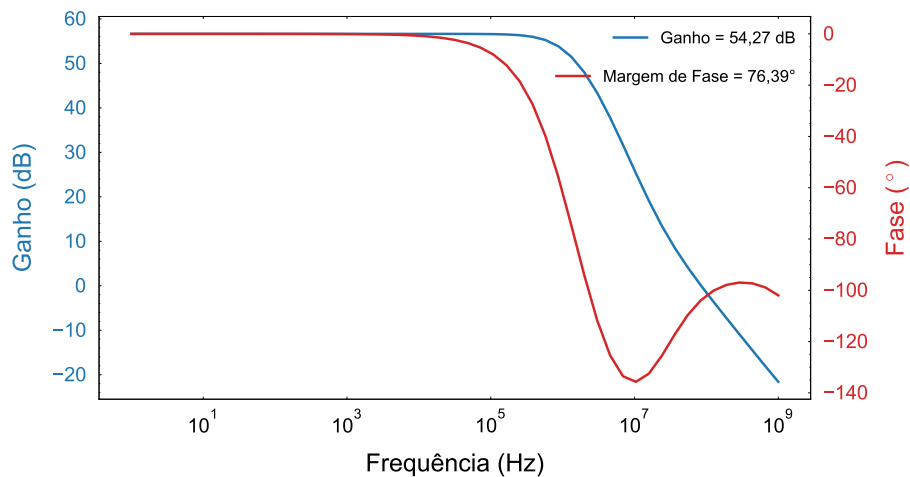
O estudo revelou que o OTA_1 possui um ganho de 89,82 dB e uma margem de fase de 66,26°. O ganho de 89,82 dB demonstra a capacidade do amplificador alterar sinais de entrada de baixa intensidade de forma significativa, o que é essencial com o propósito de garantir a precisão do Modulador Sigma-Delta. A margem de fase de 66,26° indica uma resposta estável em frequência, sugerindo que o amplificador tende a operar de forma estável, evitando atraso de fase, provocando oscilações ou ressonâncias indesejadas.

Os OTAs do segundo, terceiro e quarto integrador são versões escalonadas do OTA do primeiro integrador visando a redução do consumo de energia do circuito. Estes foram projetados considerando uma capacitância de carga de 1 pF. A Figura 52 apresenta os resultados de ganho e margem de fase dos OTAs 2, 3 e 4, e nessa simulação, foi alcançado um valor de ganho de 54,27 dB, significativamente menor em comparação ao OTA 1, e com um resultado de fase igual a 76,39°.

5.5 PROJETO DOS ESPELHOS DE CORRENTE

O espelho de corrente é amplamente empregado em circuitos analógicos e circuitos integrados (MONIKA; MITTAL, 2021), pois permite replicar a corrente de entrada com precisão para estágios subsequentes, assegurando-se então um controle mais eficiente. Assim, utilizando-se a configuração em cascode, torna-se melhor a precisão e a estabilidade do circuito, minimizando o efeito Early e aumentando a impedância de saída (RAZAVI, 2016).

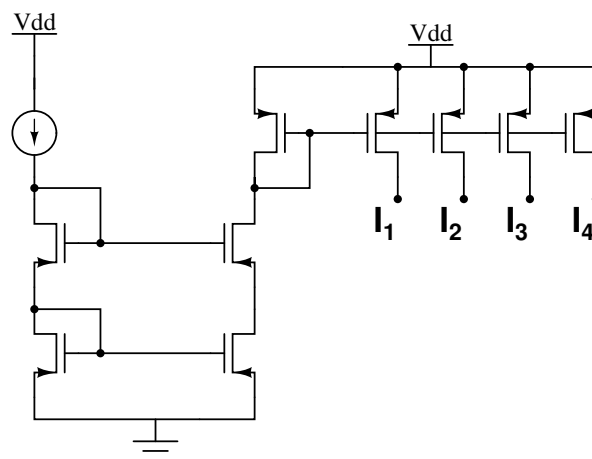
Figura 52 – Resultados obtidos para o ganho e da fase do OTA_2 , OTA_3 e OTA_4 .



Fonte: Autor

Neste projeto empregou-se uma corrente de polarização I_{bias} com valor igual a $20 \mu A$, na qual se faz presente nos quatro OTAs empregado neste trabalho. A Figura 53 apresenta o espelho de corrente que fornece a corrente de referência aos quatro OTAs do modulador.

Figura 53 – Esquemático elétrico referente aos espelhos de correntes.



Fonte: Autor

A Tabela 16 apresenta os parâmetros dos transistores NMOS e PMOS que foram usados no circuito. Os valores de largura (W) e comprimento (L) são direcionados aos transistores PMOS e NMOS, e esses parâmetros foram escolhidos para garantir a precisão e eficiência do circuito, com uma configuração específica de $3,6 \mu m$ de W para o PMOS e $5 \mu m$ de W para o NMOS, ambos com comprimentos de $2 \mu m$ de L para o PMOS e $5 \mu m$ de L para o NMOS.

Tabela 16 – Parâmetros dos transistores NMOS e PMOS.

Transistor PMOS		Transistor NMOS		Múltiplos
W (μm)	L (μm)	W (μm)	L (μm)	
3,6	2	5	5	1

Fonte: Autor.

5.6 PROJETO DO COMPARADOR REAL

Nesta seção, será abordado o projeto de dois tipos de comparadores desenvolvidos e projetados ao longo do trabalho, os quais têm como principal diferença o fato de o primeiro realizar a soma dos coeficientes de forma ativa, enquanto o segundo comparador realiza a soma de forma passiva – Ambos os comparadores usam a topologia StrongARM, que é bem consolidada na literatura. Embora a topologia StrongARM seja capaz de introduzir um erro de offset significativo, esse erro não representa um problema crítico para os Moduladores Sigma-Delta, uma vez que é atenuado pelos estágios dos integradores. Logo, essa topologia é adequada para o projeto de comparadores em Moduladores Sigma-Delta, proporcionando um bom equilíbrio entre desempenho e complexidade.

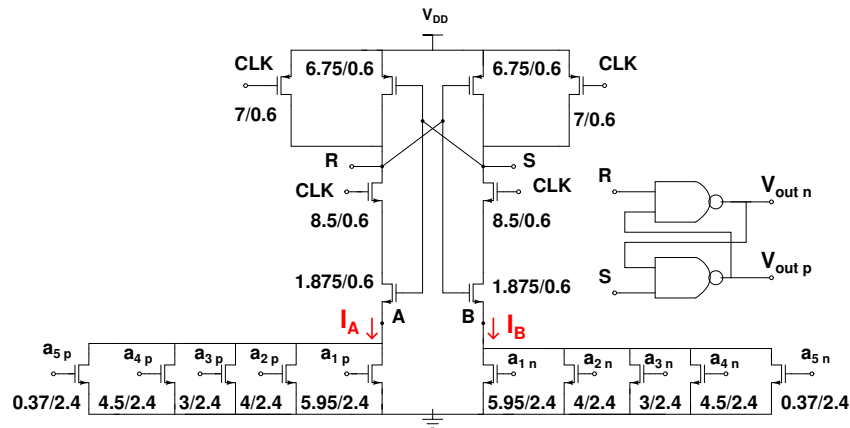
5.6.1 PROJETO DO COMPARADOR DE MÚLTIPLAS ENTRADAS PARA SOMA ATIVA

Para calcular os valores do comparador ativo, serão apresentados o funcionamento e a modelagem do comparador, que envolvem vários passos e investigações sobre seu comportamento. Segundo (ZHANG et al., 2011), o comparador de múltiplas entradas utilizado no projeto, possui 10 entradas, sendo cinco do tipo p e cinco do tipo n , e essas entradas estão interligadas aos estágios dos integradores do modulador e ao caminho rápido de compensação de ELD. Os coeficientes associados a essas entradas são a_1, a_2, a_3, a_4 e a_5 , cada um representando um valor distinto. O esquemático elétrico do comparador de somas ativas é apresentado na Figura 54.

Os pesos dos avanços já foram calculados anteriormente, e devem ser substituídos por valores de transistores. Assim, cada termo terá um valor de largura W igual ao seu respectivo coeficiente, preservando o mesmo resultado de comprimento L para todos os avanços.

O comparador de múltiplas entradas opera na seguinte maneira: quando o clock está em GND, o comparador está na fase de reset, e suas saídas R e S devem estar em VDD e são direcionadas para os nós representados pelas letras A e B até GND. Logo, quando o clock muda para VDD, o comparador é ativado. De acordo com (ZHANG et al., 2011), devido às pequenas variações na saída do integrador e à baixa tensão de limite V_{th} , os transistores $V_{a1} - V_{a5}$ trabalham na região linear, e com isso as correntes nos nós A e B podem ser modeladas conforme apresentado na equação 5.20.

Figura 54 – Características elétricas do comparador ativo de múltiplas entradas.



Fonte: Autor

$$I_A = \sum_{A=1}^5 I_A = \mu_n C_{ox} \sum_{A=1}^5 \frac{W_a}{L} (V_{0A} - V_{TH} - \frac{V_A}{2}) \cdot V_A \quad (5.20)$$

Dessa forma, é possível fazer o mesmo estudo empregado as leis de Kirchhoff para o nó B (ZHANG et al., 2011), conforme é apresentado na equação 5.21

$$I_B = \sum_{B=1}^5 I_B = \mu_n C_{ox} \sum_{B=1}^5 \frac{W_b}{L} (V_{0B} - V_{TH} - \frac{V_B}{2}) \cdot V_B \quad (5.21)$$

Logo, como se trata de múltiplas entradas diferenciais e fazendo a diferença entre I_A e I_B é possível alcançar uma relação comum a esses dois termos, conforme apresentado na equação 5.22

$$I_x - I_y = \frac{\mu_o C_{ox} V_X}{L} \sum_{i=1}^5 W_i \cdot V_{0i} \quad (5.22)$$

Assim, é possível expressar o termo $V_{io} = V_{oA} - V_{oB}$ como sendo o resultado dos sinais diferenciais das saídas dos N-integradores presentes no circuito. O comparador detecta essa diferença e amplifica suas saídas para todos os níveis lógicos, e esse processo de amplificação pode ser ajustado variando as proporções das larguras dos canais dos transistores, para satisfazer a equação 5.23.

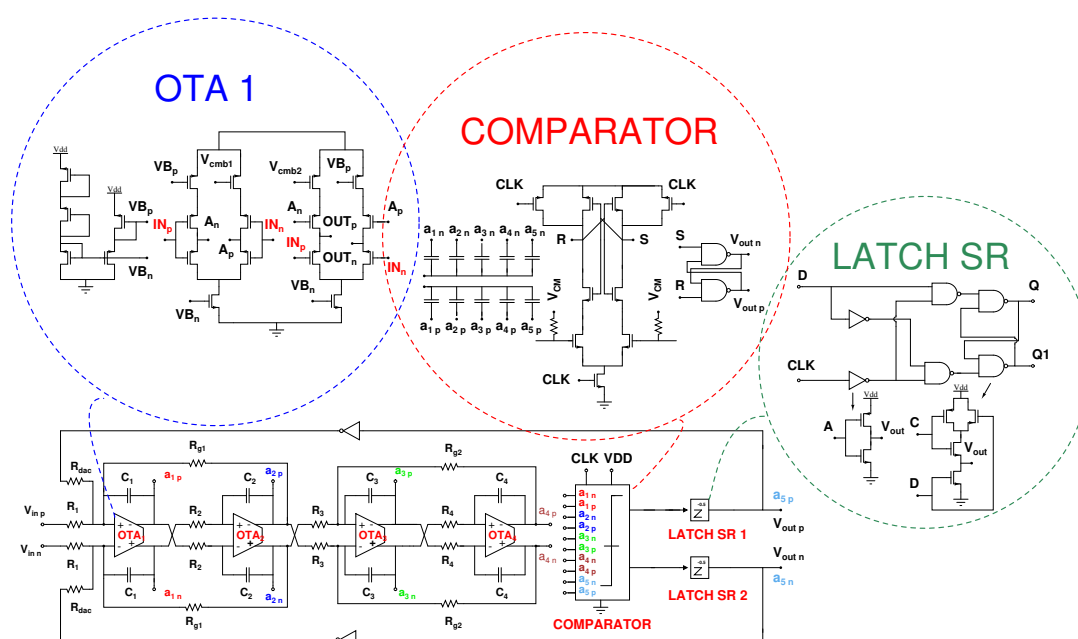
$$a_1 : a_2 : a_3 : a_4 : a_5 = 5,95 : 4 : 3 : 4,5 : 0,37 = W_1 : W_2 : W_3 : W_4 : W_5 \quad (5.23)$$

Na prática, os transistores de entrada do comparador são projetados para operar na região linear. No entanto, variações nas tensões de limiar V_{th} e oscilações na saída do integrador podem ocasionalmente fazer com que esses transistores operem fora da região linear, introduzindo erros nos coeficientes.

5.6.2 PROJETO DO COMPARADOR DE MÚLTIPLAS ENTRADAS COM SOMAS CAPACITIVAS

Nesta seção, será apresentada a implementação elétrica do Modulador Sigma-Delta utilizando comparadores com somas passivas, conforme ilustrado na Figura 55. A principal diferença em relação ao circuito exibido na Figura 45 é que esse comparador realiza a soma dos coeficientes de forma passiva, empregando-se capacitores com pesos específicos. Desse modo, cada peso dos coeficientes de avanço corresponde a um valor específico de capacitor, o que permite a realização da soma passiva no circuito.

Figura 55 – Esquemático elétrico do Modulador Sigma-Delta.



Fonte: Autor

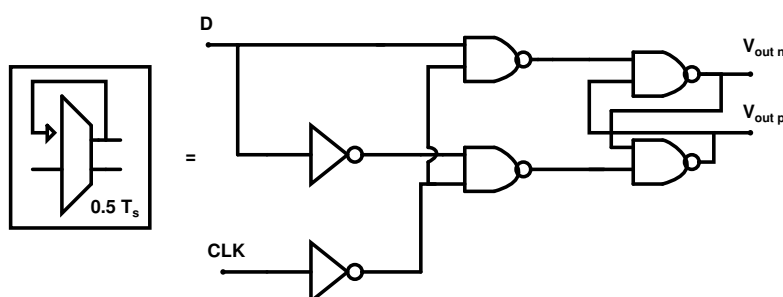
De acordo com (THEERTHAM; GANTA; PAVAN, 2022b), o quantizador de 1 bit é utilizado juntamente com a topologia StrongArm, visto que a saída é mantida ao longo de todo o intervalo de tempo do clock da latch RS. Ademais, utilizou-se o mesmo circuito e valores para a latch do comparador de somas ativas, com a finalidade de preservar a operação, já que o mesmo exibirá a mesma resposta. Dessa maneira, é feita uma adaptação em comparação ao comparador de soma ativa, em que essa metodologia é mais compacta, reduzindo o tamanho dos capacitores empregados, o que, por sua vez, diminui a carga dos integrados do filtro de laço. A atenuação causada pela soma capacitiva e pela capacitância parasita de entrada da latch SR é minimizada, dado que a saída do quantizador depende exclusivamente do sinal presente em sua entrada.

A Figura 56 ilustra o esquemático elétrico do circuito do comparador utilizado detalhando o valor dos capacitores que efetuam a soma passiva. Salienta-se que os sinais a serem somados são aplicados nos capacitores de pesos ponderados. Para efetuar a polarização do par diferencial do comparador são empregados transistores PMOS em corte conectados em V_{cm} .

5.8 PROJETO DA LATCH TIPO D

No circuito do Modulador Sigma-Delta, é preciso garantir um atraso de meio ciclo de clock devido a compensação de ELD. De acordo (SCOTTI et al., 2017), a melhor escolha para tal função é da latch do tipo D. A latch do tipo D difere do latch-SR, que é sensível ao nível por conta da inclusão de uma porta inversora entre as entradas S e R. Dessa forma, devido ao atraso inerente à porta *NOT*, e possível garantir que as entradas S e R não serão 1 ao mesmo tempo, desse que a porta de *ENABLE* esteja desabilitada. O esquemático elétrico da latch D utiliza neste trabalho é apresentada na Figura 58.

Figura 58 – Implementação em nível elétrico da latch tipo D.



Fonte: Autor

A Tabela 18 apresenta o tamanho dos transistores utilizados no projeto das portas lógicas empregadas.

Tabela 18 – Parâmetros dos transistores NMOS e PMOS.

Transistor	Valor W	Valor L	Múltiplos
NMOS	1,20 μm	600 nm	1
PMOS	2,40 μm	600 nm	1

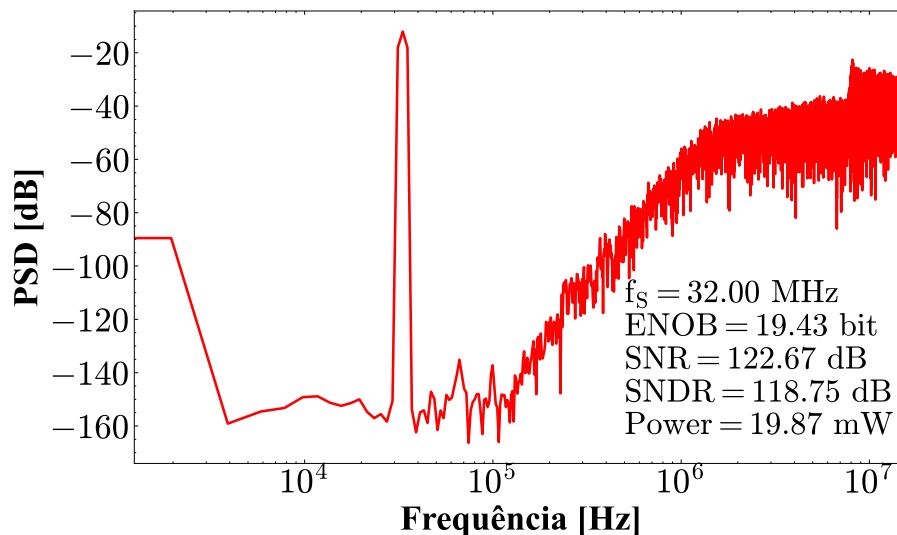
Fonte: Autor.

5.9 RESULTADOS DO MODULADOR EMPREGANDO COMPARADOR DE SOMAS ATIVAS

Nesta seção, são apresentados os resultados obtidos para o Modulador Sigma-Delta de quarta ordem em tempo contínuo, utilizando a topologia de comparador com somas ativas. Esses resultados são fundamentais para avaliar o desempenho dessa arquitetura. O ENOB alcançado com as somas ativas foi de 19,43 bits, enquanto os valores registrados para SNR e SNDR foram de 122,67 dB e 118,75 dB, respectivamente. Além disso, foi verificado o consumo total de potência do modulador, que atingiu 19,87 mW. A simulação foi realizada em um período de 512,625 μs , sem a presença de ruído, utilizando 16.384 pontos para a FFT.

Observa-se que os valores obtidos para o Modulador Sigma-Delta com elementos reais foram muito próximos daqueles alcançados com a modelagem em VerilogA. A Figura 59 apresenta o PSD da saída do modulador.

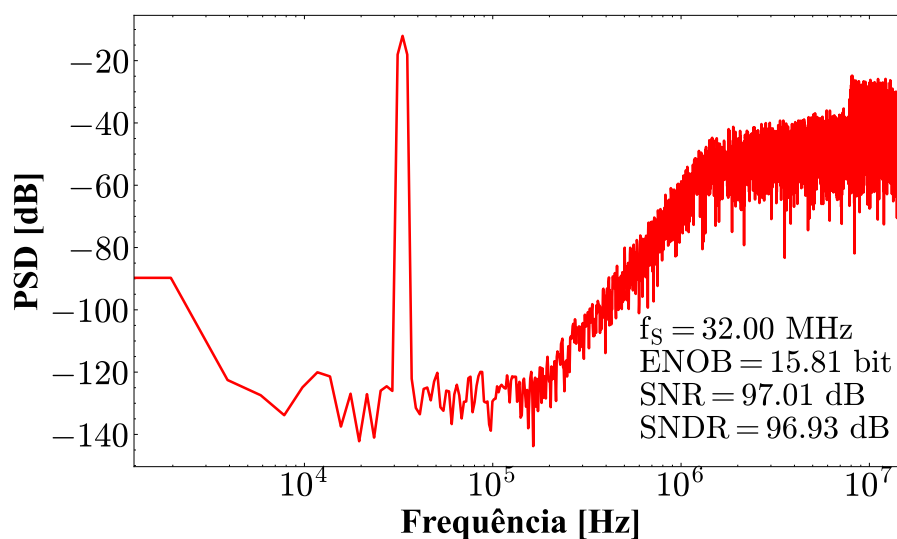
Figura 59 – PSD da saída do modulador.



Fonte: Autor

Portanto, é possível destacar a importância de realizar simulações com elementos ideais, uma vez que elas permitem obter uma estimativa precisa do projeto. Dessa forma, foi conduzida uma simulação com a inclusão de ruído, a fim de verificar o desempenho real do circuito do modulador. Nessa simulação, a frequência mínima de ruído foi setada em 1 mHz enquanto a frequência máxima de ruído foi setada em 10 vezes a frequência de amostragem, que, no projeto, é igual a 32 MHz. Os resultados dessa simulação com ruído são apresentados na Figura 60.

Figura 60 – PSD da saída do modulador considerando ruído.



Fonte: Autor

Observa-se que, com o incremento do ruído, o ENOB alcançado foi de 15,81 bits,

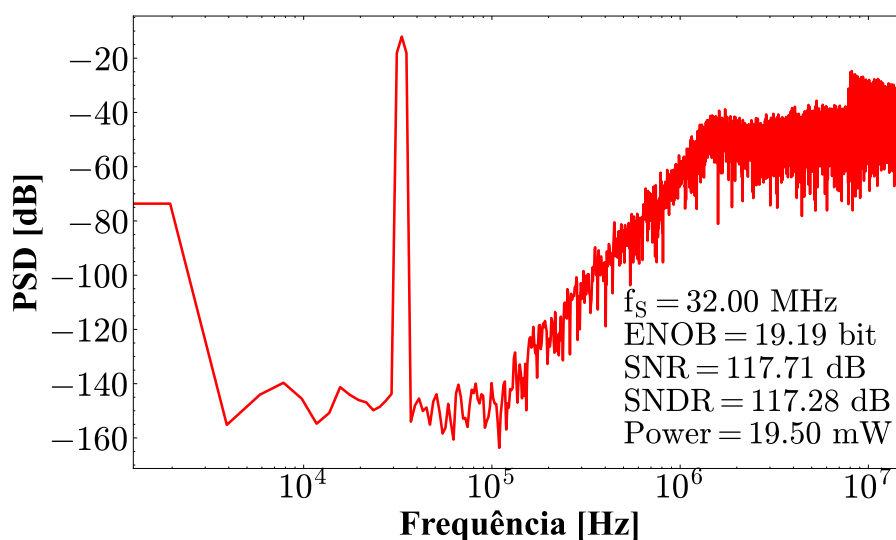
muito próximo com os resultados obtidos a partir do memorial de cálculo, tais resultado resalta a eficácia das rotinas descritas neste trabalho, uma vez que os resistores de entrada foram projetados para alcançar valores próximos a 16 bits. O valor obtido está muito próximo das curvas utilizadas para determinar os valores dos resistores e capacitores de entrada do modulador.

5.10 RESULTADOS DO MODULADOR COM COMPARADOR DE SOMAS PASSIVAS

Nesta seção, são apresentados os resultados obtidos com a utilização de comparadores de soma passiva, cuja principal diferença reside no emprego de capacitores para realizar a soma dos coeficientes de avanço. Os coeficientes de avanço foram substituídos por pesos ponderados correspondentes aos capacitores, que acompanham os avanços do modulador. Na Figura 61, é apresentado o PSD de saída do modulador para este comparador.

O ENOB alcançado com o comparador de somas passivas foi de 19,19 bits, com valores registrados de SNR e SNDR de 117,71 dB e 117,28 dB, respectivamente. Em relação ao consumo de potência, o resultado foi de 19,50 mW, valor muito próximo ao obtido com o comparador de somas ativas. Seguindo o mesmo procedimento, foi realizada uma simulação de ruído para o comparador de somas passivas, utilizando os mesmos parâmetros de simulação apresentados anteriormente. Essa simulação com ruído do modulador apresentou um desempenho muito semelhante a do modulador com soma ativa.

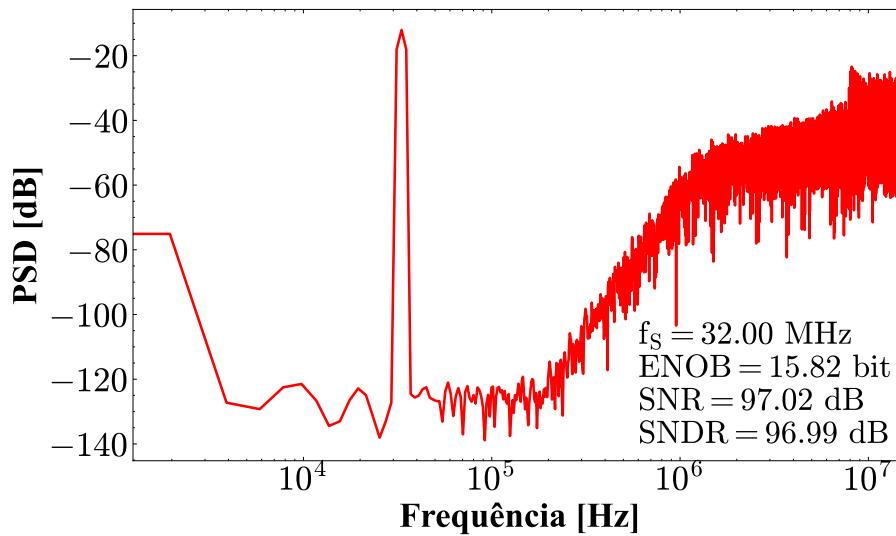
Figura 61 – PSD da saída do modulador.



Fonte: Autor

O ENOB foi bastante próximo ao valor esperado de 16 bits. Assim, esse resultado confirma a eficácia de ambas as abordagens, indicando que a soma passiva pode ser uma alternativa viável à soma ativa, sem comprometer o desempenho do circuito, validando a robustez do projeto do comparador em ambas as configurações, conforme é apresentado na Figura 62.

Figura 62 – PSD da saída do modulador considerando ruído.



Fonte: Autor

5.11 ANÁLISE COMPARATIVA DOS RESULTADOS

Nesta seção, é apresentada uma breve comparação dos resultados obtidos para o Modulador Sigma-Delta de quarta ordem, utilizando dois tipos de comparadores: um com somas ativas e outro com somas passivas. Os resultados para ambas as topologias são exibidos na Tabela 19.

Tabela 19 – Resultados referentes aos valores dos dois comparadores utilizados neste trabalho.

Parâmetro	Comparador de Soma Ativa	Comparador de Soma Passivo
SNDR (dB)	117,76	117,71
ENOB (bits)	19,43	19,19
Potência Consumida (mW)	19,87	19,50

Fonte: Autor.

O comparador com somas ativas demonstrou desempenho levemente superior em termos de ENOB e SNDR em comparação com o comparador de somas passivas. No entanto, o comparador com somas ativas consumiu um pouco mais de potência: embora a soma ativa com transistores ofereça melhor desempenho. O comparador de soma ativa apresenta uma piora na eficiência energética em comparação ao de soma passiva. Após essa investigação inicial, sem a inclusão de ruído, foi realizada uma simulação com a adição de ruído para avaliar com maior precisão o desempenho dos comparadores. O objetivo dessa simulação é aumentar o piso de ruído e eliminar as componentes harmônicas, permitindo uma avaliação mais detalhada da resposta em frequência do sistema. Ao isolar os efeitos do ruído, a simulação proporciona uma visão mais clara do comportamento real dos circuitos e da qualidade do sinal, e os resultados obtidos estão apresentados na Tabela 20.

Tabela 20 – Resultados da simulação com ruído para os dois comparadores utilizados neste trabalho.

Parâmetro	Comparador com soma Ativa	Comparador com soma Passivo
SNDR (dB)	96,93	96,99
ENOB (bits)	15,81	15,82

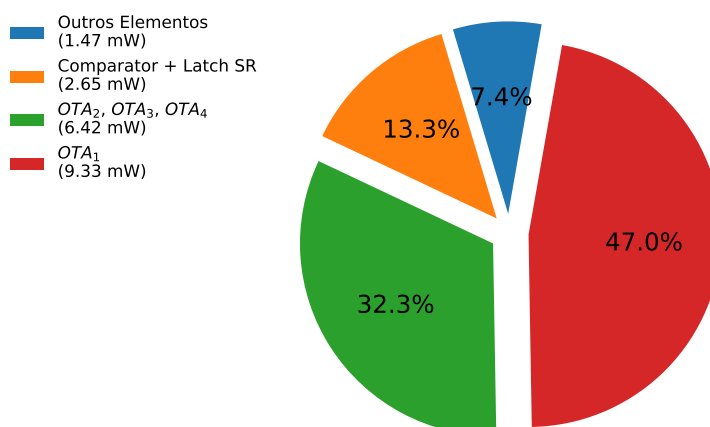
Fonte: Autor.

Valendo-se da simulação com ruído, ambos os comparadores demonstraram um desempenho muito próximo em termos de SNDR e ENOB para o trabalho que foi desenvolvido.

5.12 RESULTADOS DA POTÊNCIA CONSUMIDA PELO MODULADOR SIGMA-DELTA

Nesta seção, são apresentados os resultados referentes ao consumo de potência em cada estágio do Modulador Sigma-Delta de tempo contínuo. Esta análise é fundamental para avaliar o impacto do consumo de energia em cada estágio, permitindo otimizar a eficiência energética do sistema. Consideram-se duas configurações distintas de comparadores: uma com somadores ativos e outra com uma arquitetura de comparação simples. Inicialmente, será investigado o consumo de potência do comparador com somas ativas, conforme ilustrado na Figura 63.

Figura 63 – Consumo de potência do Modulador Sigma-Delta com somas ativas.

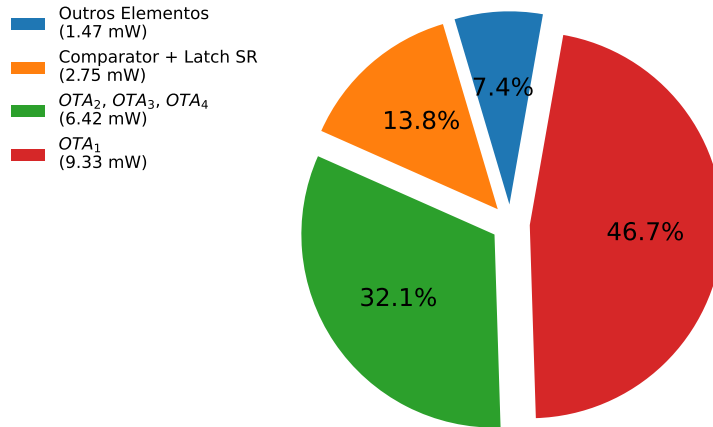


Fonte: Autor

Observa-se que o OTA 1 é o principal responsável pelo consumo de potência do modulador, representando 47% do consumo total do circuito. Os três OTAs subsequentes juntos contribuem com 32,3% do consumo do modulador, com isso, os OTAs em conjunto representam 79,3% do consumo total de potência do modulador. O comparador de soma ativa, por sua vez, corresponde a 13,3% do consumo total, enquanto os demais elementos do sistema contribuem com apenas 7,4%. Essa distribuição evidencia a importância dos OTAs na eficiência energética

do modulador, destacando a necessidade de otimização desses componentes para reduzir o consumo de potência global, conforme ilustrado na Figura 64.

Figura 64 – Consumo de potência do Modulador Sigma-Delta com somas passivas.



Fonte: Autor

O estudo detalhado do consumo de potência ajuda a identificar áreas críticas em que melhorias podem ser implementadas para otimizar o desempenho energético do sistema. Os resultados de potência consumida para o comparador com somas passivas foram bastante semelhantes aos constatados para o comparador com somas ativas, e a principal diferença nessa análise é a substituição do comparador de somas ativas pelo comparador de somas passivas. Os resultados exibidos na Figura 64 mostram uma pequena variação no consumo de potência entre o modulador com comparador de somas ativas e o comparador de somas passivas; o comparador com somas passivas revelou um consumo de 13,8%, ligeiramente superior aos 13,3% registrados para o comparador com somas ativas.

Apesar dessa diferença, o desempenho dos demais componentes do circuito permaneceu inalterado. Para trabalhos futuros, será plausível buscar melhorias adicionais no consumo de potência, especialmente nos OTAs, que foram responsáveis por uma significativa parcela do consumo de energia constatado neste estudo. Investigando e otimizando o consumo dos OTAs, pode-se alcançar uma redução adicional no consumo de potência total do circuito.

5.13 ANÁLISE DE DESEMPENHO

A Tabela 21 exibe a síntese dos resultados e a comparação destes com o estado da arte neste tópico. Considerou-se na tabala apenas a implementação com soma ativa. A FoM alcançada de 171,1 dB é competitiva em comparação com os outros trabalhos, exceto [2], [3] e [1] que alcançaram 177,1, 175,5 e 171,8 dB, respectivamente. Vale destacar que nossa implementação tem um menor consumo de energia do que [2] para uma tensão de alimentação mais alta. Entretanto, é importante salientar que este trabalho apresenta resultados em nível de esquemático elétrico.

Tabela 21 – Síntese dos resultados de simulação e comparação com o estado da arte.

Parâmetros	[1]	[2]	[3]	[4]	[5]	Este Trabalho
Arquitetura	CT	CT	CT	CT	CT	CT
Ano	2020	2015	2022	2014	2018	2024
Processo (nm)	180	65	180	180	180	130
VDD (V)	1.8	1.1	1.8	1.2	1.8	5
f_S (MHz)	32	3.072	48	57.6	12	32
BW (kHz)	250	24	250	600	150	125
SNR (dB)	108.1	N/A	104.3	97.3	68.5	97.01
DR(dB)	107.5	88	104	97.3	72.5	103.2
SNDR (dB)	105.3	85	103.2	85	67.3	96.93
Potência (mW)	24	0.121	17.7	21	0.00374	19.87
FoM_s (dB)	177.1*	170.9*	175.5*	171.8*	148.0*	171.1**

*Medida, **Simulação.

[1] (THEERTHAM et al., 2020)

[2] (AHMED et al., 2015)

[3] (THEERTHAM; GANTA; PAVAN, 2022b)

[4] (BANDYOPADHYAY et al., 2014)

[5] (CHO; KIM; KIM, 2018a)

5.14 SÍNTESE DO CAPÍTULO

Nesta seção, foram detalhadas as etapas do projeto que possibilitaram a implementação do Modulador Sigma-Delta de tempo contínuo, acompanhadas pela representação elétrica global do sistema. Também explorou-se o impacto do ruído de entrada no modulador, analisando-se o efeito causado nos resistores e nos capacitores de entrada. Assim sendo, foi possível verificar os efeitos reais causados por ele, e apresentou-se o memorial de cálculo dos valores dos resistores de entrada e dos capacitores, considerando o ruído *flicker* e térmico como fatores determinantes.

Na evolução do desenvolvimento do projeto, iniciou-se o projeto dos OTAs empregados no modulador, adotando uma topologia de dois estágios com compensação em avanço e reuso de corrente, que foi desenvolvido em colaboração com colegas de pesquisa e incorporado ao trabalho. Desenvolveu-se um circuito espelho de corrente, que fornece a corrente necessária para alimentar os OTAs. Este assegura que a mesma corrente seja fornecida a todos os quatro OTAs que compõem o Modulador Sigma-Delta.

Também foram projetados dois comparadores a serem usados no Modulador Sigma-Delta: o primeiro comparador utiliza transistores para realizar a soma ativa dos coeficientes em avanço, cujas deduções matemáticas e fundamentações teóricas foram analisadas para sua modelagem e implementação elétrica. Já o comparador de somas passivas emprega capacitores para a soma dos coeficientes em avanço, sendo igualmente analisado o seu comportamento e

a fundamentação teórica para viabilizar sua modelagem e implementação elétrica. Ademais, foram projetadas as latches do tipo SR e tipo D.

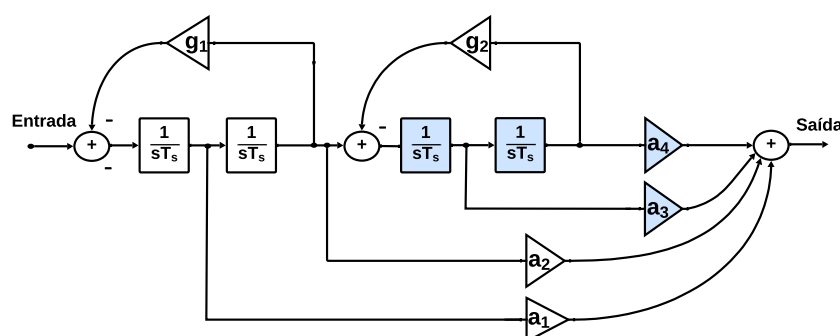
Por fim, avaliou-se o desempenho dos moduladores e efetuou-se uma análise comparativa com o estado da arte. A utilização de duas configurações distintas de comparadores com a soma dos coeficientes em avanço de forma ativa e passiva apresentaram desempenho semelhante, comprovando a funcionamento do modulador em nível elétrico.

6 MODULADOR SIGMA-DELTA UTILIZANDO RESSONADORES

O número de amplificadores necessários no laço de um Modulador Sigma-Delta está relacionado com a ordem do modulador. Uma das estratégias para reduzir o número de amplificadores é a implementação de ressonadores com um único amplificador (MATSUKAWA et al., 2010), (BERTI et al., 2016) e (CHO, 2024). Esta técnica pode ser empregada quando o modulador projetado utiliza otimização de zeros na NTF, que é o caso deste trabalho.

Neste trabalho, o ressonador com um único amplificador será implementado no lugar do terceiro e quarto integrador. A Figura 65 ilustra o estágio em que o ressonador será inserido – a cor azul representa os estágios que serão modificados utilizando a técnica de ressonadores RC. Nessa etapa, será explorado apenas o diagrama de blocos, de modo que seja possível atingir a função de transferência do circuito.

Figura 65 – Análise do diagrama de blocos do Modulador Sigma-Delta de quarta ordem.

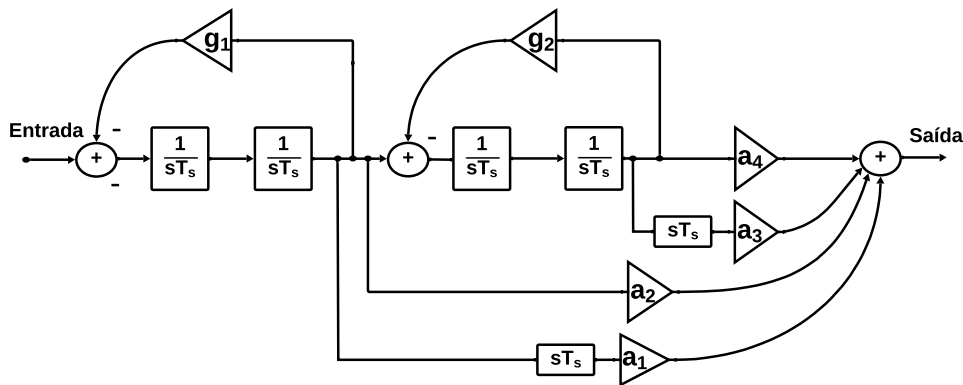


Fonte: Autor

Note que os coeficientes a_n são definidos como os mesmos valores obtidos para os K_n na compensação ELD, uma vez que, nesta técnica, o objetivo principal é reduzir o número de integradores e os coeficientes em avanços. Assim, na implementação elétrica, deve-se considerar ainda o coeficiente que compõe o caminho rápido entre o comparador e o atraso de $0,5 \cdot T_s$. Para compensar o atraso excessivo de laço (ELD) de até 50% do período de clock (T_s) e a metastabilidade do quantizador, é implementada uma rota rápida ao redor do quantizador, em conjunto com um atraso fixo de $0,5 \cdot T_s$ na saída do quantizador (PAVAN, 2008). Com o objetivo de alcançar a função de transferência do circuito, é necessário realizar algumas modificações no diagrama de blocos, conforme mostrado na Figura 65.

A primeira modificação envolve a aplicação de uma técnica de controle conhecida como realocação de blocos para o ponto de junção. Esse procedimento permite mover o ponto de conexão para antes do estágio em que o ponto será adicionado, possibilitando a modificação da estrutura sem alterar a função de transferência global. Também é preciso mover o ponto do terceiro integrador para antes do quarto integrador, deixando-o em paralelo com o coeficiente de avanço a_3 . A variável sT_s foi adicionada na entrada do coeficiente de avanço a_3 , conforme é apresentada na Figura 66.

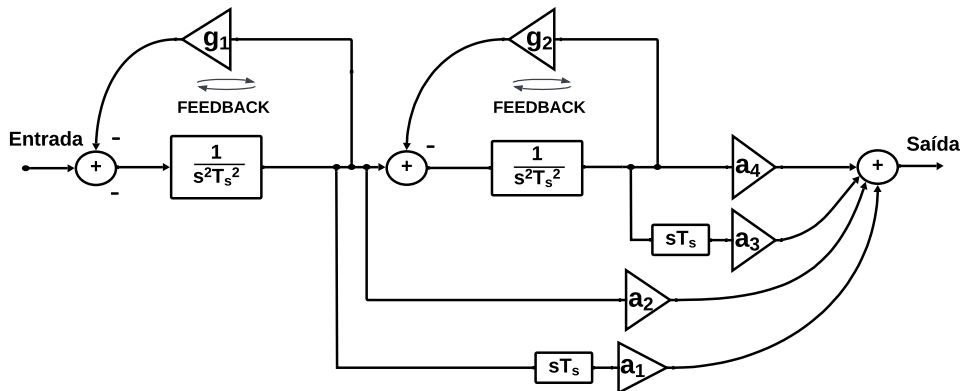
Em seguida, a mesma técnica será aplicada ao coeficiente de avanço a_1 , de modo que os termos g_1 e g_2 estejam conectados em realimentação com a parcela da $\frac{1}{sT_s}$.

Figura 66 – Modificação do diagrama de blocos do termo sT_s .

Fonte: Autor

Assim, é possível investigar os resultados referentes aos integradores $\frac{1}{sT_s}$, visto que esses elementos estão dispostos em série, o que permite a simplificação e a junção dos integradores, conforme apresentado na Figura 67. Dessa forma, é plausível estabelecer as seguintes relações: $\frac{1}{s^2T_s^2+g_1}$, considerando a primeira malha de realimentação; e $\frac{1}{s^2T_s^2+g_2}$, para a segunda malha, visto que esses elementos estão dispostos em uma configuração de realimentação em malha fechada, conforme apresentado na Figura 67.

Figura 67 – Modificação do diagrama de blocos do ressonador com estágio de Feedback entre os estágios.



Fonte: Autor

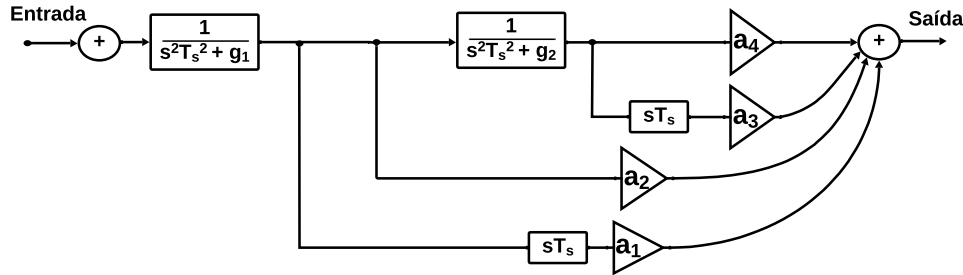
Reagrupando os termos e realizando as operações matemáticas mencionadas anteriormente, é possível expressá-los em uma equação global que governa a função de transferência do Modulador Sigma-Delta. Isto permite simplificar os termos deixando em múltiplos comum. Assim, a função de transferência do circuito pode ser derivada, conforme apresentado na equação 6.1.

$$H(s) = \frac{T_s s a_1}{T_s^2 s^2 + g_1} + \frac{a_2}{T_s^2 s^2 + g_1} + \frac{T_s s a_3}{(T_s^2 s^2 + g_1)(T_s^2 s^2 + g_2)} + \frac{a_4}{(T_s^2 s^2 + g_1)(T_s^2 s^2 + g_2)} \quad (6.1)$$

A Figura 68 apresenta a função de transferência do sistema com a técnica de controle

aplicada, na qual foi possível combinar cada integrador em duas funções, a fim de simplificar a expressão gerada pelo diagrama de blocos.

Figura 68 – Modificação final do diagrama de blocos com implementação da técnica do Ressonador.



Fonte: Autor

Reorganizando as equações e determinando o mínimo múltiplo comum, obtém-se a seguinte relação, conforme apresentada na equação 6.2.

$$H(s) = \frac{a_1 T_s s (T_s^2 s^2 + g_2) + a_2 (T_s^2 s^2 + g_2) + a_3 s T_s + a_4}{(T_s^2 s^2 + g_1)(T_s^2 s^2 + g_2)} \quad (6.2)$$

No emprego da técnica do ressonador será utilizado apenas a parcela da equação que compreende o terceiro e quarto integrador, conseqüentemente é plausível adquirir a seguinte relação, conforme é apresentado na equação 6.3.

$$H_{res}(s) = \frac{a_3 s T_s + a_4}{s^2 T_s^2 + g_2} \quad (6.3)$$

De acordo com (BERTI et al., 2016), o ressonador apresenta pólos complexos conjugados na frequência ω_0 , um zero na frequência ω_z , e um ganho em corrente contínua (DC) conforme descrito pela equação 6.4.

$$\omega_0 = \frac{\sqrt{g_2}}{T_s} \quad \omega_z = \frac{a_3}{T_s} \quad DC_{Ganho} = \frac{a_4}{g_2} \quad (6.4)$$

Assim, ao atingir a função de transferência do circuito ressonador, é possível realizar o equacionamento elétrico (AGUIRRE; SUSIN, 2018), conforme apresentado na equação 6.5.

$$T(s) = \frac{s R_4 C_4 + 1}{\frac{R_{in}}{R_1} \times (s^2 R_{g2} R_4 C_3 C_4 + s(R_{g2} C_4 + R_4 C_4 - R_{g2} C_4) + 1 + DEN)} \quad (6.5)$$

O termo DEN refere-se ao ganho DC finito do amplificador, e, é possível apresentar a nova relação para determinar os valores elétricos, conforme é apresentado na equação 6.6.

$$\frac{a_3 T_1 + a_4}{s^2 T_1^2 + g_2} = \frac{s R_4 C_4 + 1}{\frac{R_{in}}{R_1} \times (s^2 R_{g2} R_4 C_3 C_4 + s(R_{g2} C_3 + R_4 C_4 - R_{g2} C_4) + 1)} \quad (6.6)$$

A equação pode ser simplificada mantendo-se as mesmas relações, conforme apresentado na equação 6.7.

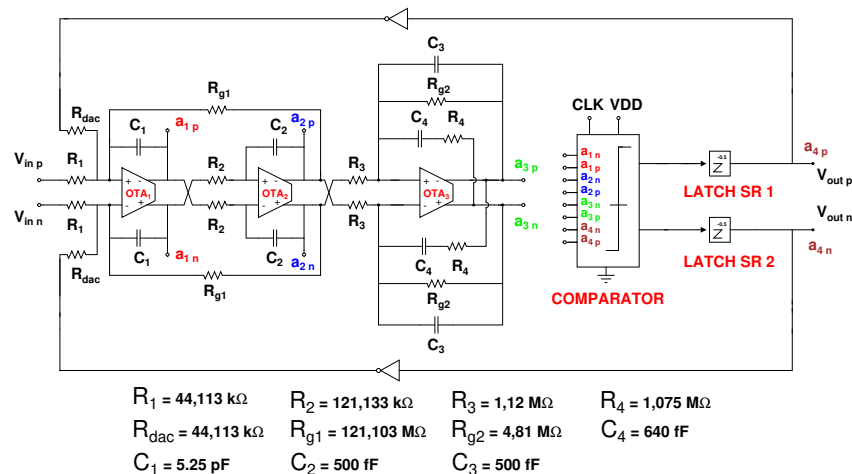
$$R_{g2}C_3 + R_4C_4 = R_{g2}C_4 \quad (6.7)$$

Note que, o valor de C_3 e R_3 são oriundos dos valores de capacitância de carga do OTA e do resistor de entrada do terceiro estágios. Dessa maneira, fica flexível a escolha de C_4 e R_4 . Logo, precisa-se calcular o valor da frequência de ressonância, a fim de ser possível calcular os valores de C_4 e R_4 . Dessa forma é possível dizer que a frequência de ressonância pode ser definida próxima da borda superior da banda de interesse.

$$f_{res} \approx B_w \quad (6.8)$$

Essa relação descrita na equação 6.7, remete-se aos valores que serão incorporados ao circuito ressonador, considerando que os valores dos resistores R_3 (referente à entrada do terceiro estágio) e R_{g2} já foram fixados em $112,5 \text{ k}\Omega$ e $4,816 \text{ M}\Omega$, respectivamente. Assim como o valor de C_1 , que corresponde a um capacitor projetado para 1 pF . A partir da equação 6.7, foi elaborado um memorial de cálculo e ainda utilizou-se simulações paramétricas no próprio ambiente do Virtuoso, a fim de determinar o valor do capacitor C_4 e do resistor R_4 . Essa técnica permitiu obter valores de ENOB muito próximo a 19 bits. A Figura 69 ilustra o esquemático elétrico que demonstra a configuração do Modulador Sigma-Delta utilizando a estratégia de ressonadores.

Figura 69 – Nível elétrico do modulador SDM com ressonador em VerilogA.

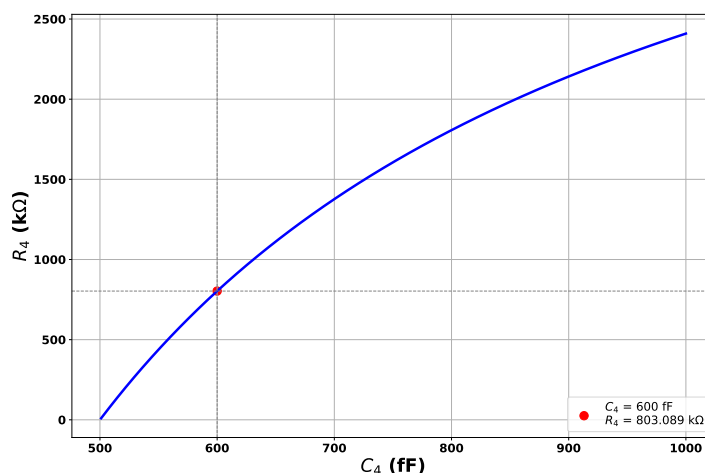


Fonte: Autor

A Figura 69 permitiu observar a redução de um amplificador do modulador, resultando em uma arquitetura com apenas 3 integradores. Para isso, foi empregada uma análise paramétrica no software *MATLAB*, com o objetivo de projetar valores adequados para o capacitor C_4 e o resistor R_4 . Conforme exibido na Figura 70, a curva obtida permite estimar os valores ideais para os resistores e capacitores que compõem o Modulador Sigma-Delta com a técnica de ressonador. Para isso, foi utilizada uma rotina de código para calcular os valores correspondentes.

Nesse primeiro teste, foi selecionado um valor inicial para o capacitor C_4 de 600 fF, o que resultou em um resistor R_4 de 803.089 k Ω , conforme determinado pela equação 6.7. Com o objetivo de analisar os resultados da simulação, um esquemático elétrico foi elaborado para permitir a comparação entre os desempenhos dos filtros.

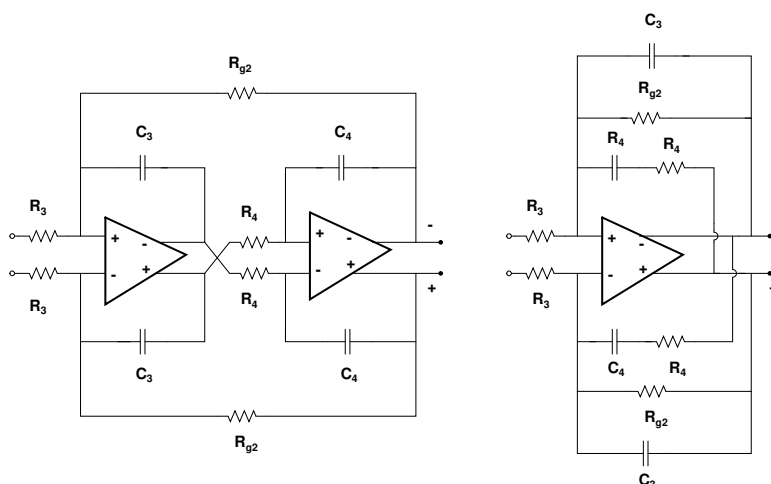
Figura 70 – Resultado da variação do resistor R_4 e do capacitor C_4 .



Fonte: Autor

A simulação envolveu a utilização de dois integradores, correspondentes ao terceiro e ao quarto estágio do Modulador Sigma-Delta, e sua comparação com a configuração que emprega apenas um integrador, simulando o modelo dos ressonadores. Conforme apresentado na Figura 71, é possível derivar essa análise em dois tipos de circuitos distintos em que um deles apresenta dois estágios referente ao Modulador Sigma-Delta de quarta ordem e o outro circuito à direita representa a técnica que está sendo explorada nesta seção que é a utilização de apenas um integrador.

Figura 71 – Análise do circuito com dois estágios e com a técnica de Ressonador.



Fonte: Autor

Esse arranjo permite observar uma característica importante: ao utilizar uma configuração de ressonadores, é possível reduzir o efeito de *kickback* do próximo estágio (GE-

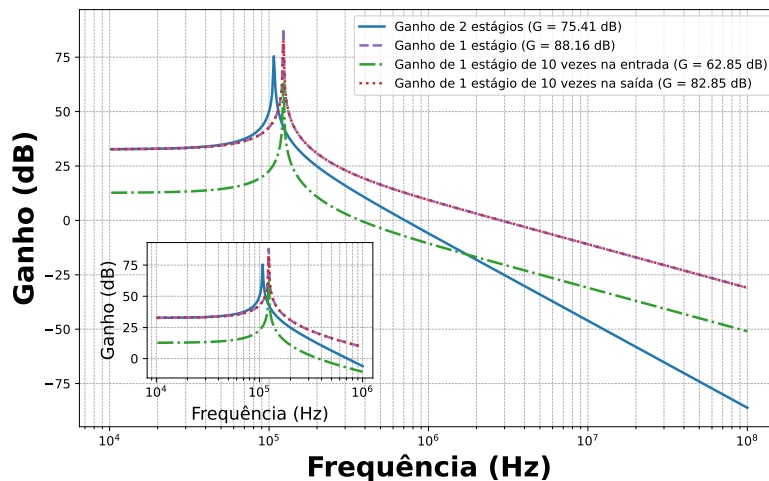
BREYOHANNES; LOUERAT; ABOUSHADY, 2019). Como o fator de qualidade do ressonador determina a forma da função de transferência de ruído do modulador, uma abordagem simplificada consiste em assumir que o amplificador operacional possui um ganho constante. Dessa forma, é possível adotar um método mais prático para modelar o amplificador operacional como um sistema unipolar, com ganho DC de valor A_0 e um polo em p_1 , conforme apresentado na equação 6.9.

$$A(s) = \frac{A_0}{(1 + s/p_1)} \quad (6.9)$$

Os valores dos resistores utilizados no modelo de dois estágios são idênticos aos do projeto desenvolvido. Em particular, o resistor R_3 é o mesmo utilizado ao longo deste trabalho, assim como o valor do resistor R_{g2} , com o objetivo de manter o ganho DC constante. Dessa forma, o valor do capacitor C_4 , referente ao projeto do OTA, é de 1 pF, e a única liberdade disponível é a variação do resistor R_4 e do capacitor C_4 .

A simulação AC foi realizada no ambiente *Virtuoso* para comparar a implementação do ressonador com dois integradores (e dois amplificadores) e a solução com um único amplificador. A técnica que utiliza um ressonador com um amplificador foi analisada com três configurações distintas de ganho DC: inicialmente, com ganho unitário; em seguida, com atenuação de 10 vezes na entrada; e, finalmente, com amplificação de 10 vezes na saída, conforme ilustrado na Figura 72.

Figura 72 – Simulação AC do ressonador implementado com um e dois amplificadores.



Fonte: Autor

Segundo (BERTI et al., 2016) uma explicação para essa análise consiste em utilizar um trade-off, de forma a aumentar a capacitância total e diminuir a resistência total, com o parâmetro K sendo maior que 1. No ressonador, o valor do ganho de pico em ω_0 é determinado pelo ganho de malha aberta do OTA nessa frequência, $A(\omega_0)$. Como resultado, o fator Q do ressonador é limitado por $A(\omega_0)$ e pelo ganho em corrente contínua (G_{DC}) do ressonador. O fator Q do ressonador pode ser elevado ao aumentar o ganho de malha aberta do opamp em ω_0

(ou seja, ampliando a largura de banda do opamp), embora isso resulte em maior consumo de energia. Alternativamente, pode-se diminuir o ganho do ressonador G_{DC} ou, ainda, aumentar o valor de K , segundo (BERTI et al., 2016).

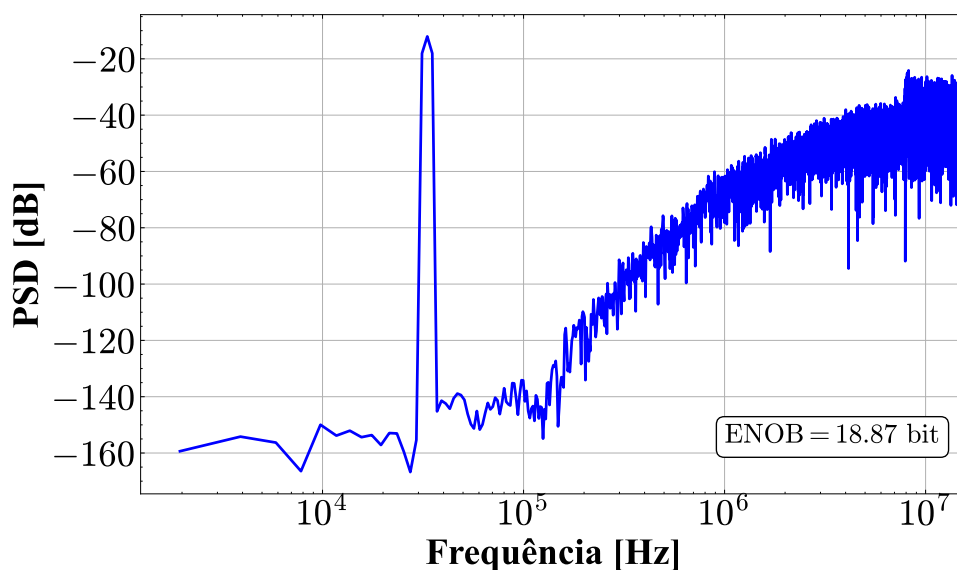
O gráfico da Figura 72 apresenta os resultados obtidos para os três parâmetros analisados, destacando-se que a linha azul no gráfico representa o desempenho da configuração que utilizou integradores de dois estágios, alcançando um ganho máximo de 75,41 dB. Em seguida, foi aplicado um ganho unitário ao ressonador, conforme é apresentado pela linha roxa pontilhada, resultando em um ganho de 63,45 dB. Por fim, aplicou-se um ganho de 10 vezes, sendo representada pela cor vermelha tracejada, mantendo-se o ganho em 88,16 dB. O ganho inicial para a configuração com dois estágios – ressonador com ganho unitário e ressonador com ganho de 10 vezes na saída – foi de 82,85 dB. Para o ganho de 10 vezes na entrada, o ganho foi de 62,85 dB, considerando uma frequência de 107,15 kHz para a configuração de dois estágios e 120 kHz para as demais configurações.

6.1 RESULTADOS DA SIMULAÇÃO DO MODULADOR SIGMA-DELTA COM RESSONADOR IDEAL

Nesta seção são apresentados os resultados referentes ao Modulador Sigma-Delta que emprega um ressonador com um único amplificador. São demonstrados os resultados obtidos a partir do modelo ideal na linguagem VerilogA, com e sem ruído. As simulações foram efetuadas com o simulador *Spectre*.

A figura 73 apresenta o resultado obtido o PSD do modulador sem considerar ruído. Foi possível atingir um ENOB de 18,87 bits, levemente inferior ao atingido com a técnica tradicional que emprega dois amplificadores.

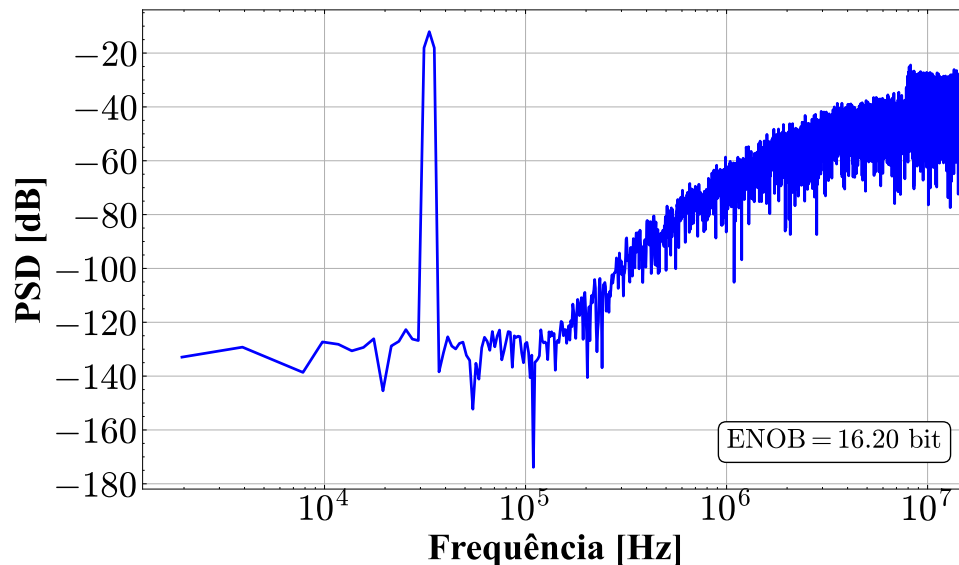
Figura 73 – Simulação da densidade espectral de potência (PSD) do Modulador Sigma-Delta com utilização de ressonador em VerilogA.



Para essa arquitetura de modulador também foi realizada uma simulação com a inclusão de ruído, empregando-se uma frequência máxima de ruído 100 vezes maior que a frequência de amostragem $100 \cdot f_s$. Essa abordagem é idêntica às apresentadas nas seções anteriores, permitindo uma comparação direta dos resultados obtidos.

A Figura 74 apresenta o PSD da saída do modulador. O ENOB obtido é de 16,2 bits, sendo este limitado pelo ruído térmico dos resistores de entrada do modulador.

Figura 74 – Simulação PSD do modulador ressonador em VerilogA com ruído.



Fonte: Autor

6.2 SÍNTESE DO CAPÍTULO

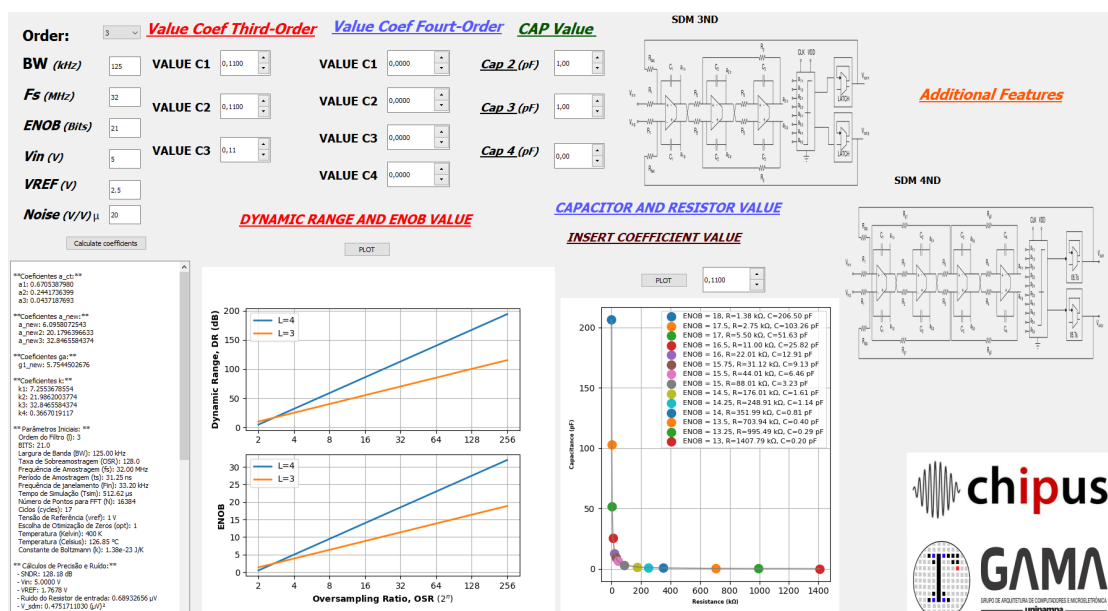
Nesta seção é apresentado o uso de um ressonador projetado com um único amplificador no filtro de laço do modulador visando a redução do consumo de energia do modulador. Para isso, foi elaborado um memorial de cálculo que permite obter os parâmetros da função de transferência do circuito. Com os valores obtidos, foram realizadas simulações utilizando componentes ideais modelados em VerilogA. No entanto, o desempenho desta configuração se mostrou levemente inferior em comparação com a arquitetura apresentada previamente neste trabalho. Entretanto, o modulador atingiu um ENOB de 16,2 bits na simulação com ruído.

7 APLICATIVO PARA ANÁLISE E PROJETO DE MODULADORES SIGMA-DELTA

O uso de ferramentas auxiliares para o projeto de moduladores sigma-delta é muito interessante de modo a reduzir o tempo necessário para projeto. Considerando o reprojeto de novos moduladores de modo rápido e eficiente, apresentamos nesta seção um aplicativo desenvolvido para calcular os parâmetros de moduladores sigma-delta de tempo contínuo. O principal propósito deste aplicativo é simplificar e automatizar o cálculo dos coeficientes no domínio s e converter esses valores em componentes reais para a integração ao esquemático elétrico. O aplicativo aprimora a metodologia de projeto ao oferecer uma abordagem integrada para o cálculo e a obtenção dos coeficientes discutidos neste trabalho, além de permitir sua implementação elétrica com valores reais de resistores e capacitores. Isso facilita a integração eficiente e oferece maior flexibilidade no processo de desenvolvimento de novos moduladores.

Optou-se por desenvolver esta ferramenta em Python. Foi utilizado o software Vision, responsável por rodar os códigos escritos em Python, o design gráfico foi realizado com o auxílio do software Qt-Design, permitindo a inclusão de um memorial de cálculo, gráficos e a reprodução de circuitos. Ressalta-se que este programa foi desenvolvido para moduladores com a topologia CIFF de terceira e quarta ordem. O uso desse software possibilitou uma verificação rápida do projeto, oferecendo opções para selecionar a ordem do modulador (terceira ou quarta ordem), a largura de banda, a frequência de amostragem, o ENOB desejado, a tensão de entrada e a tensão de referência. A Figura 75 apresenta a interface gráfica da ferramenta desenvolvida.

Figura 75 – Interface gráfica da ferramenta considerando o projeto de um modulador de terceira ordem.



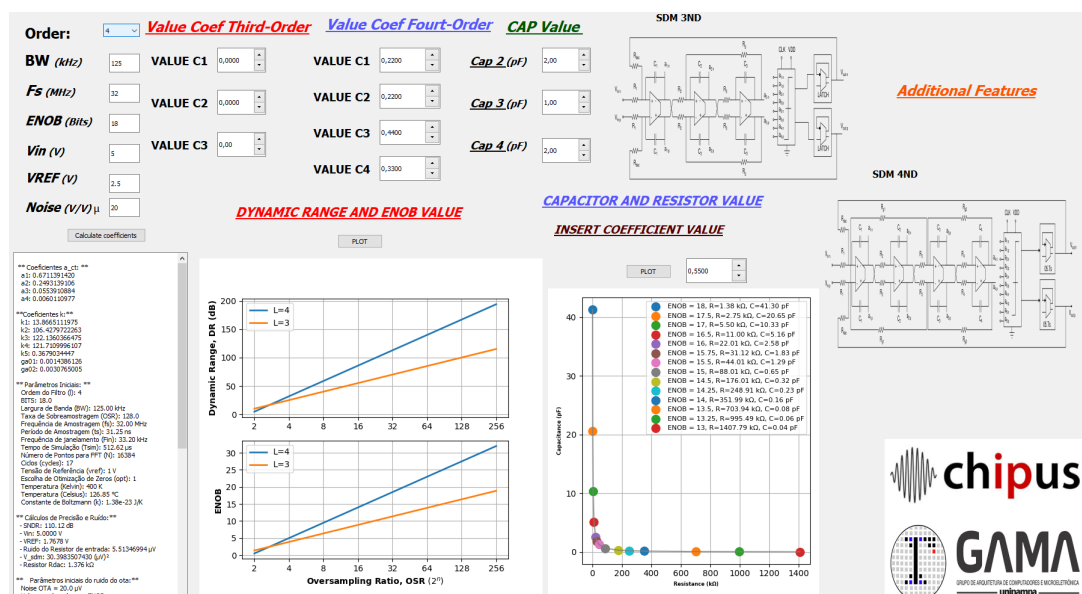
Fonte: Autor

Os parâmetros de entrada do software são: ordem, largura de banda (BW), frequência de amostragem (Fs), ENOB, amplitude de pico de entrada (Vin), tensão de referência (Vref), e os coeficientes de entrada. A temperatura considerada é de 125 graus Celsius. A partir do ENOB

almejado é calculado o ruído referido à entrada do modulador, e, a partir disso, é calculado o resistor de entrada máximo e os demais valores de componentes passivos. É importante salientar que os capacitores do segundo, terceiro (e quarto) integradores são previamente definidos. A Figura 75 ilustra a representação do modulador de ordem 3, onde é possível selecionar os valores dos coeficientes dos integradores e ajustar os valores dos capacitores do segundo e terceiro integrador do modulador. Ao inserir esses dados, o aplicativo calcula de forma automática os resistores que implementam os coeficientes de avanço, o período de amostragem, a frequência de janelamento e o número de pontos da FFT, isto tudo detalhado no log no canto esquerdo inferior do software. Além disso, apresenta a constante de Boltzmann, a temperatura, e indica se o circuito possui otimização de zeros.

No nível elétrico, o aplicativo fornece os valores dos resistores e capacitores, além do SNDR do modulador, que foi definido a partir do ENOB almejado, assim, o software exibe gráficos do ENOB e da faixa dinâmica para diferentes valores de sobreamostragem, oferecendo uma base sólida de resultados para moduladores de terceira e quarta ordem. É possível simular o coeficiente do primeiro integrador e visualizar seu impacto na entrada do modulador, incluindo os valores do capacitor e do resistor de entrada (calculado a partir da resolução almejada). Por fim, o aplicativo apresenta a representação elétrica completa dos moduladores de terceira e quarta ordem, incluindo o esquemático elétrico, permitindo-se uma visualização e compreensão mais rápida do sistema. A Figura 76 apresenta a interface gráfica usada para projeto de componentes passivos de um modulador sigma-delta de quarta ordem.

Figura 76 – Interface gráfica da ferramenta considerando o projeto de um modulador de quarta ordem.

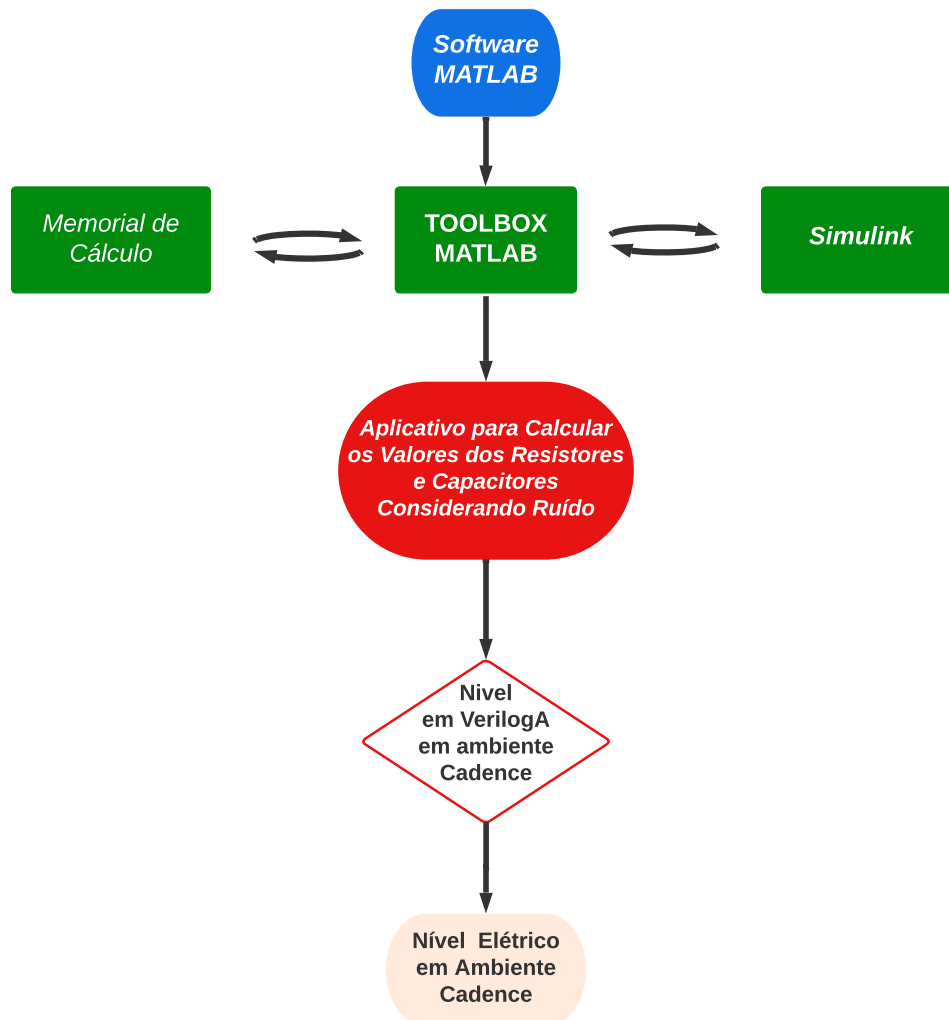


Fonte: Autor

O funcionamento do modulador de quarta ordem é semelhante ao do modulador de terceira ordem, sendo a principal diferença entre eles a adição de mais um estágio, mediante a inclusão de um valor de otimização dos zeros, uma vez que o modulador de terceira ordem possui

apenas um zero. Portanto, esse aplicativo não apenas acelera a execução do projeto, mas também proporciona uma clareza aprimorada e um ganho significativo de aprendizado para aqueles que estão projetando moduladores. Dessa forma, é possível sintetizar todo o estudo desenvolvido no presente trabalho em um diagrama de blocos, conforme é apresentado na Figura 77.

Figura 77 – Diagrama de blocos do fluxo de execução e desenvolvimento do projeto.



Fonte: Autor

A Figura 77 apresenta um fluxograma para o projeto de moduladores sigma-delta em tempo contínuo usando a ferramenta desenvolvida. O cálculo inicial do modulador em tempo discreto é efetuado usando o software *MATLAB* e sua validação no Simulink. Após a conversão de tempo discreto para tempo contínuo a ferramenta desenvolvida é utilizada. Esta ferramenta pode ser otimizada para incluir maiores funcionalidades e integração com o software Virtuoso, sendo este um tópico para trabalhos futuros.

7.1 SÍNTESE DO CAPÍTULO

Nesta seção foi apresentada uma ferramenta auxiliar de projeto de moduladores sigma-delta em tempo contínuo. A ferramenta foi projetada em Python e tem como objetivo a reduzir o

tempo de implementação do modulador sigma-delta em nível de esquemático elétrico simplificado. A ferramenta usa como base os coeficientes do modulador em tempo contínuo para gerar os componentes passivos da implementação em nível elétrico considerando a topologia CIFF, e com possibilidade de gerar o projeto de moduladores de terceira e quarta ordem.

8 CONCLUSÕES

O presente trabalho abordou o projeto de Moduladores Sigma-Delta de tempo contínuo de alta resolução e largura de banda. O estudo abrangeu desde a fundamentação teórica até a implementação em nível elétrico, detalhando os conceitos básicos e as etapas práticas de desenvolvimento. O projeto de alto nível dos moduladores foi desenvolvido com o emprego da transformada DT-CT, onde é realizada a conversão do domínio z para o domínio s . Técnicas de escalonamento foram aplicadas e o conceito de ELD foi discutido, com a apresentação de uma solução para esse efeito por meio da introdução de um retardo de meio ciclo de *clock*. Após essa etapa, foram escolhidos os valores de projeto, como tensão de referência de 5 V, frequência de amostragem de 32 MHz, largura de banda de 125 kHz e uma taxa de sobreamostragem de 128, sendo os moduladores simulados no *MATLAB/Simulink*.

Após a validação dos resultados no *MATLAB*, a implementação elétrica foi realizada utilizando o software *Virtuoso* da *Cadence*. O simulador empregado foi o *Spectre*, também da *Cadence*. Para acelerar o processo de simulação e validar o projeto em nível de esquemático elétrico, foram utilizados circuitos ideais em VerilogA. Em seguida, foi realizada a simulação do circuito, comparando-se os resultados com aqueles obtidos no *MATLAB*. Após a análise comportamental do Modulador Sigma-Delta, o projeto avançou para a etapa de implementação em nível de transistores, com a elaboração de um memorial de cálculo para avaliar o impacto do ruído de entrada no modulador. Esse cálculo serviu como base para determinar os valores dos resistores e capacitores de entrada, utilizados no projeto dos demais componentes do circuito. O esquemático elétrico do OTA foi apresentado, incluindo uma verificação detalhada dos resultados de ganho e fase. A implementação de dois comparadores, um com somas ativas e outro com somas passivas, foi analisada, assim como o desenvolvimento dos espelhos de corrente que integram o OTA e dos *latches* tipo SR, com a especificação dos valores dos transistores utilizados.

No decorrer do trabalho, foi realizada uma simulação do Modulador Sigma-Delta para avaliar seu desempenho, incluindo uma verificação da resposta em nível elétrico com componentes ideais. Após a validação, componentes reais foram introduzidos e, ao final, o ruído foi adicionado para avaliar seu impacto no funcionamento do sistema. Os resultados alcançados foram comparados em diferentes configurações, permitindo uma análise detalhada das variáveis envolvidas. Com isso, foi realizada uma avaliação do consumo de potência do Modulador Sigma-Delta, com foco na utilização de dois tipos distintos de comparadores. Um gráfico foi gerado para ilustrar o consumo de potência de cada componente do circuito, fornecendo uma visão clara da contribuição individual de cada elemento para o consumo total.

Além disso, efetuou-se o projeto de um modulador sigma-delta utilizando um ressonador projetado com um único amplificador. Essa estratégia permite reduzir o número de integradores e, conseqüentemente, o consumo de potência. No entanto, essa avaliação limitou-se a simulações com elementos ideais em VerilogA.

Por fim, a partir dos estudos efetuados ao longo do trabalho de mestrado, foi desenvolvido um programa em Python que auxilia na realização dos cálculos de projeto dos moduladores

sigma-delta em tempo contínuo, acelerando a obtenção dos componentes passivos em nível elétrico, já considerando o ruído de entrada do modulador e o ENOB almejado. Dessa forma, entende-se que a criação dessa ferramenta contribui de maneira significativa para o projeto de Moduladores Sigma-Delta de tempo contínuo de terceira e quarta ordem, ficando em aberto a possibilidade de novas atualizações e otimizações para o aplicativo.

8.1 TRABALHOS FUTUROS

Os trabalhos futuros que podem ser desenvolvidos a partir desta dissertação e do conhecimento exposto até o momento são elencados a seguir:

- Realização do *leiaute* do circuito desenvolvido.
- Otimização do modulador com ressonador.
- Inclusão de novas funcionalidades na ferramenta desenvolvida.

8.2 TRABALHOS PUBLICADOS E PARTICIPAÇÃO EM EVENTOS

Ao longo do curso de mestrado, foi possível participar de eventos científicos e colaborar em diferentes projetos de pesquisa. Abaixo, são elencadas as participações em eventos, bem como os trabalhos publicados durante o período.

8.2.1 PARTICIPAÇÃO EM EVENTOS

- 2023 - 25ª Escola de Microeletrônica e 38º Simpósio Sul de Microeletrônica, Porto Alegre, RS.
- 2024 - 26ª Escola de Microeletrônica e 39º Simpósio Sul de Microeletrônica, Bagé, RS.
- 2023 - Chip in Rio, Rio de Janeiro, RJ.
- 2023 - 13º Workshop on Circuits and Systems Design (WCAS), Porto Alegre, RS.
- 2024 - 15º IEEE Latin American Symposium on Circuits and Systems (LASCAS), Montevideu, Uruguai.
- 2024 - Chip on The Cliffs, João Pessoa, PB.

8.2.2 MENÇÕES HONROSAS

- Renan de Oliveira, Tawan dos Santos, Matheus Carvalho, Crístian Muller, Lucas Severo, Alessandro Girardi e Paulo César C. de Aguirre pelo trabalho intitulado: *Design of a Third-Order Continuous-Time Sigma-Delta Modulator with ELD Compensation*. 13º IEEE CASS Rio Grande do Sul Workshop.

8.2.3 ARTIGOS PUBLICADOS

- de Oliveira, T.; de Oliveira, R. D. P.; Girardi, A. G.; de Aguirre, P. C. C.; Severo, L. C. A *5.8-GHz RF VCO-Based Sensing System with Integrated RF Energy Harvesting in CMOS 65-nm for Health Monitoring Applications*. In: IEEE 15th Latin American Symposium on Circuits and Systems, 2024, Punta del Este. LASCAS 2024, 2024.
- Vieira, R. H.; Dos Santos, T. C.; de Oliveira, R. D. P.; Girardi, A. G.; de Aguirre, P. C. C.; Severo, L. C. A *Low-Voltage Low-Power 20-Msps 3-Bit Rail-to-Rail Flash ADC*. In: IEEE 15th Latin American Symposium on Circuits and Systems, 2024, Punta del Este. LASCAS 2024.
- Carvalho, M. B. S.; de Oliveira, R. D. P.; Santos, T. C.; Girardi, A. G.; de Aguirre, P. C. C.; Pereira, E.; Severo, L. C. *Design and Characterization of a Power Management System for a Pico Balloon Platform for High Altitude Radiation Monitoring*. JICS. Journal of Integrated Circuits and Systems, v. 18, p. 1-9, 2023.
- Carvalho, M. B. S.; Santos, T. C.; de Oliveira, R. D. P.; Girardi, A. G.; de Aguirre, P. C. C. A *Low-Power 10-Bit VCM-Based SAR ADC with 15.4-fJ/conv in 65-nm CMOS*. In: 2024 Argentine Conference on Electronics (CAE), Bahía Blanca, Argentina, 2024.
- de Oliveira, R. D. P.; Santos, T. C.; Carvalho, M. B. S.; Muller, C.; Girardi, A. G.; Severo, L. C.; de Aguirre, P. C. C. A *5-V 125-kHz Fourth-Order Continuous-Time Sigma-Delta Modulator in 130-nm BCD Technology*. In: 2024 Sociedade Brasileira de Microeletrônica (SBCCI), João Pessoa, Brasil, 2024.

REFERÊNCIAS

- AGUIRRE, P. C. C. de. *Design of Continuous-Time Sigma-Delta Modulators With Inverter-Based Amplifiers For Sub-IV Application*. 2019. Tese (Doutor em Engenharia Elétrica), UFRGS (Universidade federal do Rio Grande do Sul, Porto Alegre, Brasil). Citado 2 vezes nas páginas 69 e 70.
- AGUIRRE, P. C. C. de et al. A 170.7-dB fom-dr 0.45/0.6-V inverter-based continuous-time sigma–delta modulator. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 67, n. 8, p. 1384–1388, 2020. Citado 2 vezes nas páginas 28 e 87.
- AGUIRRE, P. C. C. de; SUSIN, A. A. A 0.6-V, 74.2-dB DR Continuous-Time Sigma–Delta Modulator With Inverter-Based Amplifiers. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 65, n. 10, p. 1310–1314, oct 2018. ISSN 1549-7747. Disponível em: <<https://ieeexplore.ieee.org/document/8403253/>>. Citado na página 107.
- AHMED, I. et al. A low-power gm-c-based ct- audio-band adc in 1.1V 65nm cmos. In: *2015 Symposium on VLSI Circuits (VLSI Circuits)*. [S.l.: s.n.], 2015. p. C294–C295. Citado na página 103.
- AZIZ, A.; POOLE, D. L.; ALEXANDER, C. K. *Microelectronic Circuits: Analysis and Design*. [S.l.]: Oxford University Press, 2010. Citado na página 84.
- BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation*. 3ª edição. ed. [S.l.]: Wiley-IEEE Press, 2010. Citado na página 84.
- BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation, Third Edition*. [S.l.]: Wiley-IEEE Press, 2010. Citado na página 27.
- BANDYOPADHYAY, A. et al. A 97.3 dB SNR, 600 kHz BW, 31mW multibit continuous time $\Delta\Sigma$ ADC. In: *2014 Symposium on VLSI Circuits Digest of Technical Papers*. [S.l.: s.n.], 2014. p. 1–2. Citado na página 103.
- BEEV, N. Measurement of Excess Noise in Thin Film and Metal Foil Resistor Networks. In: *2022 IEEE International Instrumentation and Measurement Technology Conference (I2MTC)*. [S.l.: s.n.], 2022. p. 1–6. Citado na página 82.
- BERTI, C. D. et al. A 106 dB A-Weighted DR Low-Power Continuous-Time $\Sigma\Delta$ Modulator for MEMS Microphones. *IEEE Journal of Solid-State Circuits*, v. 51, n. 7, p. 1607–1618, 2016. Citado 5 vezes nas páginas 33, 105, 107, 110 e 111.
- BLOECHER, H.-L.; BARTS, D. Excess loop delay in sigma-delta modulators: Origin, effect, and cure. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 41, n. 9, p. 606–618, 1994. Citado 2 vezes nas páginas 56 e 57.
- CHO, Y.-K. A dual-mode continuous–time sigma-delta modulator with a reconfigurable loop filter based on a single op-amp resonator. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 32, n. 9, p. 1754–1758, 2024. Citado na página 105.
- CHO, Y.-K.; KIM, M.-D.; KIM, C.-Y. A Low-Power Continuous-Time Delta-Sigma Modulator Using a Resonant Single Op-Amp Third-Order Loop Filter. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 65, n. 7, p. 854–858, 2018. Citado na página 103.

- CHO, Y.-K.; KIM, M.-D.; KIM, C.-Y. A low-power continuous-time delta-sigma modulator using a resonant single op-amp third-order loop filter. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 65, n. 7, p. 854–858, 2018. Citado na página 33.
- CHUANG, H.-M. et al. A comprehensive study of polysilicon resistors for cmos ulsi applications. *Superlattices and Microstructures*, v. 33, n. 4, p. 193–208, 2003. ISSN 0749-6036. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0749603603000685>>. Citado na página 82.
- DÖRFLER, F.; SIMPSON-PORCO, J. W.; BULLO, F. Electrical Networks and Algebraic Graph Theory: Models, Properties, and Applications. *Proceedings of the IEEE*, v. 106, n. 5, p. 977–1005, 2018. Citado na página 85.
- GEBREYOHANNES, F. T.; LOUERAT, M.-M.; ABOUSHADY, H. Design of a 4th-order feed-forward-compensated operational amplifier for multi-ghz sampling frequency continuous-time bandpass sigma-delta modulators. In: *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.: s.n.], 2019. p. 1–5. Citado na página 110.
- GRAY, P. R. et al. *Analysis and Design of Analog Integrated Circuits*. 5th. ed. [S.l.]: Wiley, 2009. Citado na página 84.
- IZPURA, J.-I. $1/f$ Electrical Noise in Planar Resistors: The Joint Effect of a Backgating Noise and an Instrumental Disturbance. *IEEE Transactions on Instrumentation and Measurement*, v. 57, n. 3, p. 509–517, 2008. Citado na página 82.
- JEVTIC, M.; STANIMIROVIC, Z.; MRAK, I. Low-frequency noise in thick-film resistors due to two-step tunneling process in insulator layer of elemental MIM cell. *IEEE Transactions on Components and Packaging Technologies*, v. 22, n. 1, p. 120–125, 1999. Citado na página 82.
- KIDAMBI, S. Design of Noise Transfer Functions for Delta–Sigma Modulators Using the Least-pth Norm. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 66, n. 4, p. 707–711, 2019. Citado na página 47.
- KIM, S.-B. et al. A polyphase filter design for continuous-time quadrature bandpass sigma–delta modulators. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 55, n. 11, p. 3457–3468, 2008. Citado na página 32.
- MALOBERTI, F. *Data converters*. [S.l.]: Springer, 2007. Citado 9 vezes nas páginas 31, 32, 33, 34, 35, 36, 38, 39 e 41.
- MANIVANNAN, S.; PAVAN, S. A 1 mhz bandwidth, filtering continuous-time delta-sigma adc with 36 dbfs out-of-band iip3 and 76 db snr. In: *2018 IEEE Custom Integrated Circuits Conference (CICC)*. [S.l.: s.n.], 2018. p. 1–4. Citado na página 89.
- MARTINEZ, J.; GARCIA, M. A comprehensive study on two-stage ota amplifiers. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 25, n. 3, p. 112–125, 2019. Citado na página 89.
- MATSUKAWA, K. et al. A fifth-order continuous-time delta-sigma modulator with single-opamp resonator. *IEEE Journal of Solid-State Circuits*, v. 45, n. 4, p. 697–706, 2010. Citado na página 105.

- MITTEREGGER, G. et al. A 20-mw 640-mhz cmos continuous-time $\sigma\delta$ adc with 20-mhz signal bandwidth, 80-db dynamic range and 12-bit enob. *IEEE Journal of Solid-State Circuits*, v. 41, n. 12, p. 2641–2649, 2006. Citado na página 39.
- MONIKA; MITTAL, P. Different current mirror topologies at multiple technology nodes: Performance comparison and parameters extraction. In: *2021 International Conference on Simulation, Automation Smart Manufacturing (SASM)*. [S.l.: s.n.], 2021. p. 1–7. Citado na página 91.
- MURMANN, B. *ADC Performance Survey 1997-2024*. 2022. [Online]. Available: <<https://github.com/bmurmman/ADC-survey>>. Citado 2 vezes nas páginas 44 e 45.
- NORSWORTHY, S. R.; SCHREIER, R.; TEMES, G. C. *Delta-sigma data converters: Theory, design, and simulation*. [S.l.]: IEEE Press, 1996. Citado na página 57.
- OLIAEI, O. Design of continuous-time sigma-delta modulators with arbitrary feedback waveform. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 50, n. 8, p. 437–444, 2003. Citado na página 47.
- ORTMANN, M. Wideband and Low-Power Delta-Sigma ADCs: State of the Art, Trends and Implementation Examples. *ESSCIRC 2021 - IEEE 47th European Solid State Circuits Conference, Proceedings*, IEEE, p. 28–35, 2021. Citado na página 47.
- ORTMANN, M.; GERFERS, F. *Continuous-time sigma-delta AD conversion: fundamentals, performance limits and robust implementations*. [S.l.]: Springer, 2006. Citado 4 vezes nas páginas 33, 34, 38 e 52.
- ORTMANN, M.; HEINEN, S. *Continuous-time delta-sigma modulation for high-speed A/D conversion: Fundamentals, performance limits and robustness*. [S.l.]: Springer Science Business Media, 2008. Citado 2 vezes nas páginas 52 e 53.
- PATON, S. et al. A 70-mw 300-mhz cmos continuous-time $\sigma\delta$ adc with 15-mhz bandwidth and 11 bits of resolution. *IEEE Journal of Solid-State Circuits*, v. 39, n. 7, p. 1056–1063, 2004. Citado na página 50.
- PAVAN RICHARD SCHREIER, G. C. T. S. *UNDERSTANDING DELTA-SIGMA DATA CONVERTERS*. [S.l.]: IEEE Press, 2017. Citado 3 vezes nas páginas 32, 47 e 67.
- PAVAN, S. Excess Loop Delay Compensation in Continuous-Time Delta-Sigma Modulators. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 55, n. 11, p. 1119–1123, 2008. Citado 7 vezes nas páginas 55, 56, 57, 58, 60, 61 e 105.
- Pavan, S.; Schreier, R.; Temes, G. C. *Understanding delta-sigma data converters second edition*. New York, NY: Wiley, 2017. Citado 2 vezes nas páginas 33 e 42.
- Pavan, S.; Schreier, R.; Temes, G. C. *Understanding delta-sigma data converters second edition*. New York, NY: Wiley, 2017. Citado 2 vezes nas páginas 43 e 47.
- PAVAN, S.; SHIBATA, H. Continuous-Time Pipelined Analog-to-Digital Converters: A Mini-Tutorial. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 68, n. 3, p. 810–815, 2021. Citado 6 vezes nas páginas 29, 32, 47, 48, 59 e 90.
- PELGROM, M. *Analog-to-Digital Conversion*. [S.l.]: Springer, 2017. Citado na página 31.

- RAZAVI, B. *Design of CMOS Operational Amplifiers*. [S.l.]: Artech House, 1998. (Artech House Microwave Library). ISBN 978-0890067114. Citado na página 90.
- RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 2nd. ed. [S.l.]: McGraw-Hill Education, 2016. ISBN 978-0072524932. Citado 2 vezes nas páginas 82 e 91.
- ROSA, J. D. L.; RIO, R. D. *CMOS sigma-delta converters*. [S.l.]: Wiley-IEEE Press, 2013. Citado 7 vezes nas páginas 30, 32, 37, 38, 40, 43 e 49.
- ROSA, J. M. de la. Sigma-delta modulators: Tutorial overview, design guide, and state-of-the-art survey. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 58, n. 1, p. 1–21, 2011. Citado 4 vezes nas páginas 30, 31, 33 e 51.
- ROSA, J. M. de la. *Sigma-Delta Converters: Practical Design Guide*. [S.l.]: Wiley-IEEE Press, 2018. Citado na página 27.
- ROSA, J. M. de la. AI-Managed Cognitive Radio Digitizers. *IEEE Circuits and Systems Magazine*, v. 22, n. 1, p. 10–39, 2022. ISSN 1531-636X. Citado 4 vezes nas páginas 27, 36, 37 e 39.
- SCHREIER, R. *Delta-Sigma toolbox*. 2022. Disponível em: <<https://www.mathworks.com/matlabcentral/fileexchange/19-delta-sigma-toolbox>>. Citado 2 vezes nas páginas 48 e 57.
- SCHREIER, R.; PAVAN, S.; TEMES, G. C. *Understanding Delta-Sigma Data Converters*. Hoboken, NJ: Wiley, 2017. Copyright ©2017 by The Institute of Electrical and Electronic Engineers, Inc. ISBN 9781119258278. Citado 2 vezes nas páginas 47 e 53.
- SCOTTI, G. et al. Design of low-voltage high-speed cml d-latches in nanometer cmos technologies. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 25, n. 12, p. 3509–3520, 2017. Citado na página 97.
- THEERTHAM, R.; GANTA, S. N.; PAVAN, S. Design of high-resolution continuous-time delta–sigma data converters with dual return-to-open dacs. *IEEE Journal of Solid-State Circuits*, v. 57, n. 11, p. 3418–3428, 2022. Citado na página 89.
- THEERTHAM, R.; GANTA, S. N.; PAVAN, S. Design of high-resolution continuous-time delta–sigma data converters with dual return-to-open dacs. *IEEE Journal of Solid-State Circuits*, v. 57, n. 11, p. 3418–3428, 2022. Citado 2 vezes nas páginas 95 e 103.
- THEERTHAM, R. et al. Design Techniques for High-Resolution Continuous-Time Delta–Sigma Converters With Low In-Band Noise Spectral Density. *IEEE Journal of Solid-State Circuits*, v. 55, n. 9, p. 2429–2442, 2020. Citado 2 vezes nas páginas 58 e 103.
- WEISS, L.; MATHIS, W. A thermodynamic noise model for nonlinear resistors. *IEEE Electron Device Letters*, v. 20, n. 8, p. 402–404, 1999. Citado na página 82.
- YANG, X.; LEE, H.-S. Design of a 4th-order multi-stage feedforward operational amplifier for continuous-time bandpass delta sigma modulators. In: *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.: s.n.], 2016. p. 1058–1061. Citado na página 30.
- ZAFAR, R.; SALIM, M. Enhanced figure of merit in fano resonance-based plasmonic refractive index sensor. *IEEE Sensors Journal*, v. 15, n. 11, p. 6313–6317, 2015. Citado na página 43.

ZHANG, J. et al. A 0.6-v 82-db 28.6- μ w continuous-time audio delta-sigma modulator. *IEEE Journal of Solid-State Circuits*, v. 46, n. 10, p. 2326–2335, 2011. Citado 2 vezes nas páginas 93 e 94.