

Universidade Federal do Pampa

Beatriz Estefania Hatschbach Rezende

**Projeto Elétrico e Físico de um ADC SAR Assíncrono de 8 bits com
Chaveamento Monotônico em Tecnologia CMOS de 65 nm**

Alegrete

2025

Beatriz Estefania Hatschbach Rezende

**Projeto Elétrico e Físico de um ADC SAR Assíncrono de 8 bits com
Chaveamento Monotônico em Tecnologia CMOS de 65 nm**

Trabalho de Conclusão de Curso apresentado ao curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para a obtenção do Título de Bacharela em Engenharia Elétrica.

Orientador: Prof. Dr. Paulo César Comassetto de Aguirre

Alegrete
2025

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais) .

R369p Rezende, Beatriz Estefania Hatschbach
Projeto Elétrico e Físico de um ADC SAR Assíncrono de 8
bits com Chaveamento Monotônico em Tecnologia CMOS de 65 nm /
Beatriz Estefania Hatschbach Rezende.
80 p.

Trabalho de Conclusão de Curso(Graduação)-- Universidade
Federal do Pampa, ENGENHARIA ELÉTRICA, 2025.

"Orientação: Paulo César Comassetto de Aguirre".

1. Conversor Analógico-Digital. 2. Lógica SAR Assíncrona.
3. Chaveamento Monotônico. 4. Projeto Analógico . 5. Leiaute
Analógico. I. Título.

BEATRIZ ESTEFANIA HATSCHBACH REZENDE

**PROJETO ELÉTRICO E FÍSICO DE UM ADC SAR ASSÍNCRONO DE 8 BITS COM
CHAVEAMENTO MONOTÔNICO EM TECNOLOGIA CMOS DE 65 nm**

Trabalho de Conclusão de Curso
apresentado ao Curso de Engenharia
Elétrica da Universidade Federal do
Pampa, como requisito parcial para
obtenção do Título de Bacharela em
Engenharia Elétrica.

Dissertação defendida e aprovada em: 15 de dezembro de 2025.

Banca examinadora:

Prof. Dr. Paulo César Comassetto de Aguirre
Orientador
UNIPAMPA

Me. Daniel Eduardo Silva Piovani

Prof. Dr. Alessandro Gonçalves Girardi
UNIPAMPA



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 15/12/2025, às 17:24, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 15/12/2025, às 17:25, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **Daniel Eduardo Silva Piovani, Usuário Externo**, em 16/12/2025, às 14:05, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **1912568** e o código CRC **F5BFE9E4**.

Este trabalho é dedicado a toda minha família, em especial minha avó Clesis e minha mãe Marga, quais me ensinaram a ter força e determinação para chegar até o fim!

AGRADECIMENTOS

Gostaria de agradecer inicialmente a minha mãe Marga, quem me deu suporte e apoio desde o início da minha jornada acadêmica, sempre me confortando nos momentos difíceis e celebrando os momentos bons, obrigada mãe por toda força que a senhora me passou. Agradeço também minha querida avó Clesis que sempre me protegeu lá de cima e me deu uma excelente criação que me ajudou a moldar a pessoa que sou hoje. Agradeço minha família, que sempre torceu e acreditou na minha evolução pessoal e profissional, eu amo muito todos vocês! Também agradeço aos meus amigos mais próximos e distantes, quais tive o grande prazer de conhecer dentro da universidade, vocês foram essenciais para que essa jornada se tornasse mais leve, divertida e reflexiva, sou extremamente grata por tê-los conhecido e de poder acompanhar o crescimento e evolução de cada um mesmo que de longe. Por fim, gostaria de expressar minha gratidão ao grupo de pesquisa GAMA, aos colegas que tive a satisfação de trabalhar e trocar conhecimento nesse período, como também, aos professores que são e já foram do grupo, em especial prof. Alessandro Girardi e meu orientador Paulo Aguirre que me incentivou e apresentou o mundo cativante dos semicondutores. Sempre reconhecerei a importância que cada um teve nesses últimos anos, obrigada por acreditarem em mim!

“Você não pode esperar construir um mundo melhor sem melhorar os indivíduos. Para esse fim, cada um de nós deve trabalhar para o seu próprio aperfeiçoamento e, ao mesmo tempo, compartilhar uma responsabilidade geral por toda a humanidade.”
(Marie Curie)

RESUMO

Para que a informação de um sinal analógico comunique-se com tecnologias digitais, este sinal deve ser submetido a um processo de digitalização. O bloco que compreende tal função é conhecido como Conversor Analógico-Digital (do inglês, Analog-to-Digital Converter (ADC)). Onde, a tecnologia denominada Semicondutor de Óxido Metálico Complementar (do inglês, Complementary Metal-Oxide Semiconductor (CMOS)), é a mais adotada para a produção de sistemas conversores, por garantir uma boa exatidão de operação, possibilidade de integração com outros dispositivos compatíveis com a tecnologia adotada, como redução de área e custo. Contudo, este trabalho demonstrará todo o projeto em nível elétrico e físico, considerando boas práticas de leiaute para fabricação do sistema proposto. Apresentando-se também, os principais conceitos que envolvem a conversão AD, verificando as etapas necessárias para realizar a conversão do sinal analógico para um sinal digital, como exibição das não-idealidades inseridas pelo sistema durante seu processo. Este conhecimento inicial, dará partida para o desenvolvimento de um ADC de Registro de Aproximações Sucessivas (do inglês, Successive-Approximation Register (SAR)), sendo uma arquitetura com equilíbrio de performance quando comparada com outras topologias e, usualmente empregada em aplicações como: sistemas de comunicação, instrumentação e aplicações biomédicas, por exemplo. Deste modo, o ADC SAR desenvolvido contém 8 bits de resolução e utiliza a técnica de chaveamento monotônico no Conversor Digital-Analógico (do inglês, Digital-to-Analog Converter (DAC)), visando otimizar o consumo e área do bloco. A tecnologia adotada para a produção e fabricação deste ADC é a CMOS de 65 nm disponibilizada pela *TSMC (Taiwan Semiconductor Manufacturing Company)*, qual compreende uma biblioteca de dispositivos que operam com tensão de alimentação de 1,2 V. O sistema ainda deve operar com uma frequência de 10 MS/s, sendo aplicada uma lógica de controle assíncrona, qual permite gerar internamente os sinais de controle (*clock*) dos sub-blocos do sistema. Ao total, são necessários quatro sub-blocos para projetar o ADC SAR, sendo: a chave que amostra o sinal de entrada definindo-se a topologia bootstrapped, o DAC capacitivo (CDAC) compreendido por capacitores do modelo mimcap, o comparador dinâmico que compara as tensões armazenadas na placa inferior (*bottom*) dos capacitores do DAC e, a lógica SAR assíncrona que controla o chaveamento de todo sistema. Após o projeto elétrico do sistema conversor, são exibidos os resultados de simulação. Na sequência, é exposto o projeto físico (leiaute) do ADC completo, onde serão demonstradas algumas técnicas de casamento (*matching*), visando minimizar a inserção de efeitos parasitas que prejudicam a performance do sistema. Contudo, nas considerações finais são levantados os principais aspectos de dificuldades encontradas, melhorias necessárias e trabalhos futuros que compreendem este projeto.

Palavras-chave: Conversor Analógico-Digital. Registro de Aproximações Sucessivas. Chaveamento Monotônico. Lógica Assíncrona. Leiaute.

ABSTRACT

For analog signal information to communicate with digital technologies, this signal must undergo a digitization process. The block that performs this function is known as an Analog-to-Digital Converter (ADC). Complementary Metal Oxide Semiconductor (CMOS) technology is the most widely adopted for the production of converter systems, as it guarantees good operational accuracy, the possibility of integration with other devices compatible with the adopted technology, and reduces area and cost. However, this work will demonstrate the entire project at the electrical and physical levels, considering good layout practices for manufacturing the proposed system. It will also present the main concepts involved in AD conversion, verifying the necessary steps to convert an analog signal to a digital signal, and showing the non-idealities introduced by the system during its process. This initial knowledge will be the starting point for the development of a Successive Approximation Register (SAR) ADC, an architecture with balanced performance compared to other topologies and commonly used in applications such as communication systems, instrumentation, and biomedical applications, for example. Thus, the developed SAR ADC has 8 bits of resolution and uses monotonic switching in the Digital-to-Analog Converter (DAC) to optimize power consumption and block area. The technology adopted for the production and manufacturing of this ADC is the 65nm CMOS provided by TSMC (Taiwan Semiconductor Manufacturing Company), which includes a library of devices that operate with a supply voltage of 1.2V. The system must also operate at a frequency of 10MS/s, applying asynchronous control logic, which allows internal generation of the control signals (*clock*) of the system's sub-blocks. In total, four sub-blocks are needed to design the SAR ADC: the switch that samples the input signal, defining the bootstrapped topology; the capacitive DAC (CDAC) comprised of mimcap model capacitors; the dynamic comparator that compares the voltages stored on the lower plate of the DAC capacitors; and the asynchronous SAR logic that controls the switching of the entire system. After demonstrating the schematic design of each block and their interconnection for ADC construction, the simulation results are shown. Following this, the physical design (layout) of the complete ADC is presented, demonstrating some matching techniques aimed at minimizing the insertion of parasitic effects that impair system performance. However, the final considerations raise the main difficulties encountered, necessary improvements, and future work related to this project.

Keywords: Analog-to-Digital Converter. Successive Approximations Register. Monotonic Switching. Asynchronous Logic. Layout.

LISTA DE ILUSTRAÇÕES

Figura 1 – Diagrama das etapas básicas para conversão AD.	21
Figura 2 – Modelo e representação para amostragem periódica de um sinal analógico.	22
Figura 3 – Ilustração da largura de banda contínua no tempo ampliada até metade de F_S	23
Figura 4 – Representação da discretização ideal de um sinal analógico no tempo.	24
Figura 5 – Sinal de entrada amostrado no domínio da frequência com AAF.	25
Figura 6 – Representação da entrada-saída de um ADC ideal de 3 bits.	27
Figura 7 – Erro de <i>offset</i> e ganho de um ADC de 3 bits.	28
Figura 8 – INL e DNL do ADC de 3 bits.	29
Figura 9 – SNR versus f_{in} para diferentes níveis de entrada.	30
Figura 10 – SNDR versus f_{in} para diferentes níveis de entrada.	31
Figura 11 – Componentes harmônicos em função da frequência de entrada.	32
Figura 12 – SFDR em termos de dBc e dBFS.	33
Figura 13 – FOM de Schreier vs Velocidade.	34
Figura 14 – FOM de Walden vs Velocidade.	35
Figura 15 – Esquema convencional de um ADC SAR com lógica de controle assíncrono.	37
Figura 16 – Topologia do ADC SAR proposto.	38
Figura 17 – Fluxograma da operação de conversão do ADC.	39
Figura 18 – Gráfico das fases de operação do ADC com comutação monotônica.	40
Figura 19 – Esquema de comutação do CDAC para um ADC monotônico de 3 bits.	40
Figura 20 – Esquema de delay (DFF) para chaveamento do CDAC.	41
Figura 21 – Esquemático da chave bootstrapped.	42
Figura 22 – Arquitetura do comparador dinâmico.	43
Figura 23 – Lógica de controle assíncrona.	44
Figura 24 – Bloco do flip-flop	45
Figura 25 – Esquemas de simulação para definição do $CDAC_{total}$ e R_{on}	47
Figura 26 – Gráfico do desvio padrão em função da variação da área do capacitor.	47
Figura 27 – Esquemático interno do ADC via software <i>Virtuoso</i> ®.	49
Figura 28 – Gráfico dos sinais de entrada/saída do comparador.	50
Figura 29 – Simulação Monte de Carlo de 500 rodadas do offset de subida/descida do comparador.	50
Figura 30 – Sinais de controle do ADC SAR.	51
Figura 31 – Gráfico dos sinais de entrada do comparador.	52
Figura 32 – Ambiente de teste do ADC.	52
Figura 33 – Esquemático do Test-Bench (TB) do ADC via software <i>Virtuoso</i> ®.	53
Figura 34 – Gráfico do sinal senoidal reconstruído pelo ADC.	54
Figura 35 – FFT do sinal senoidal de saída do ADC SAR.	54
Figura 36 – Gráfico da rampa aplicada ao ADC.	56

Figura 37 – Histograma da simulação MC do offset em V_{LSB} do ADC SAR.	57
Figura 38 – Histograma da simulação MC do ganho em V_{LSB} do ADC SAR.	57
Figura 39 – Gráfico dos parâmetros de linearidade do ADC.	58
Figura 40 – Simulação Monte Carlo de 16 rodadas do DNL e INL.	59
Figura 41 – Posição dos blocos do ADC para roteamento do leiaute.	61
Figura 42 – Esquemático do gerador de fase.	61
Figura 43 – Leiaute do gerador de fase.	62
Figura 44 – Leiaute da bootstrap.	62
Figura 45 – Disposição dos capacitores com técnica centroe comum	63
Figura 46 – Leiaute do DAC capacitivo.	64
Figura 47 – Leiaute do comparador dinâmico.	65
Figura 48 – Leiaute do flip-flop.	66
Figura 49 – Leiaute da lógica SAR.	66
Figura 50 – Leiaute do flip-flop com delay.	67
Figura 51 – Leiaute o bloco de chaveamento do CDAC.	67
Figura 52 – Esquemático do buffer aplicado aos bits de saída do ADC.	68
Figura 53 – Layout do buffer aplicado aos bits de saída do ADC.	68
Figura 54 – Leiaute do topo do ADC SAR.	69
Figura 55 – Leiaute do dispositivo de proteção ESD	70
Figura 56 – ADC posto no anel de vedação do chip, conectado as células de entrada/saída e de alimentação.	71
Figura 57 – Esquemático via <i>Virtuoso</i> [®] do ADC com os dispositivos de proteção Electrostatic Discharge (ESD) e, Bonding Pad (PAD)s da tecnologia.	72
Figura 58 – Leiaute do IO ring com o ADC SAR projetado.	73

LISTA DE TABELAS

Tabela 1 – Principais arquiteturas de ADCs.	26
Tabela 2 – Principais especificações de ADC's.	36
Tabela 3 – Especificações iniciais para o projeto do ADC SAR proposto.	37
Tabela 4 – Valor da rede de capacitores do DAC.	47
Tabela 5 – Tabela de dimensionamento dos sub circuitos do ADC SAR.	48
Tabela 6 – Sumário dos parâmetros dinâmicos e consumo do ADC SAR.	55

LISTA DE ABREVIATURAS E SIGLAS

AAF	Anti-Alias Filter
ADC	Analog-to-Digital Converter
BW	Band-Width
CI s	Circuitos Integrados
CMOS	Complementary Metal-Oxide Semiconductor
DAC	Digital-to-Analog Converter
DNL	Differential Nonlinearity
DR	Dynamic Range
DRC	Design Rule Check
ENOB	Effective Number of Bits
ESD	Electrostatic Discharge
FOM	Figure-of-Merit
FS	Full-Scale
HD	Harmonic Distortion
INL	Integral Nonlinearity
IoT	Internet of Things
IP	Intellectual Property
LSB	Least Significant Bit
LVS	Layout versus Schematic
MCS	Merged Capacitor Switching
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MSB	Most Significant Bit
OSR	Oversampling Rate
PAD	Bonding Pad
PDK	Process Design Kit
RF	Radio Frequency
SAR	Successive-Approximation Register
SFDR	Spurious-Free Dynamic Range
SNDR	Signal-to-Noise-and-Distortion Ratio
SNR	Signal-to-Noise Ratio

SoCs Systems on Chip

TB Test-Bench

THD Total Harmonic Distortion

VCM Common Mode Voltage

VLSI Very Large-Scale Integration

SUMÁRIO

1	INTRODUÇÃO	17
1.1	Motivação	18
1.2	Objetivo	19
1.2.1	Objetivo Geral	19
1.2.2	Objetivo Específico	19
1.3	Estrutura	19
2	FUNDAMENTOS DA CONVERSÃO AD	21
2.1	Amostragem	21
2.1.1	Teoria da Amostragem	22
2.2	Quantização	23
2.3	Codificação Binária	24
2.4	Classificação das Principais Arquiteturas de ADC's	25
2.5	Caracterização do ADC	26
2.5.1	Especificações Estáticas	26
2.5.1.1	Resolução	26
2.5.1.2	Erro de <i>offset</i> e ganho	27
2.5.1.3	Não-Linearidades	28
2.5.2	Especificações Dinâmicas	29
2.5.2.1	Relação Sinal-Ruído (SNR)	29
2.5.2.2	Relação Sinal-Ruído e Distorção (SNDR ou SINAD)	30
2.5.2.3	Faixa Dinâmica (DR)	31
2.5.2.4	Número Efetivo de Bits (ENOB)	31
2.5.2.5	Distorção Harmônica (HD)	32
2.5.2.6	Faixa Dinâmica Livre de Espúrios (SFDR)	32
2.6	Estado da Arte de ADCs do tipo SAR	33
2.7	Figura de Mérito (FOM)	33
2.7.1	FOM de Shreier	34
2.7.2	FOM de Walden	34
3	METODOLOGIA DE PROJETO	37
3.1	ADC SAR de 8 bits	38
3.2	Conversor Digital-Analógico Capacitivo (CDAC)	40
3.3	Chave de Amostragem	41
3.4	Comparador Dinâmico	42
3.5	Lógica SAR	43
4	PROJETO EM NÍVEL ESQUEMÁTICO	46
4.0.1	Definição: $CDAC_{total}$ e Ron	46

5	RESULTADOS DE SIMULAÇÃO EM NÍVEL ESQUEMÁTICO . . .	50
6	PROJETO FÍSICO (LEIAUTE)	60
6.1	Gerador de Fase	61
6.2	Bootstrap	62
6.3	CDAC	63
6.4	Comparador Dinâmico	64
6.5	Lógica SAR	64
6.6	Chaveamento do CDAC	65
6.6.1	Buffer de Saída	67
6.7	Preparação do Topo	68
7	CONFECÇÃO DO IO RING DO CHIP	70
8	CONCLUSÃO	74
9	TRABALHOS FUTUROS	75
	REFERÊNCIAS	76
	APÊNDICE A – CÓDIGO VERILOGA DE UM DAC DE 8 BITS .	78

1 INTRODUÇÃO

Ao longo dos anos, equipamentos eletrônicos aplicados em departamentos industriais, automotivos e biomédicos, por exemplo, enfrentaram avanços com o crescimento dos dispositivos integrados ou Circuitos Integrados (CIs). Os sistemas de CIs analógicos, podem realizar tarefas como conversão analógica-digital (AD) e digital-analógica (DA), comunicação por radiofrequência, filtragem, etc (WEBER, 2015). Sendo que, desde o início da década de 1980, o processamento digital de sinais e as tecnologias de CIs, vem evoluindo e possibilitando a realização de processadores contendo milhões de transistores que possibilitam bilhões de operações por segundo, tais componentes são integralizados em uma única matriz, conhecido popularmente como “chip” (RAZAVI, 2001).

Em 1965, Gordon Earle Moore (engenheiro/empresário, cofundador da Intel) previu que a quantidade de transistores em um chip de CIs dobraria aproximadamente a cada dois anos, estabelecendo-se assim, a Lei de Moore (SCHALLER, 1997). Na prática, esta lei esclarece que a capacidade de processamento dos computadores aumentaria exponencialmente ao longo do tempo, enquanto os custos diminuiriam. Pôde-se comprovar esta diretriz, ao observar a evolução que tecnologias com circuitos de integração em grande escala ou, *Very Large-Scale Integration (VLSI)*, obtiveram com o passar dos anos. Este termo é associado aos chips que contém milhares ou milhões de transistores de efeito de campo semicondutores de óxido metálico (do inglês, Metal Oxide Semiconductor Field Effect Transistor (MOSFET)) (BAKER; EMMONS, 2019). Com o crescimento destes dispositivos, tornou-se viável integrar sistemas completos em um só encapsulamento, combinando funções analógicas e digitais, visto que antes os CIs realizavam o papel de componentes de subsistemas, separados em limites analógico-digitais (OPPENHEIM; SCHAFFER, 1989).

O transistor MOSFET é basicamente um mecanismo de quatro terminais, denominados: fonte (*source*), dreno (*drain*), portão (*gate*) e poço (*bulk*). Em sua estrutura, a dopagem do substrato (camada de silício) a partir do *bulk*, se dará conforme o material do dispositivo, sendo NMOS ou PMOS. De modo geral, na operação do transistor, uma tensão é aplicada no terminal de *gate* forçando uma corrente de dreno (I_D). A finalidade básica deste dispositivo é exercer a função de uma chave, que contém determinada resistência e capacitância parasita, com o controle do fluxo de corrente através do potencial aplicado ao *gate*. Para o transistor NMOS conduzir (“chave fechada”), aplica-se uma tensão positiva no terminal de *gate*, já no PMOS uma tensão negativa, quando não estão conduzindo considera-se um circuito aberto (“chave aberta”).

As principais desvantagens dos transistores MOSFETs seria a sensibilidade às descargas eletrostáticas e o limite de tensão em que o transistor começa a conduzir, sendo que as duas causas afetam diretamente a camada de óxido (isolante) deste componente. Porém, as vantagens são o que determinam os transistores terem ganhado espaço no mundo da microeletrônica, onde apresentam uma alta impedância de entrada, operação em altas frequências, uma vez que, contém uma alta velocidade de comutação, baixo

consumo de energia e área de silício reduzida. Entendendo a funcionalidade do transistor MOSFET, são compreensíveis os dispositivos CMOS, quais são integrados pela combinação de transistores NMOS e PMOS. O baixo custo de fabricação e a possibilidade de arranjar circuitos analógicos e digitais no mesmo chip para melhorar o desempenho geral e/ou reduzir o custo de encapsulamento, tornaram a tecnologia CMOS atraente para projetos de CIs (RAZAVI, 2017).

Em virtude deste desempenho, diferentes sistemas de propriedade intelectual ou, do inglês Intellectual Property (IP), quais são licenciados para uso em CIs e sistemas em chip (do inglês, Systems on Chip (SoCs)), adotam os dispositivos CMOS para fabricação (MEANY, 2016). Possibilitando a implementação de blocos com: função fixa, processamento, interfaces de comunicação analógicos e também de rádio frequência (do inglês, Radio Frequency (RF)).

Assim sendo, encontram-se no ambiente uma grande variedade de sinais analógicos que contém em seu espectro determinada “informação”. Por exemplo, a reprodução do som de áudio/música. Contudo, para a informação analógica se comunicar com as tecnologias digitais, este sinal deve ser submetido a um processo de digitalização. Os sistemas de comunicação digital são adotados nas redes de comunicação de modo geral, onde conseguem realizar detecção e reparo de erros, transmissão simultânea de múltiplos sinais e fácil integração com outros processos. Estas são algumas das contribuições que a incorporação deste tipo de sistema atrai.

Para realizar o processamento de um sinal analógico é necessário executar a conversão do domínio analógico para o domínio digital, nomeada conversão AD. Nesse processo, o bloco que compreende tal função é o conversor analógico-digital (ADC), sendo utilizada a tecnologia CMOS para sua produção devido aos grandes benefícios comentados anteriormente. Todavia, para o projeto de um ADC que apresente desempenho com boa exatidão de operação, são verificadas certas não-linearidades inseridas pelo sistema, observando-se assim a influência/impacto de cada bloco.

Ao analisar todo o fluxo necessário para a fabricação de um “chip”, é relevante que o projetista tenha em mente a noção de dimensionar os circuitos de modo que obtenham largura/comprimento próximos, utilizando múltiplos e fingers, para que ao ser realizado o leiaute deste circuito, seja melhor a simetria entre os dispositivos e, consequentemente, o matching. Portanto, a seguir será apresentada a motivação para este projeto, como os objetivos geral e específico e a estrutura deste documento.

1.1 MOTIVAÇÃO

A necessidade de sistemas eletrônicos cada vez mais eficientes e precisos impulsiona o desenvolvimento de ADC's de alto desempenho. Dentre diversas arquiteturas, o ADC de Registro Aproximação Sucessiva (SAR) têm destacado-se nos setores industriais, por oferecerem média/alta resolução e baixa/média velocidade, apresentando uma combinação

equilibrada entre velocidade de conversão, precisão e eficiência energética. Logo, crescente demanda por dispositivos móveis, Internet das Coisas (do inglês, Internet of Things (IoT)), sistemas embarcados e de comunicação, aplicações biomédicas e automotivas, exigem soluções que possam converter sinais analógicos em digitais de maneira eficiente e confiável. Nesse contexto, esta arquitetura se apresenta como uma opção viável, por reunir simplicidade de implementação com capacidade de operar em ambientes com restrições energéticas. A produção e estudo de um ADC SAR Monotônico, como também a implementação física do sistema e fabricação, não só contribui para os estudos científicos dessa área, como também, promove uma avaliação sobre o impacto que o sistema sofre ao considerar os efeitos parasitas da fabricação de dispositivos CMOS.

1.2 OBJETIVO

1.2.1 OBJETIVO GERAL

Este projeto apresenta como objetivo geral o desenvolvimento de todo o fluxo de projeto, para fabricação de um ADC do tipo SAR de chaveamento monotônico com lógica de controle assíncrona. O circuito deve ser robusto para operação em uma frequência de amostragem de 10 MS/s e alimentação de 1,2 V, buscando alcançar uma resolução efetiva mais próxima do ideal (8 bits). Considerando-se também, boas práticas de leiaute para redução das interferências parasitas que o processo de fabricação causa no sistema.

1.2.2 OBJETIVO ESPECÍFICO

- Realizar o projeto elétrico e físico das células padrão (inversor, nand, nor e or) utilizadas nos sub-blocos do sistema conversor;
- Realizar o projeto elétrico e físico do comparador dinâmico;
- Realizar o projeto elétrico e físico da chave de amostragem bootstrap;
- Realizar o projeto elétrico e físico da lógica SAR;
- Realizar o projeto elétrico e físico do DAC capacitivo;
- Realizar o projeto elétrico e físico do bloco de chaveamento do DAC capacitivo;
- Analisar a performance em nível esquemático de cada sub-bloco e de todo sistema;
- Confeccionar o anel de vedação do *chip* com o ADC SAR.

1.3 ESTRUTURA

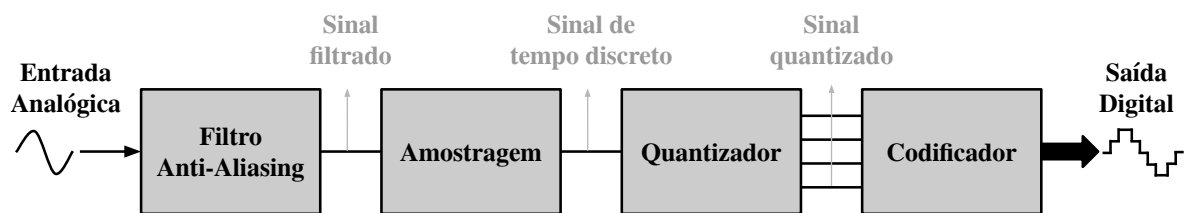
Este trabalho está disposto em oito capítulos. No Cap. 2 é apresentado os fundamentos da conversão AD, com uma breve explicação dos principais conceitos e arquiteturas

os ADC's englobam. Logo, a metodologia a ser desenvolvida neste projeto é expressa no capítulo 3. Sendo o projeto em nível esquemático visto na sessão 4, com os resultados de simulação demonstrados em 5. Já o projeto físico do ADC é exposto na sessão 6 e, resultados de simulação pós-layout em 7. Por fim, a sessão 8 apresenta as considerações finais, que retrata os principais pontos observados ao longo de todo o desenvolvimento deste projeto.

2 FUNDAMENTOS DA CONVERSÃO AD

O procedimento da conversão AD requer uma sequência de etapas conforme demonstrado na Fig.1, nota-se que no primeiro estágio o sinal passa pelo filtro anti-aliasing (do inglês, Anti-Alias Filter (AAF)) em tempo contínuo que irá eliminar interferências de frequências fora da banda de interesse. Logo, é realizada a amostragem do sinal numa determinada faixa, efetuando-se, então, a quantização em amplitude que passa para a última etapa de codificação dos dados, onde ocorre a decodificação da informação do sinal analógico de entrada.

Figura 1 – Diagrama das etapas básicas para conversão AD.



Fonte: Adaptado de Maloberti (2007)

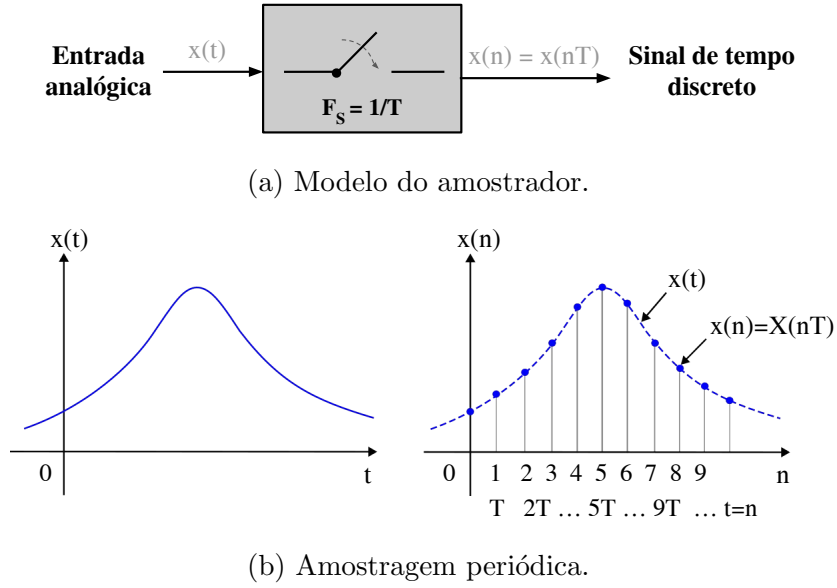
Em vista disso, o bloco responsável por cumprir os requisitos de conversão de um sinal, como comentado anteriormente, é o ADC. Basicamente, neste bloco o circuito realiza a comparação do sinal analógico de entrada, no instante da amostra, com uma parcela do valor de referência, onde a precisão desta fração analógica determina a precisão da conversão (MALOBERTI, 2007).

Neste capítulo serão abordados os conceitos do processo de amostragem, quantização e codificação binária, sendo etapas relevantes para compreensão da discretização do sinal, seguido das seções 2.1, 2.2 e 2.3, respectivamente. Em seguida, serão apresentadas as principais arquiteturas de ADC's na seção 2.4. Com a seção 2.5 apresentando a caracterização de ADC's, que demonstra as características estáticas e dinâmicas que constituem este sistema.

2.1 AMOSTRAGEM

O processo de amostragem consiste basicamente na transformação de um sinal analógico de tempo contínuo para uma sequência de amostras discretizadas. Na Fig. 2a, é apresentado o modelo do amostrador utilizado neste procedimento, onde são realizadas medições da amplitude do sinal analógico de entrada em períodos pré-determinados. Assim, o arranjo destas amostras discretas correspondem ao sinal de origem, mas no âmbito digital, e a frequência de amostragem ou taxa de amostragem (F_s) seria o número de repetições que estas amostras são coletadas (MPS, 2024). Já na Fig. 2b, é observada a representação gráfica do comportamento que a amostragem periódica apresenta sobre o sinal $x(t)$.

Figura 2 – Modelo e representação para amostragem periódica de um sinal analógico.



Fonte: Adaptado de MPS (2024)

Do ponto de vista matemático, a amostragem equivale a uma sequência de funções delta combinadas ao sinal de entrada, cuja amplitude é igual ao sinal nos tempos da amostragem, conforme expresso em Maloberti (2007). A partir da equação 2.1:

$$x(n) = x(nT)$$

$$x(n) = \sum x(t) \times \delta(t - nT) \quad (2.1)$$

, têm-se a descrição da saída do amostrador, onde $x(n)$ denota o sinal da n -ésima amostra e T representa o período entre amostras consecutivas (MPS, 2024), sendo inversamente proporcional a frequência de amostragem:

$$T = \frac{1}{F_s}$$

Devido à multiplicação pela sequência de deltas presente nesta dedução, a operação de amostragem é não linear.

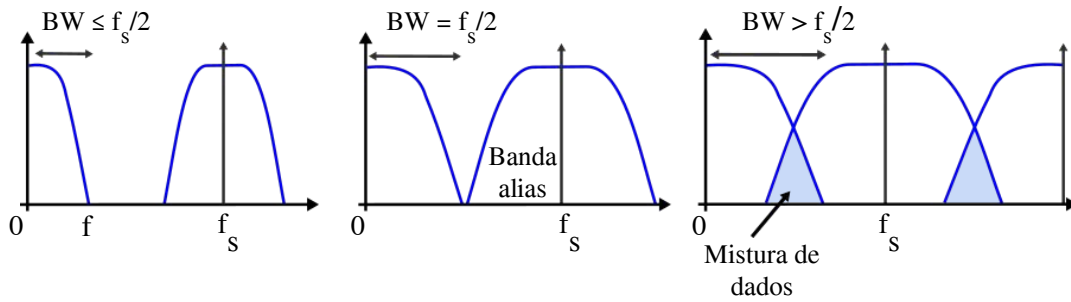
2.1.1 TEORIA DA AMOSTRAGEM

A teoria da amostragem ou teorema da amostragem de Nyquist-Shannon é um princípio fundamental na teoria da informação e processamento de sinais. O teorema estabelece que se um sinal $x(t)$ é limitado em banda, com a maior frequência de entrada (f_{max}), então pode-se reconstruí-lo a partir de suas amostras se:

$$F_s \geq 2f_{max}$$

Ao analisar, por outro lado, se a largura de banda (do inglês, Band-Width (BW)) no domínio contínuo do tempo aumentar, as bandas espalhadas em torno dos múltiplos da F_s acompanharão o efeito. Logo, a Fig. 3 mostra a ampliação da BW até metade de F_s , com a banda superior mais próxima a banda original chamada “banda de alias”. Caso a largura de banda supere metade da frequência de amostragem, ocorre a sobreposição entre bandas e, conseqüentemente, a mistura de dados, denominando-se “aliasing”. Resumidamente, se o sinal original se misturar com seu alias irá corromper o conteúdo de informação do sinal (PELGROM, 2021).

Figura 3 – Ilustração da largura de banda contínua no tempo ampliada até metade de F_s .



Fonte: Adaptado de Pelgrom (2021)

Para esta limitação têm-se a taxa de Nyquist ou frequência de Nyquist (f_N), que caracteriza a menor taxa que um sinal pode ser amostrado de modo que impeça a degradação da informação. Para descobrir f_N basta calcular o dobro da f_{max} , assim, a equação 2.2 apresenta o critério a ser seguido para realizar a exata reconstrução do sinal original.

$$F_s \geq f_N = 2 \cdot f_{max} = 2 \cdot BW \quad (2.2)$$

Em conversores AD, a taxa de sobreamostragem (do inglês, Oversampling Rate (OSR)) é um parâmetro de classificação dos ADC's, sendo determinada pela razão entre a frequência de amostragem e a frequência de Nyquist, conforme a equação 2.3.

$$OSR = \frac{F_s}{f_N} = \frac{F_s}{2 \cdot BW} \quad (2.3)$$

2.2 QUANTIZAÇÃO

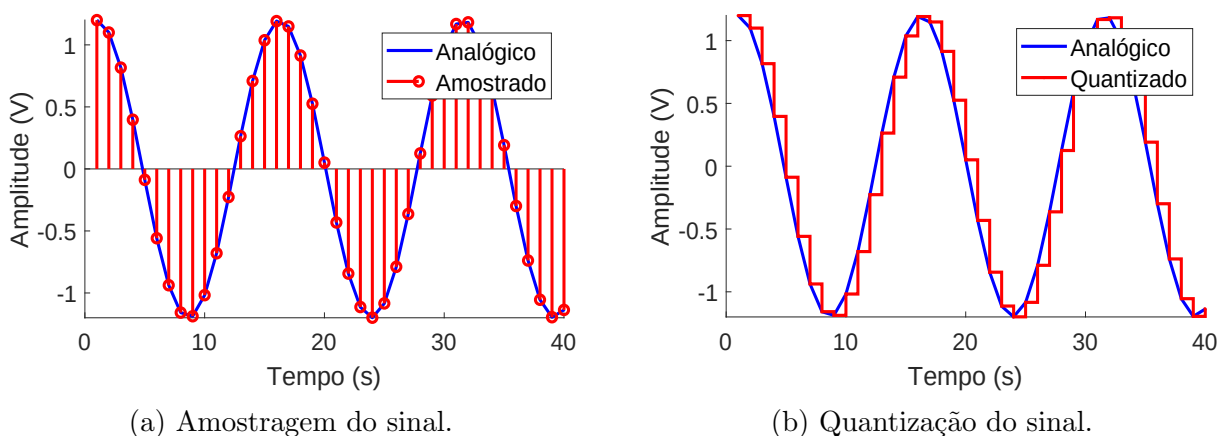
Após o processo de amostragem ocorre a quantização do sinal, no qual as amostras do sinal contínuo passam a ser valores discretos finitos. Se as amplitudes analógicas do sinal amostrado $x(n)$ da Fig. 2b, forem consideradas uma faixa contínua em cada valor, serão obtidos intervalos igualmente espaçados. Com a soma destes intervalos, delimitando a faixa dinâmica do quantizador ou, do inglês Dynamic Range (DR). Onde a largura do passo

entre os intervalos, corresponde ao bit menos significativo (do inglês, Least Significant Bit (LSB)).

A resolução do quantizador determina a quantidade de intervalos ou níveis de quantização, sendo expressa em bits. Ao considerar um bloco quantizador de N -bits serão obtidos 2^N níveis de quantização. Pode-se dizer assim que maior a resolução, mais intervalos quantizados têm-se para representação do sinal amostrado. Contudo, a conversão que ocorre na quantização introduz naturalmente erros inerentes ao processo envolvido, levando a imprecisão de aproximação e, conseqüentemente, danificação da informação do sinal original. Logo, a seção 2.5 comentará das características que envolvem erro de quantização.

Assim sendo, na Fig. 4 é possível observar a representação gráfica do sinal analógico ao passar por cada etapa descrita, ocorrendo a amostragem do sinal contínuo em tempos discretos em 4a e, seguindo, para a quantização em amplitude que converte o sinal original em um sinal digitalizado como mostra a Fig. 4b.

Figura 4 – Representação da discretização ideal de um sinal analógico no tempo.



Fonte: Autor

2.3 CODIFICAÇÃO BINÁRIA

A etapa de codificação binária representa informações usando apenas dois números, onde cada unidade desta representação é denominada bit, atribuído a um '0' ou um '1'. Assim, após a amostragem e quantização do sinal analógico, ocorre o processo de codificação de cada amplitude quantizada, sendo atribuído um código binário diferente para cada faixa. A quantidade de bits utilizados na representação deste sinal é determinado pela resolução (MPS, 2024), com cada bit indicando uma potência de 2. Por exemplo, para uma resolução de 8 bits pode-se representar 2^8 (256) níveis de quantização distintos.

Na codificação binária, para interpretar e processar a informação do sinal de entrada, certos conceitos são adotados descrevendo a importância relativa dos bits em uma palavra binária. O termo LSB, é o bit na posição mais à direita da palavra e representa o valor 2^0 , ou 1. Em contrapartida, o "bit mais significativo" (do inglês, Most Significant

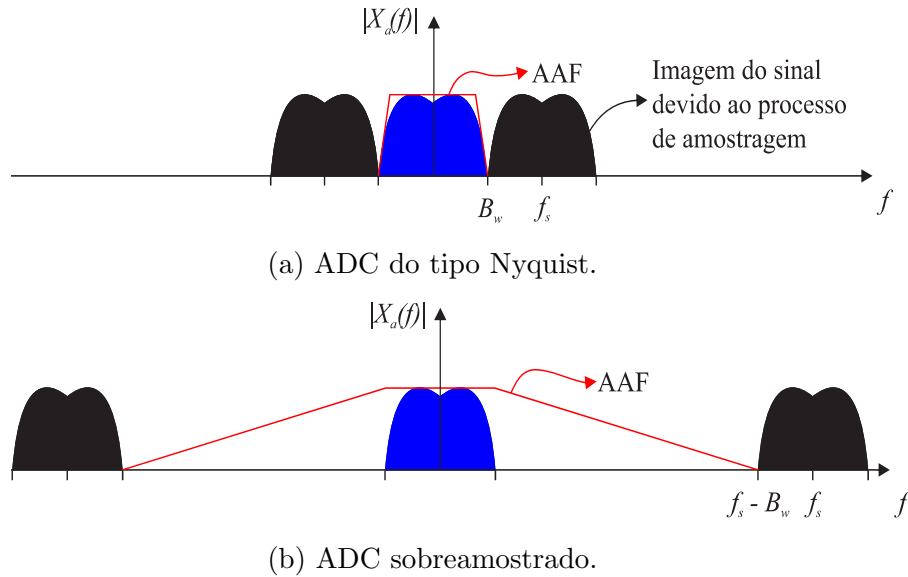
Bit (MSB)) é o bit na posição mais à esquerda e representa o maior valor, dependendo dos N-bits usados, sendo assim 2^{N-1} .

Para o exemplo de 8 bits, alterar o MSB muda o valor do número em uma grande quantidade (128 unidades), enquanto alterar o LSB muda o valor em apenas uma unidade. Portanto, denota-se que o MSB tem maior impacto no valor representado, enquanto o LSB tem o menor impacto.

2.4 CLASSIFICAÇÃO DAS PRINCIPAIS ARQUITETURAS DE ADC'S

Nesta seção serão apresentadas as principais arquiteturas de ADC's, como também as características fundamentais que os diferem. Portanto, com base na teoria da amostragem expressa na seção 2.1.1, os ADC's podem ser classificados em dois tipos. Para ADC's no qual o sinal de entrada analógico é amostrado na taxa mínima ($F_s = f_N$), denominam-se como ADC do tipo Nyquist ou Nyquist-rate e, em uma amostragem que $F_s > f_N$, são identificados como ADC's sobreamostrados, conforme explorado por Rosa (2013). Ao observar a Fig. 5, notam-se as imagens das amostras do sinal de entrada no domínio da frequência com a delimitação da AAF, caracterizando a diferença de cada tipo de conversor.

Figura 5 – Sinal de entrada amostrado no domínio da frequência com AAF.



Fonte: Adaptado de Aguirre (2014)

A partir desses dois parâmetros, derivam-se as arquiteturas de ADC's que, apresentam distintos fatores de performance para diferentes cenários e necessidades conforme o dispositivo a ser introduzido. Logo, a Tab. 1 contém as principais arquiteturas da atualidade com suas respectivas especificações de resolução, velocidade e consumo de energia.

Neste projeto será utilizada a arquitetura ADC SAR, uma vez que, a performance do seu sistema oferece uma média razoável dentro das especificações citadas, tornando-o

Tabela 1 – Principais arquiteturas de ADCs.

Tipo	Arquitetura	Resolução	Velocidade	Consumo
Nyquist	ADC Flash	Baixo / Médio	Muito Alto	Alto
Nyquist	ADC SAR	Média / Alta	Média	Médio / Baixo
Nyquist	ADC Pipeline	Alto	Alto	Média / Alta
Sobreamostrado	ADC $\Sigma\Delta$	Muito Alto	Baixo / Médio	Média

um produto versátil e adaptável para diferentes aplicações.

2.5 CARACTERIZAÇÃO DO ADC

No projeto de conversores analógico-digitais a investigação das não-idealidades do sistema torna-se fundamental para a caracterização do ADC, sendo atribuído em duas classes de especificações estáticas e dinâmicas, conforme descrito a seguir.

2.5.1 ESPECIFICAÇÕES ESTÁTICAS

O comportamento estático dos ADC's são baseados de acordo com a transferência de entrada e saída. Pela Fig. 6 observa-se os aspectos de entrada-saída de um ADC de 3 bits, a entrada é ajustada para que as transições do degrau ideal ocorram em valores específicos de

$$0,5LSB \cdot (2^{i-1})$$

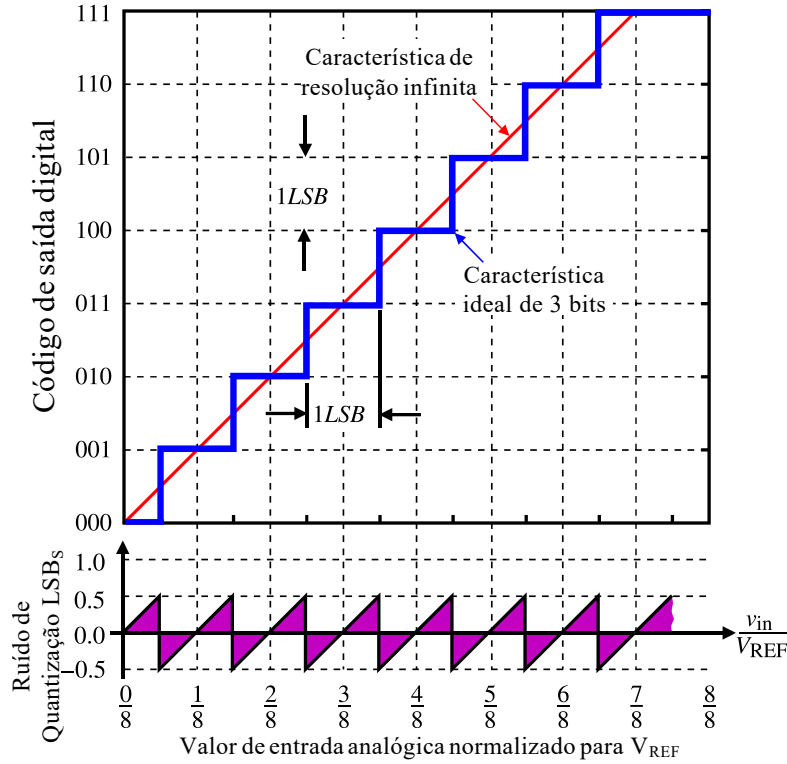
,do valor de entrada, com i variando de 1 a N-bits. No gráfico abaixo é apresentado o erro de quantização ou ruído de quantização, que é limitado em $\pm 0,5 \cdot LSB$. Este ruído refere-se a diferença entre as características de resolução infinita e a ideal, em função da tensão de entrada normalizada (V_{in}/V_{REF}).

A seguir serão descritos alguns termos que especificam a performance estática dos ADC's, onde os principais são os erros de ganho e offset, como também, as não linearidades integral e diferencial.

2.5.1.1 RESOLUÇÃO

A resolução analógica do ADC, refere-se à menor mudança detectável na tensão de entrada (um LSB) que pode ser distinguida pelo ADC, relacionada diretamente ao número de bits do conversor. Na análise da resolução em termos da tensão, é possível calcular o valor de um LSB em volts, bastando dividir a faixa de entrada (intervalo de escala total de tensão que o ADC pode converter) pela potência de 2 dos N-bits (ALLEN; HOLBERG, 2002). Por exemplo, para um ADC com entrada diferencial de 8 bits com em uma faixa de 0 a 1,2 V, a resolução em volts seria:

Figura 6 – Representação da entrada-saída de um ADC ideal de 3 bits.



Fonte: Adaptado de Allen e Holberg (2002)

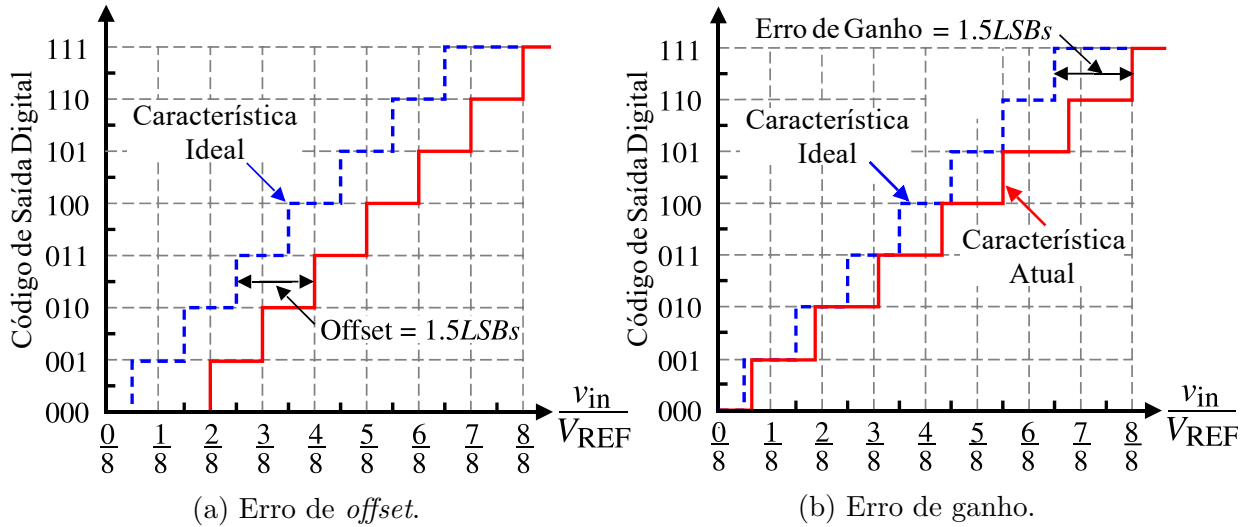
$$\frac{2 \cdot 1,2 \text{ V}}{2^8} = 9,375 \text{ mV}_{LSB} = 1LSB$$

Há certos fatores que afetam a resolução, como o ruído causado pelas interferências elétricas, a velocidade de conversão que por conta das limitações tecnológicas os ADC's de alta resolução podem precisar de mais tempo para conversão do sinal (MPS, 2024). E também, as imperfeições no design do conversor, que podem causar não-linearidades na performance do sistema.

2.5.1.2 ERRO DE *OFFSET* E GANHO

A Fig. 7 contém a representação do erro de *offset* e ganho de um ADC de 3 bits com 8 níveis quantizados, onde a linha tracejada corresponde a característica ideal da saída do ADC. O erro de *offset* representado em 7a, é dado pela diferença entre a saída efetiva do ADC com o aspecto ideal, quando a tensão de entrada é zero, sendo tal erro constante para todos os códigos de saída. Normalmente, este efeito é provocado por incompatibilidades de componentes ou mudanças de temperatura, sendo estabelecido em LSBs ou milivolts.

Entretanto, o erro de ganho demonstrado na Fig. 7b pode ser expresso pela diferença no eixo horizontal entre a característica real e ideal dentre os bits mais significativos (110 e 111) da resolução. Assim, pode-se associar o erro de ganho a sensibilidade que o

Figura 7 – Erro de *offset* e ganho de um ADC de 3 bits.

Fonte: Adaptado de Allen e Holberg (2002)

ADC apresenta ao passar por variações na tensão de entrada, também visto como uma variação na inclinação da linha de resolução infinita da Fig. 6, como disposto em Allen e Holberg (2002). Esta influência é frequentemente provocada pelas variações internas dos componentes, podendo ser medido em LSBs.

2.5.1.3 NÃO-LINEARIEDADES

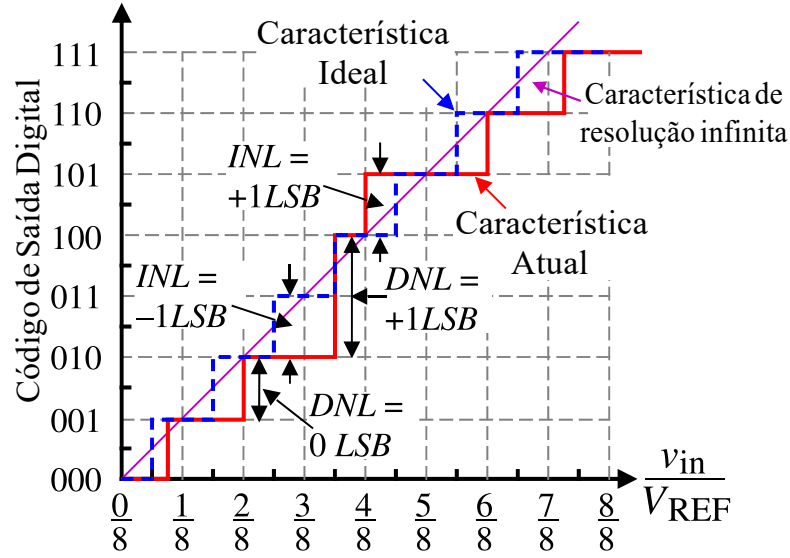
A linearidade é uma métrica crucial para ADC's, pois avalia o quão próxima a função de transferência real do conversor AD está de uma função linear ideal. Onde a não-linearidade diferencial (do inglês, Differential Nonlinearity (DNL)) e a não-linearidade integral (do inglês, Integral Nonlinearity (INL)) são as duas principais medidas utilizadas para avaliar a linearidade de um ADC. Portanto, a Fig. 8 contém o exemplo do INL e DNL do ADC de 3 bits.

Ambos efeitos de não-lineariedade, causam impactos do desempenho do ADC, como a distorção do sinal original, erros de medição devido a baixa lineariedade ou também o alcance dinâmico e precisão. A seguir, será demonstrado a característica da não lineariedade diferencial e integral.

1. Não Linearidade Diferencial (DNL)

O DNL é medido através da diferença nos tamanhos de passo entre os códigos de saída digital vizinhos. No ADC ideal, a diferença entre códigos de saída adjacentes deve ser igual a 1 LSB, sendo que o desvio de tamanho do passo ideal define o DNL e, idealmente seu valor é igual a 0 V_{LSB} . Contudo, caso o erro de DNL seja menor ou igual a -1, o ADC pode não gerar certas palavras de saída, independentemente da entrada, causando à perda de informações (MSB). Como exemplo, caso haja um DNL de 0,5 V_{LSB} , o passo do ADC pode variar de 0,5 a 1,5 V_{LSB} .

Figura 8 – INL e DNL do ADC de 3 bits.



Fonte: Adaptado de Allen e Holberg (2002)

2. Não Linearidade Integral (INL)

O INL se caracteriza pela máxima diferença entre a resposta de resolução real e de resolução ideal, matematicamente, pode se dizer ser o total de erros DNL até certo valor binário em relação a função de transferência ideal ((ALLEN; HOLBERG, 2002)). Medido em porcentagem ou LSBs, por meio da aplicação de um sinal de entrada que varia lentamente entre nas fronteiras da escala completa (Full-Scale (FS)) de acordo com a entrada.

2.5.2 ESPECIFICAÇÕES DINÂMICAS

O desempenho dinâmico do ADC é dado pela resposta em frequência e a velocidade de operação dos dispositivos analógicos, sendo crítico em casos que a largura de banda de entrada e taxa de conversão são altas (MALOBERTI, 2007). Logo, serão apresentados algumas características dinâmicas cruciais na caracterização de ADC's.

2.5.2.1 RELAÇÃO SINAL-RUÍDO (SNR)

A Relação Sinal-Ruído ou, do inglês Signal-to-Noise Ratio (SNR), é uma medida da qualidade do sinal de saída de um ADC e representa a proporção entre a potência do sinal de entrada e a potência do ruído indesejado, sendo responsável pelo ruído presente no intervalo de Nyquist. Com a equação 2.4 é calculado o valor em decibéis do SNR e, a expressão para o SNR_{RMS} , é vista na equação 2.5. Já pela eq. 2.6, é possível calcular o SNR_{ideal} para um ADC ideal com resolução de N-bits.

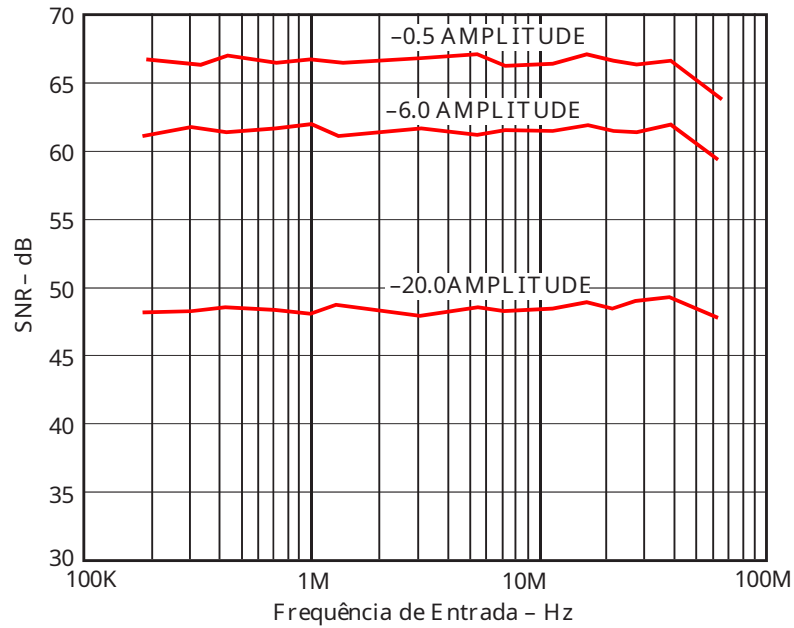
$$SNR_{dB} = 10 \cdot \log_{10} \left(\frac{P_{sinal}}{P_{ruído}} \right) \quad (2.4)$$

$$SNR_{RMS} = 20 \cdot \log_{10} \left(\frac{V_{in_{max}}}{V_{ruído}} \right) = 20 \cdot \log_{10} \left(\frac{\frac{2^N (V_{LSB})}{2\sqrt{2}}}{\frac{V_{LSB}}{\sqrt{12}}} \right) \quad (2.5)$$

$$SNR_{ideal} = 6,02 \cdot N + 1,76 \quad (2.6)$$

A Fig. 9 mostra o SNR em função da frequência de entrada, para diferentes amplitudes, de um hipotético ADC de 12 bits com f_S de 50 MHz, avaliado em Maloberti (2007). Analisa-se que, para a maior amplitude de -0,5 dB o SNR é mais alto chegando a 67 dB, porém, para uma amplitude menor de -20 dB o SNR é 48 dB. Portanto, o ADC apresenta melhor SNR para sinais de entrada de maior amplitude, enquanto de menor amplitude resulta em menor SNR. Portanto, um SNR mais alto indica que a operação do ADC produz um sinal de saída com menos ruído em relação ao sinal de entrada, resultando numa representação digital mais precisa do sinal analógico original.

Figura 9 – SNR versus f_{in} para diferentes níveis de entrada.



Fonte: Adaptado de Maloberti (2007)

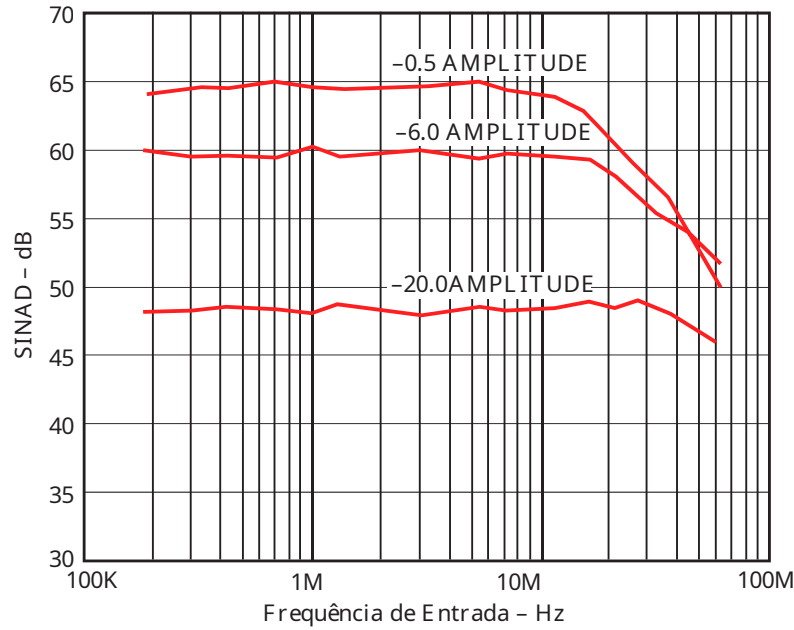
2.5.2.2 RELAÇÃO SINAL-RUÍDO E DISTORÇÃO (SNDR OU SINAD)

A Signal-to-Noise-and-Distortion Ratio (SNDR), é uma medida que inclui tanto o ruído quanto as distorções não lineares introduzidas pelos sinais senoidais de entrada do ADC. Este fator é representado pela razão entre a potência do sinal fundamental e a soma das potências de todos os componentes de ruído e distorção, conforme expresso na equação 2.7.

$$SNDR_{dB} = 10 \cdot \log_{10} \left(\frac{P_{sinal}}{P_{ruído} + P_{distorção}} \right) \quad (2.7)$$

A partir da Fig. 10, é visto o exemplo hipotético do ADC mencionado anteriormente, mas em função do SNDR. Nota-se que, para amplitudes maiores de entrada em altas frequências ocorre distorção, sendo na segunda zona de Nyquist a maior degradação do SNDR. Em vista disso, o SNDR fornece uma análise mais completa de desempenho do ADC ao incluir além do ruído as distorções harmônicas introduzidas pelo processo.

Figura 10 – SNDR versus f_{in} para diferentes níveis de entrada.



Fonte: Adaptado de Maloberti (2007)

2.5.2.3 FAIXA DINÂMICA (DR)

A DR é a razão entre o maior e o menor sinal de saída que o ADC pode converter com precisão, associada a resolução do conversor. Também relaciona-se como, o valor do sinal de entrada no qual o SNR (ou SNDR) é 0 dB. Pela equação 2.8, é possível calcular a faixa dinâmica em decibéis.

$$DR_{dB} = 20 \cdot \log_{10} \frac{2^N - 1}{1} \approx 6,02 \cdot N \quad (2.8)$$

2.5.2.4 NÚMERO EFETIVO DE BITS (ENOB)

O número efetivo e bits ou Effective Number of Bits (ENOB), é a representação mais precisa da resolução real do ADC, pois considera as não-idealidades como ruído e distorção. Geralmente, a resolução nominal do ADC é maior que o ENOB, sendo calculado a partir do SNDR conforme a equação 2.9.

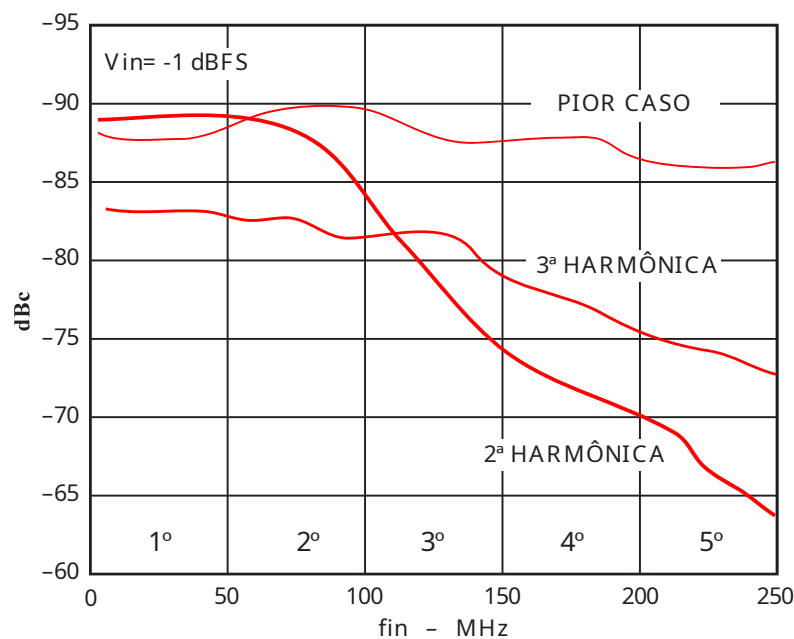
$$ENOB = \frac{SNDR_{dB} - 1,76}{6,02} \quad (2.9)$$

2.5.2.5 DISTORÇÃO HARMÔNICA (HD)

A distorção harmônica ou, do inglês Harmonic Distortion (HD), ocorre quando um sinal é distorcido durante o processo de conversão, resultando na introdução de frequências harmônicas que não estavam presentes no sinal original. Estas harmônicas são múltiplos inteiros da frequência do sinal de entrada, assumindo-se que termos harmônicos superiores ao décimo apresentam efeitos insignificantes. O n -ésimo componente harmônico está na frequência $|\pm n f_{in} \pm k f_s|$, sendo k o valor que dobra o termo harmônico na primeira zona de Nyquist.

O gráfico da Fig. 11 mostra como as distorções harmônicas variam com a frequência de entrada, para um ADC hipotético de 12 bits e 100 MHz. A 2ª harmônica em um sistema totalmente diferencial, torna-se desprezível nas duas primeiras zonas de Nyquist, porém em altas frequências a distorção da 2ª harmônica é dominante.

Figura 11 – Componentes harmônicos em função da frequência de entrada.



Fonte: Adaptado de Maloberti (2007)

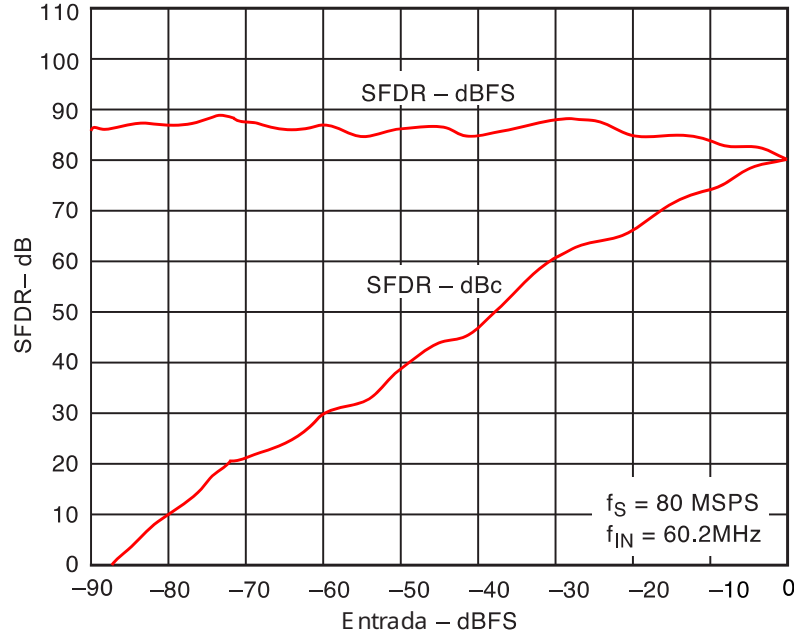
Contudo, a distorção harmônica total (Total Harmonic Distortion (THD)) mede a quantidade total de distorção causada pelas harmônicas do sinal de entrada, onde menor THD indica que o ADC está introduzindo menos distorção ao sinal original.

2.5.2.6 FAIXA DINÂMICA LIVRE DE ESPÚRIOS (SFDR)

A faixa dinâmica livre de espúrios ou Spurious-Free Dynamic Range (SFDR), é a razão entre a amplitude do sinal de entrada e a máxima amplitude de espúrio dentro da primeira zona de Nyquist (em dB), fornecendo informações que concentram-se no pior espúrio. Em amplitudes de entrada que estejam abaixo da FS, a distorção referida ao sinal

é insignificante, enquanto devido a natureza não linear do conversor, outros espúrios não reportados pela entrada tornam-se dominantes.

Figura 12 – SFDR em termos de dBc e dBFS.



Fonte: Adaptado de Maloberti (2007)

Na Fig. 12 é observado o SFDR em decibéis de um ADC em função da entrada em $dBFS$ com f_s de 80 MHz e, frequência de entrada em 60,2 MHz na segunda zona de Nyquist. Neste gráfico o $SFDR_{dBFS}$ independe da amplitude de entrada, enquanto $SFDR_{dBc}$ aumenta linearmente.

2.6 ESTADO DA ARTE DE ADCS DO TIPO SAR

O termo “Estado da Arte” do inglês, *State of the Art*, refere-se às tecnologias, métodos, designs e desempenhos mais avançados e atuais disponíveis no campo de ADC’s, representando os melhores resultados alcançados em termos de eficiência, precisão, velocidade, consumo de energia, e outros parâmetros críticos. Para definir uma topologia que esteja no estado da arte, é necessário que a performance do sistema obtenha uma figura de mérito competitiva aos demais estudos realizados, conforme a arquitetura do ADC adotado.

2.7 FIGURA DE MÉRITO (FOM)

A figura de mérito (do inglês, Figure-of-Merit (FOM)) é uma métrica usada para avaliar a eficiência de conversores analógico-digitais. Existem diferentes formas de calcular a FOM, dependendo do que se quer enfatizar. As duas figuras de mérito mais utilizadas para ADC’s são a de Schreier e a de Walden. Portanto, a seguir serão apresentadas as

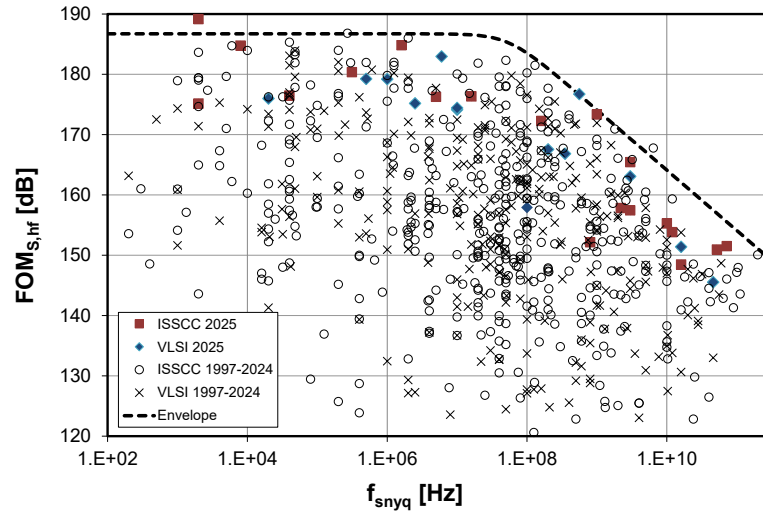
equações que regem estes dois parâmetros de avaliação. Como também, a pesquisa realizada por Murmann (2025), onde apresenta a FOM em função da velocidade para arquiteturas de ADC SAR de acordo com artigos publicados nas conferências: *IEEE International Conference on Solid-State Circuits* (ISSCC) e *IEEE Symposium on VLSI Circuits*, entre os anos de 1997 a 2025.

2.7.1 FOM DE SHREIER

A FOM de Shreier pode ser calculada a partir da equação 2.10, expressa em dB, esta medida combina a eficiência de energia com a qualidade do sinal (através da SNDR). Deste modo, um alto valor da FOM de Schreier indica um ADC mais eficiente em termos de energia e com melhor qualidade de sinal. Esta FOM é mais utilizada em aplicações onde a performance do sinal é tão importante quanto o consumo de energia. Contudo, a Fig. 13 demonstra a FOM de Schreier em termos da velocidade, onde se analisa que na faixa de 20 MS/s, há uma grande concentração de topologias elaboradas com a FOM entre 150-185 dB.

$$FOM_S = SNDR + 10 \cdot \log \left(\frac{f_s/2}{Potência} \right) \quad (2.10)$$

Figura 13 – FOM de Schreier vs Velocidade.



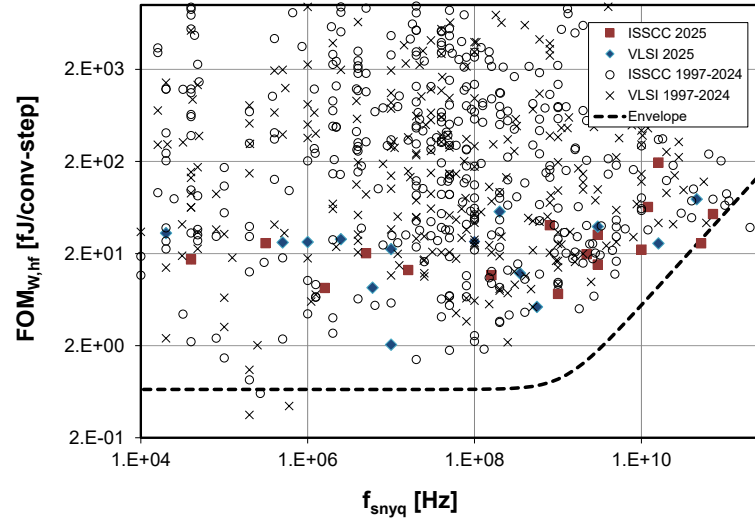
Fonte: Murmann (2025)

2.7.2 FOM DE WALDEN

A FOM de Walden é calculada a partir da equação 2.11, contendo unidades de Joule por conversão, esta métrica enfatiza a eficiência de energia do ADC em relação à sua resolução e taxa de amostragem. Assim, quanto menor o valor da FOM de Walden, mais eficiente é o ADC em termos de energia. Esta FOM é geralmente utilizada quando o

foco está na eficiência de energia do ADC, especialmente em aplicações onde o consumo de energia é crítico. Todavia, a Fig. 14 demonstra a FOM de Walden em função da velocidade, notando-se que na faixa de 20 Msps encontram-se diversos trabalhos com FOM entre 2-200 $\frac{fJ}{\text{conversão}}$.

Figura 14 – FOM de Walden vs Velocidade.



Fonte: Murmann (2025)

$$FOM_W = \frac{Potência}{f_s \cdot 2^{ENOB}} \quad (2.11)$$

Após uma breve análise nos conceitos mais relevantes na caracterização de ADCs, é apresentado na tabela 2 um resumo dos termos/parâmetros observados.

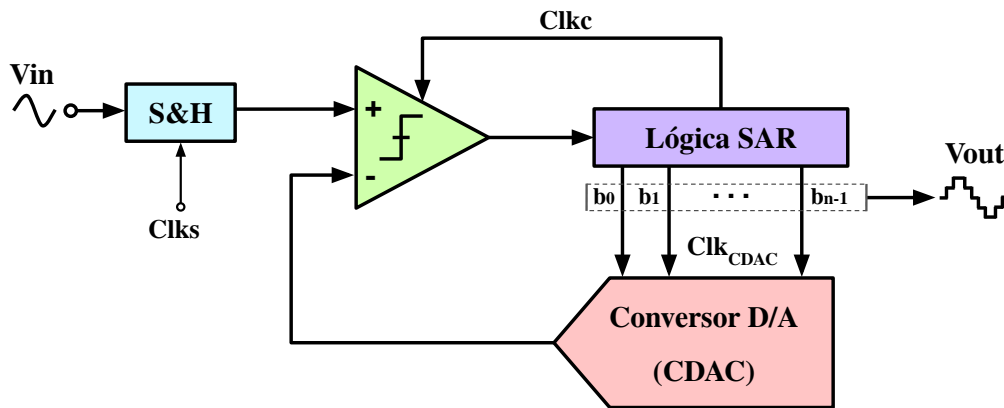
Tabela 2 – Principais especificações de ADC's.

Especificações	Símbolo	Unidade
Resolução de amplitude nominal	N	1
Frequência de amostragem	f_S	Hz / sec^{-1}
Largura de banda	BW	Hz
Não linearidade integral	INL	LSB
Não linearidade diferencial	DNL	LSB
Distorção harmônica	THD	dB
Faixa dinâmica livre espúria	SFDR	dB
Relação sinal-ruído e distorção	SNDR / SINAD	dB
Relação sinal-ruído	SNR	dB
Número efetivo de bits	ENOB	1 / 0
Faixa dinâmica	DR	dB
Consumo de potência	P	W
Faixa de temperatura	T	°C
Tensão de alimentação	V_{DD}	V
FOM de Shreier	FOM_S	dB
FOM de Walden	FOM_W	$\frac{fJ}{conversão}$

3 METODOLOGIA DE PROJETO

Conforme comentado, ADC's do tipo SAR apresentam equilíbrio entre resolução eficaz, velocidade de conversão e eficiência de energia, tornando-se uma arquitetura versátil para diferentes aplicações. Neste projeto, será abordada a produção de um ADC SAR com resolução de 8 bits e frequência de amostragem de 10 MS/s com aplicação do esquema de comutação monotônico, lógica de controle SAR assíncrono e CDAC com modelo mimcap. A Figura 15, apresenta o diagrama de blocos de um ADC SAR assíncrono convencional.

Figura 15 – Esquema convencional de um ADC SAR com lógica de controle assíncrono.



Fonte: Autor

O projeto será realizado com auxílio do software *Cadence® Virtuoso®*, utilizando a tecnologia CMOS de 65 nm que dispõe de uma biblioteca com dispositivos que operam com tensão de alimentação de 1,2 V. Como base nas principais referência consultadas, estão: Liu et al. (2010), Rodrigues (2022) e Yue (2013). Na tabela 3 são apresentadas as especificações iniciais de projeto, com uma taxa de amostragem de 10 MS/s e período do clock de 100 ns, já o período de amostragem do sinal de entrada é de 20 ns. A tensão do bit menos significativo considerando toda a faixa é de 9,375 mV, sendo a máxima frequência de entrada calculada a partir da equação 2.2, obtendo-se uma $f_{in_{max}}$ de 5 MHz.

Tabela 3 – Especificações iniciais para o projeto do ADC SAR proposto.

Especificação	Símbolo	Valor	Unidade
Tecnologia	—	65	nm
Tensão de alimentação	V_{DD}	1,2	V
Resolução	N	8	bits
Taxa de amostragem	F_s	10	MS/s
Período do clock	T_{clk}	100	ns
Período de amostragem	T_s	20	ns
Tensão do bit menos significativo	V_{LSB}	9,375	mV
Frequência máxima de entrada	$f_{in_{max}}$	5	MHz

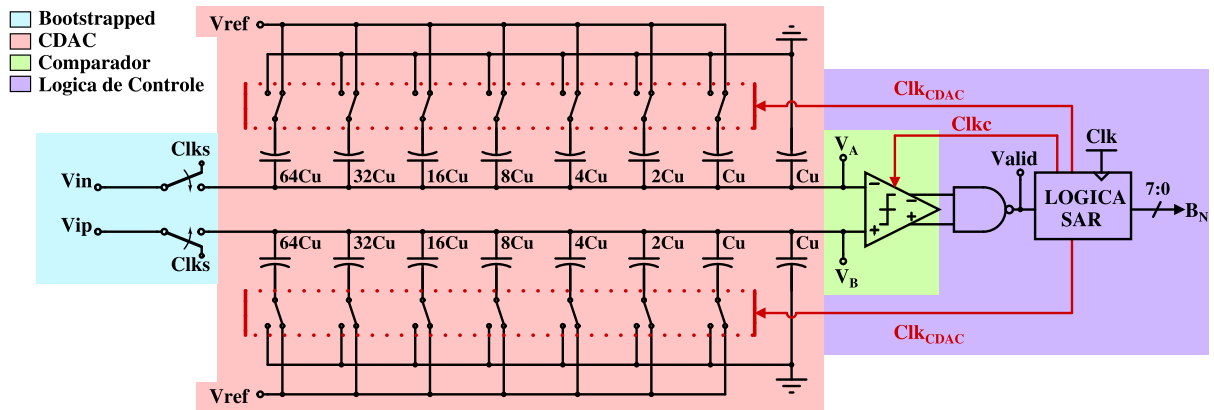
Portanto, este capítulo apresentará a topologia proposta de projeto na seção 3.1, como também a demonstração dos circuitos de cada bloco que compõe o ADC SAR

desenvolvido. Deste modo, na seção 3.2 demonstra-se o esquema do DAC capacitivo, sendo em 3.3 visto o circuito da chave de amostragem *bootstrap*, logo, o esquemático do bloco comparador é exposto na seção 3.4 com a lógica de controle assíncrona em 3.5.

3.1 ADC SAR DE 8 BITS

A partir da Fig. 16 demonstra-se a arquitetura do ADC SAR proposta, este sistema é dividido em quatro sub-circuitos. Para a chave que irá amostrar o sinal de entrada, é utilizada a topologia *bootstrapped*, que tem conexão ao conversor digital-analógico capacitivo (CDAC). O top dos capacitores do CDAC é conectado à entrada de um comparador, que por sua vez, possui as saídas conectadas a uma porta lógica NAND interligada à lógica SAR assíncrona.

Figura 16 – Topologia do ADC SAR proposto.



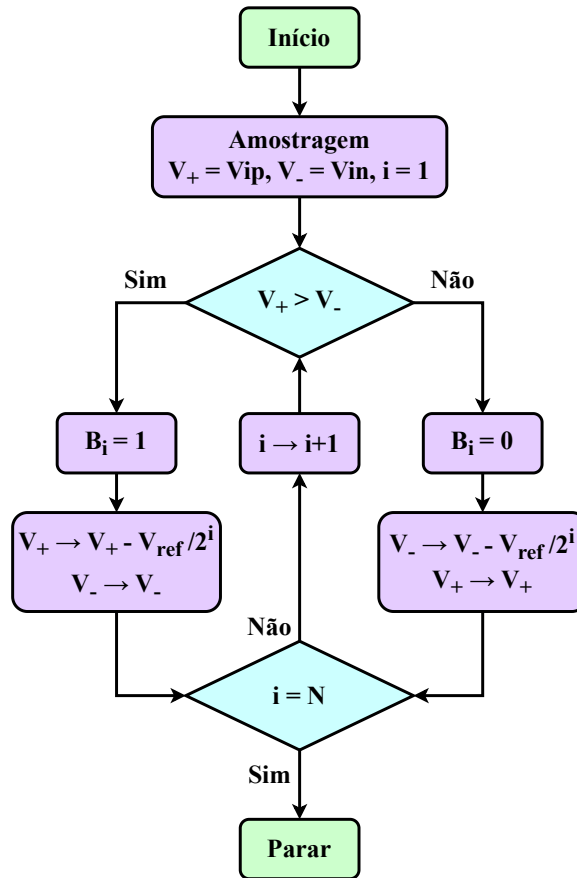
Fonte: Autor

A otimização principal que compreende esta arquitetura está no procedimento de comutação monotônica dos capacitores, onde reduz em cerca de 81% a energia média de comutação e 50% a capacitância total do DAC ao garantir que a tensão de modo comum (V_{cm}) converge gradualmente e em sentido descendente para o terra (LIU et al., 2010). O fluxograma da Figura 17 detalha a operação do ADC, onde, após a amostragem do sinal de entrada, o comparador dinâmico realiza a primeira comparação (MSB) imediatamente, sem comutação, e nas aproximações sucessivas, ele gera um sinal de Valid que dispara a lógica de controle assíncrona para comutar apenas um capacitor por ciclo (se o bit atual for 1) para o terra, garantindo que a tensão de modo comum sempre decresça até a conclusão da conversão e a ativação do sinal EOC (*end of conversion*).

Já na Figura 18, é possível ver a representação gráfica das fases que compreendem a operação do ADC. Com isso, é compreensível observar o que acontece em cada ciclo, conforme listado abaixo:

- **Amostragem:** O circuito amostra o sinal de entrada. Placas inferiores dos capacitores resetam para V_{ref} . V_{cm} estabelece o seu valor inicial;

Figura 17 – Fluxograma da operação de conversão do ADC.

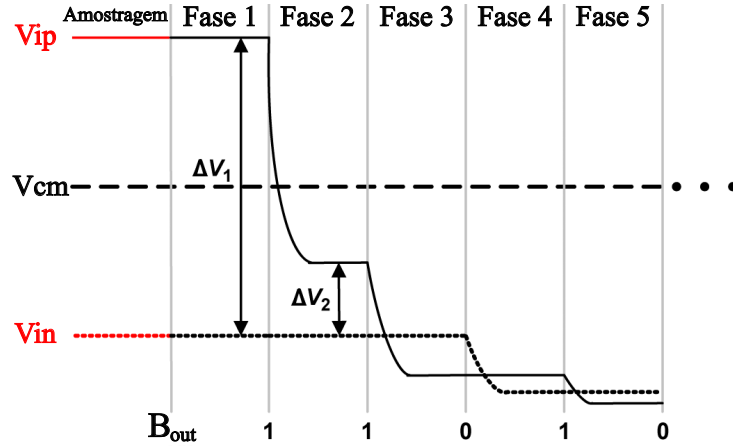


Fonte: Autor

- **Primeira Comparação:** O comparador executa a primeira comparação (MSB) imediatamente. Não ocorre comutação de capacitores. V_{cm} não apresenta salto após o fim da amostragem;
- **Fases Subsequentes:** O circuito comuta apenas um capacitor por ciclo, com base no resultado da comparação anterior, conectando-o ao terra ou mantendo-o em V_{ref} . V_{cm} diminui gradualmente, convergindo de forma monotônica em direção ao terra;
- **Término:** O processo repete-se até que o bit menos significativo seja determinado. V_{cm} atinge o seu valor final após a última comparação.

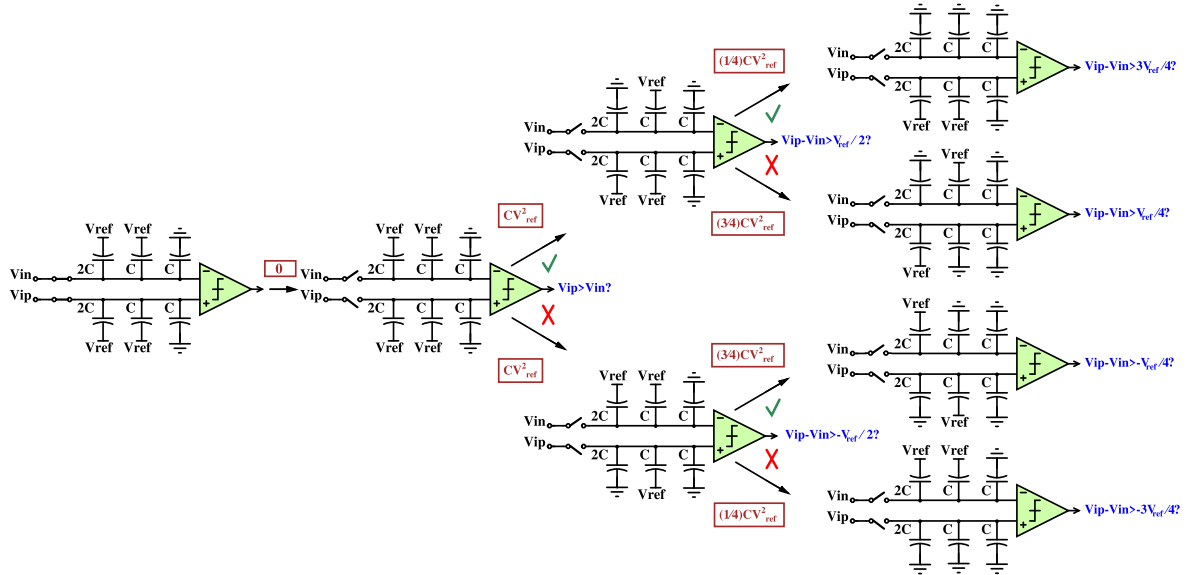
A arquitetura de um ADC SAR Monotônico de 3-bit, ilustrada pelo diagrama capacitivo da Figura 19, demonstra a redução da dissipação de energia. Diferentemente das técnicas SAR convencionais, onde a comutação pode ocorrer em ambas as direções (para cima e para baixo), a estratégia monotônica assegura que a tensão de modo comum (V_{cm}) no nó de entrada diferencial do comparador decaia continuamente em direção ao terra. Este comportamento é obtido pela garantia de que apenas um capacitor por ciclo é comutado em função do bit determinado (B_i), eliminando as comutações ascendentes de V_{cm} .

Figura 18 – Gráfico das fases de operação do ADC com comutação monotônica.



Fonte: Adaptado de Liu et al. (2010)

Figura 19 – Esquema de comutação do CDAC para um ADC monotônico de 3 bits.



Fonte: Autor

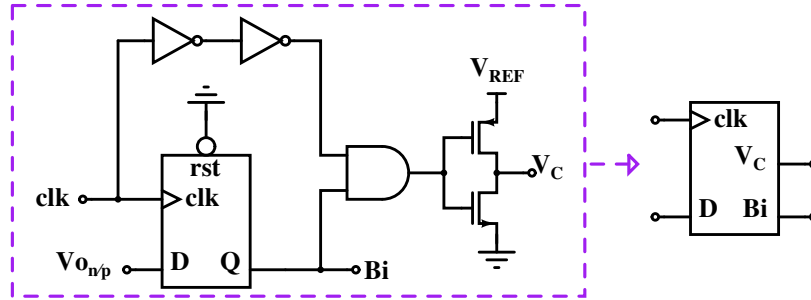
3.2 CONVERSOR DIGITAL-ANALÓGICO CAPACITIVO (CDAC)

O CDAC do ADC, representa a matriz capacitiva da Fig. 16, sendo que para este projeto é adotado o modelo mimcap da tecnologia. Pela imagem, é visto que o capacitor chaveia para V_{REF} ou terra, com o primeiro capacitor unitário (C_u) conectado ao terra. Contudo, as chaves são controladas pelo sinal de controle $Clkc$ induzido pela lógica SAR. É necessário, ainda, encontrar o valor da cap. unitária a partir do *mismatch* do modelo do capacitor adotado, sendo calculado na sequência o valor total da capacitância do CDAC utilizada para dimensionar a resistência que a bootstrap deve conter.

A Fig. 20 apresenta o esquema de controle de delay utilizado para o chaveamento dos capacitores no CDAC. O circuito visa sincronizar eficientemente o acionamento das chaves associadas aos capacitores do DAC com os sinais de decisão provenientes do

comparador. Para isso, é utilizado um flip-flop tipo D que recebe como entrada o sinal de saída do comparador ($V_{o_{n,p}}$, conforme o lado que o bloco de delay será conectado) e é acionado por um sinal de clock (Clk_X), gerado a partir do controle assíncrono.

Figura 20 – Esquema de delay (DFF) para chaveamento do CDAC.



Fonte: Autor

Após a captura do dado, o sinal de clk é propagado por uma cadeia de inversores, gerando um pequeno atraso intencional que evita a ocorrência de transições indesejadas. Em seguida, o sinal atrasado é combinado com o bit de controle (Bi) por meio de uma porta lógica AND, de modo a garantir que o chaveamento ocorra apenas quando a decisão for válida e temporizada corretamente.

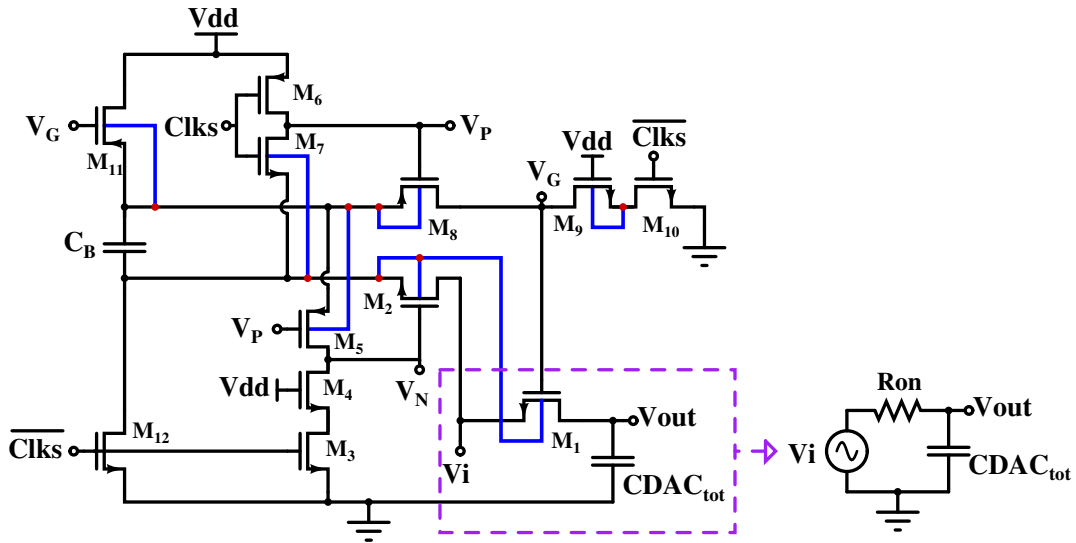
3.3 CHAVE DE AMOSTRAGEM

A chave de amostragem *bootstrapped* constitui uma técnica amplamente empregada em conversores analógico-digitais (ADCs) do tipo SAR, com o objetivo de melhorar a linearidade e a fidelidade da amostragem analógica. Essa técnica mantém a tensão de gate-source (V_{GS}) constante e idealmente elevada, independentemente do nível do sinal de entrada analógico (V_i). Tal característica é obtida por meio do circuito de bootstrap, que replica e eleva o potencial de controle aplicado à gate do transistor de chaveamento, garantindo sua operação em regime adequado durante toda a janela de amostragem.

A Figura 21 demonstra a implementação típica da chave bootstrapped, que consiste no uso de um capacitor de bootstrap (C_B) e transistores auxiliares, os quais formam um circuito de realimentação responsável por deslocar dinamicamente a tensão de gate do transistor principal (M1). Durante o acionamento do sinal de controle ($Clks$), o circuito eleva a tensão da gate de M1 para um valor próximo de $V_{DD} + V_i$, mantendo V_{GS} praticamente constante e suficientemente elevado. Dessa forma, obtém-se uma chave com resistência de canal quase constante e baixa distorção, característica fundamental para preservar a integridade do sinal amostrado, especialmente em aplicações de alta resolução e alta velocidade.

A linearidade da chave de amostragem de entrada afeta diretamente o desempenho global do ADC, sendo esse efeito atribuído principalmente à resistência não linear (R_{on}) da

Figura 21 – Esquemático da chave bootstrapped.



Fonte: Autor

chave, a qual depende do sinal de entrada e das capacitâncias parasitas. Esses elementos são responsáveis pela geração de distorção harmônica, sobretudo em sinais de alta frequência. Nesse contexto, a estrutura bootstrap reduz significativamente a modulação da impedância aplicada ao sinal de entrada do circuito track-and-hold (T/H), possibilitando alcançar níveis de linearidade superiores a 50 dB em altas frequências (RAMKAJ et al., 2018).

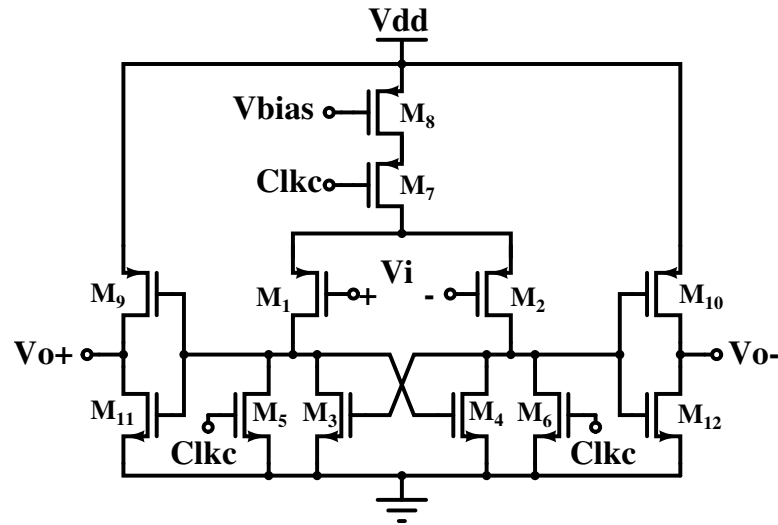
Conforme observado em implementações convencionais, o circuito bootstrap tem como principal finalidade manter constante a resistência da chave, independentemente das variações da tensão de entrada. Assim, para que R_{on} permaneça aproximadamente constante, busca-se manter a tensão V_{GS} inalterada à medida que a entrada oscila (RODRIGUES, 2022). Dessa forma, a técnica de bootstrapping, a partir de um offset DC da tensão de alimentação, replica a tensão de entrada no terminal de gate da chave de amostragem, resultando em $V_{GS} \approx V_{DD}$, praticamente independente da amplitude do sinal de entrada (YUAN, 2021).

3.4 COMPARADOR DINÂMICO

Para o bloco comparador é utilizada a topologia da Fig. 22, a operação deste circuito baseia-se na amplificação regenerativa durante a fase de comparação, sendo ativado apenas na presença do sinal de Clkc, eliminando o consumo de corrente estática e torna-o altamente eficiente para aplicações de baixa potência.

Neste projeto, observa-se o uso de transistores PMOS ($M_{1,2}$) como entrada diferencial, o que se justifica pela arquitetura monotônica do CDAC, a qual opera com tensões decrescentes partindo da tensão de modo comum (V_{CM}). Além do mais, o circuito não incorpora um latch explícito de regeneração de decisão, isto para o comparador seguir realizando decisões a cada nível do clock, necessário para a lógica SAR.

Figura 22 – Arquitetura do comparador dinâmico.



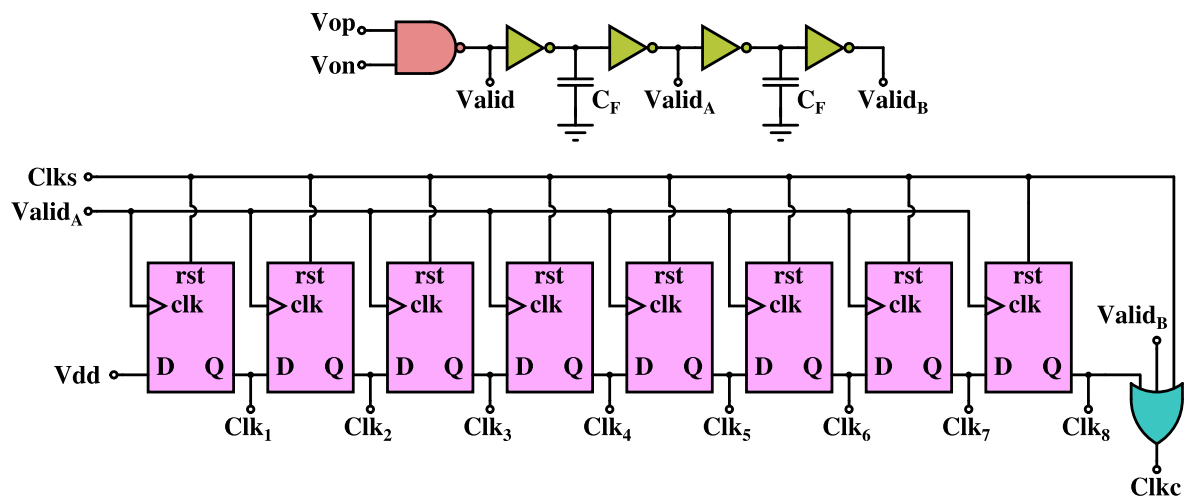
Fonte: Adaptado de Liu et al. (2010)

3.5 LÓGICA SAR

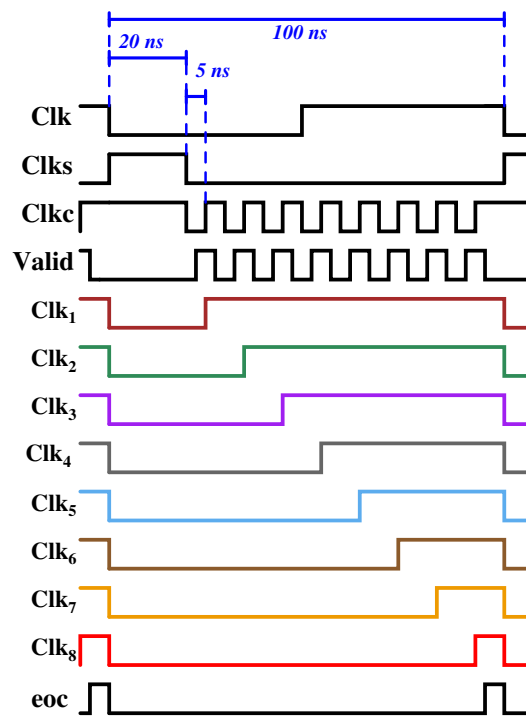
A lógica de controle SAR, determina cada bit sucessivamente, contendo N flip flops para um ADC de N-bit, juntamente a uma lógica combinatória. Conforme expresso por Ashraf et al. (2016). Este bloco opera executando o algoritmo de pesquisa binária, mediante todos os bits viáveis, onde cada bit apresenta três caminhos, sendo: '1', redefinido para '0' ou mantido seu valor. Para gerar internamente os sinais de clock necessários sem recorrer a um gerador de clock de alta frequência, o ADC proposto utiliza um circuito de controle assíncrono. A partir da Fig. 23, é analisado o esquemático em 23a e o diagrama de temporização em 23b da lógica de controle assíncrono do ADC de 8 bits, proposto.

O sinal *Valid* é gerado a partir da saída do comparador dinâmico e passa por alguns delays que definem o *Valid_A* e *Valid_B*, de modo que obtenha um intervalo de tempo entre a ativação dos flip-flops com a entrada da porta lógica OR que gera o sinal *Clkc* do comparador. Já *Clk₁* a *Clk₈* determinam os sinais de controle para as matrizes capacitivas. Contudo, para o sinal *Clks* é necessário projetar um gerador de fase, isto devido à fase de amostragem ter que ser equivalente a 20% do valor total do período do *clock* do ADC, conforme visto em Liu et al. (2010). Para o esquema do flip-flop, é utilizado o circuito a Figura 24, qual consiste na combinação entre chaves *transmission gate* (TG) e portas lógicas NOR.

Figura 23 – Lógica de controle assíncrona.



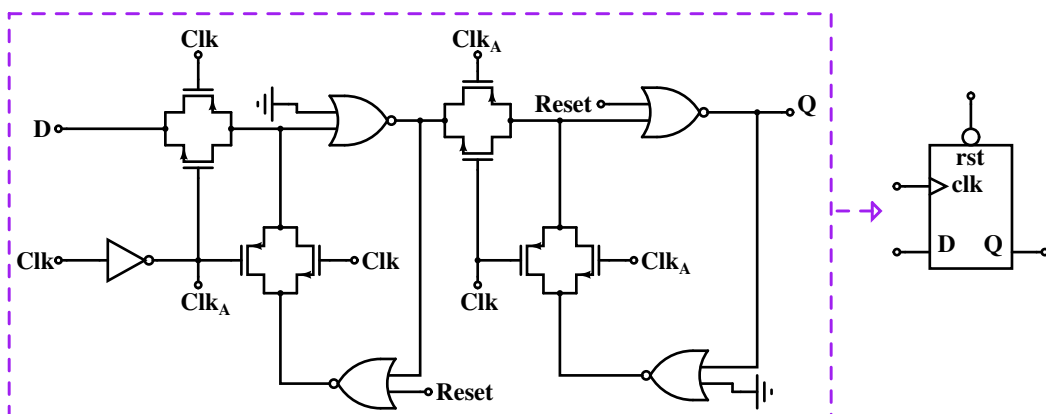
(a) Esquemático.



(b) Diagrama de temporização dos sinais de controle.

Fonte: Autor

Figura 24 – Bloco do flip-flop .



Fonte: Autor

4 PROJETO EM NÍVEL ESQUEMÁTICO

Inicialmente, para começar o projeto deste ADC é necessário realizar o cálculo da capacitância total do CDAC para conseguir estimar a resistência da chave de amostragem (R_{on}). A sessão a seguir, tratará da definição de tais conceitos.

4.0.1 DEFINIÇÃO: $CDAC_{total}$ E R_{on}

Para realizar o dimensionamento do CDAC e saber a resistência que a chave de amostragem deve ter, são necessários alguns cálculos que, basicamente, conseguem definir o valor total do CDAC a partir do desvio padrão da variação da área do capacitor utilizado, sendo adotado o modelo *mimcap*. Obtendo o valor do $CDAC_{total}$, é possível calcular a R_{on} com a equação 4.1. Onde para calcular o parâmetro τ é utilizada a equação 4.2, sendo T_s o período que a chave fica fechada, definida como 20% do período do clock (20 ns) e V_{erro} dado por um quarto do V_{LSB} . Como o $V_{in_{max}}$ é 1,2 V, encontra-se um τ de 3.206 ns.

$$R_{on} = \frac{\tau}{CDAC_{total}} \quad (4.1)$$

$$\tau = \frac{-T_s}{\ln\left(-\left(\frac{V_{in_{max}} - V_{erro}}{V_{in_{max}}} - 1\right)\right)} \quad (4.2)$$

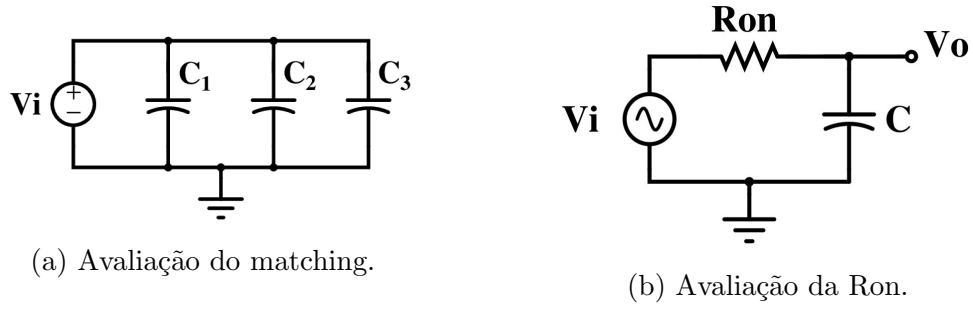
Logo, para encontrar o valor do $CDAC_{total}$ é possível realizar o cálculo a partir da capacitância unitária (C_u), qual pode ser definida de duas maneiras, através do ruído térmico ou pelo matching do modelo do capacitor. Neste projeto, foi realizado a definição da cap. unitária a partir do matching, deste modo, a Fig. 25a demonstra o circuito que deve ser simulado. Nesta simulação é aplicada a máxima tensão na entrada, sendo os valores de $C_{1,2,3}$: 20 fF; 40 fF e 80 fF, respectivamente.

É realizada uma simulação Monte Carlo (MC) do ponto de operação DC de cada capacitor, e avaliado o desvio padrão (σ) de cada. A partir desta análise, é plotado o gráfico do desvio padrão em função de $1/\sqrt{W \cdot L}$, conforme demonstra a Fig. 26. Com este gráfico é traçada uma reta dos três pontos e calculado o coeficiente angular, sendo 6,2 n. Este parâmetro é utilizado para conseguir calcular a área da capacitância unitária através da equação 4.3. O valor de σ nesta equação é definido a partir da resolução do ADC, dado equação 4.4, encontrando-se o valor de 0,46%.

$$Area_{C_u} = \left(\frac{Var}{\sigma}\right)^2 \quad (4.3)$$

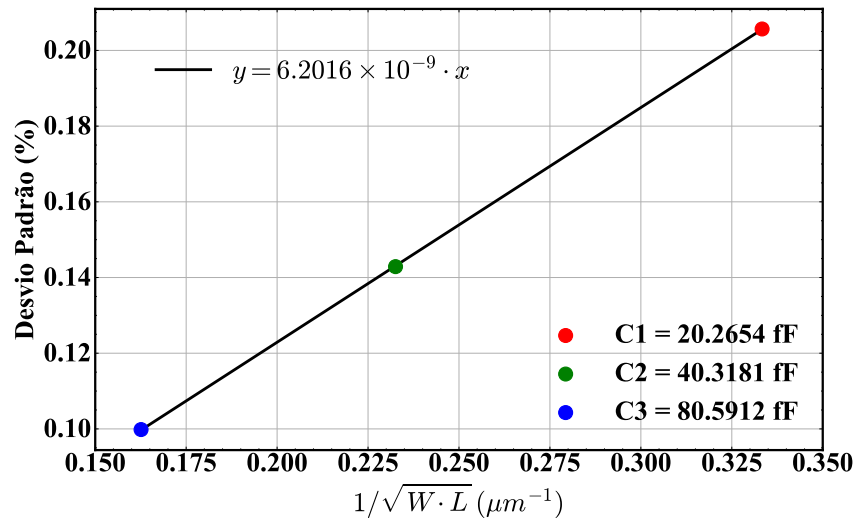
$$\sigma \leq \frac{(\sqrt{2} - 1) \cdot 2^N}{3 \cdot [2^{N+1}(\sqrt{2^N} - 1)] + (\sqrt{2} - 1)\sqrt{2^N}} \quad (4.4)$$

Portanto, o valor da cap. unitária, encontrado a partir do W e L calculado é de 9,47242 fF, resultante para um CDAC monotônico de 8 bits uma capacitância total de 1,21 pF, com a tabela 4 demonstrando o peso de todos os capacitores utilizados no CDAC.

Figura 25 – Esquemas de simulação para definição do $CDAC_{total}$ e R_{on} .

Fonte: Autor

Figura 26 – Gráfico do desvio padrão em função da variação da área do capacitor.



Fonte: Autor

Através disso, pode-se calcular então a resistência R_{on} , chegando ao valor de 1,33 k Ω . Para simular a resistência da chave é utilizado o esquema visto na Fig. 25b, sendo a resistência o transistor da chave bootstrap que amostrará o sinal de entrada.

Dispositivo	Valor
64Cu	606,2349 fF
32Cu	303,1174 fF
16Cu	151,5587 fF
8Cu	75,7793 fF
4Cu	37,8896 fF
2Cu	18,9448 fF
Cu	9,47242 fF
Cu	9,47242 fF
Total	1,2124 pF

Tabela 4 – Valor da rede de capacitores do DAC.

Logo, a tabela 5 demonstra o dimensionamento utilizado nas topologias do comparador e da bootstrapped, conforme os esquemáticos das Figuras 22-21. Lembrado que para

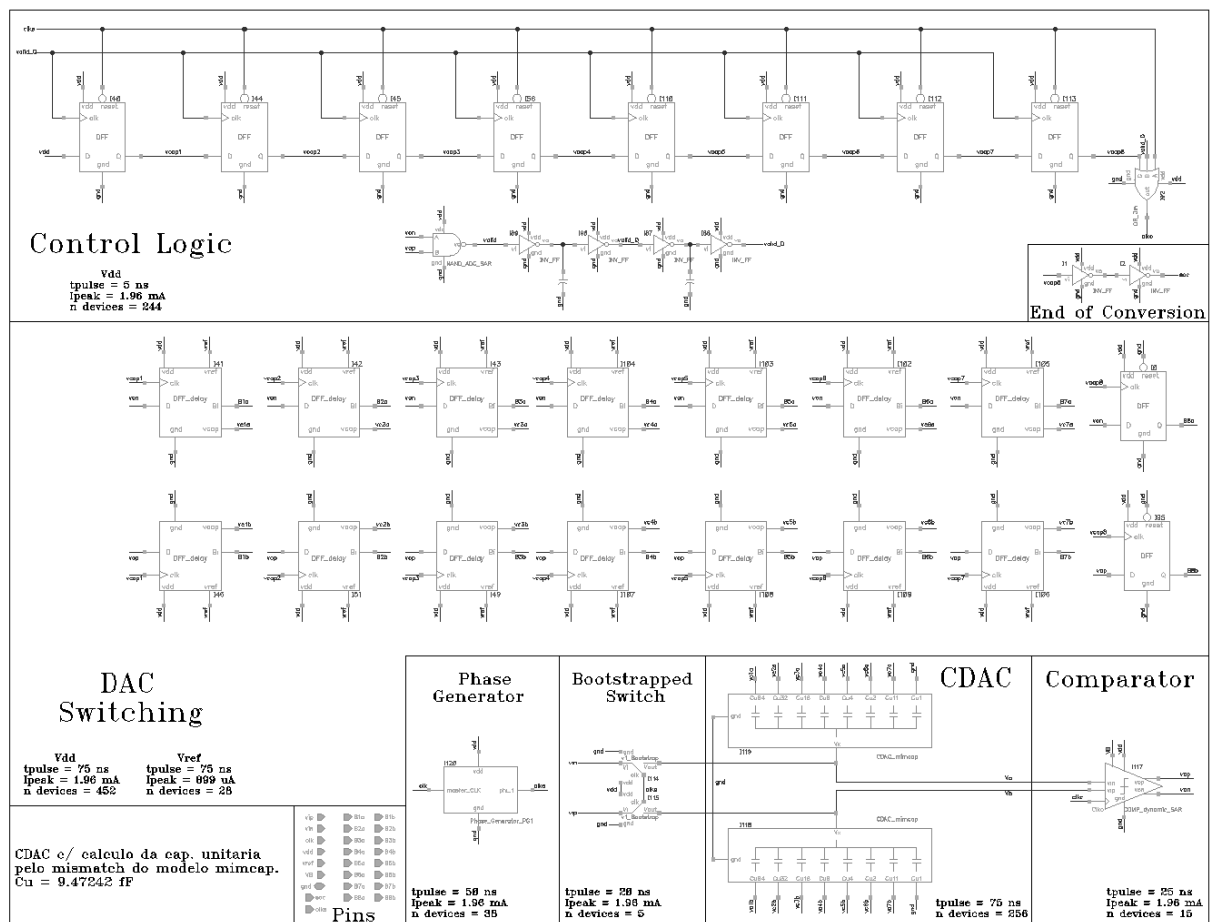
as portas lógicas, foi realizado o dimensionamento inicial de um inversor para a transição ser no valor de modo comum, mantendo-se o L mínimo da tecnologia e razão W/L de 3,33 para o NMOS e 8 para o PMOS. A partir desses valores, são dimensionados as demais portas lógicas.

Transistor	W	L	Múltiplos
Comparador Dinâmico			
$M_{1,2}$	3μ	300 n	2
$M_{3,4}$	1μ	60 n	1
$M_{5,6,7}$	120 n	60 n	1
M_8	6μ	60 n	1
$M_{9,10}$	480 n 200 n	60 n	4
$M_{11,12}$	200 n	60 n	4
Chave S/H			
M_1	385 n	60 n	1
$M_{2 \rightarrow 12}$	120 n	60 n	1

Tabela 5 – Tabela de dimensionamento dos sub circuitos do ADC SAR.

Na chave bootstrap o capacitor C_B é de 1 pF. Já na lógica SAR o capacitor C_F , utilizado para aumentar o delay no sinal *Valid* de maneira mais prática, obteve o valor de 251 fF. Lembrando que, no bloco de delay para o chaveamento do CDAC da Figura 20, o inversor que contém a saída V_C apresenta dois múltiplos a mais do que os inversores utilizados nos demais blocos e alimentado em V_{REF} . Isto deve-se ao fato que, esse nó de saída estará chaveando o CDAC, portanto é importante que esse inversor seja mais robusto e apresente uma alimentação estável a variações.

Contudo, a Figura 27 apresenta o esquemático de todo ADC SAR desenvolvido neste projeto. Sendo adicionado comentários que envolvem as seguintes informações de cada bloco: corrente de pico (I_{peak}), largura do pulso no período de operação e n° de dispositivos do bloco. Esses parâmetros são importantes para que o leiautista consiga calcular a largura mínima da trilha utilizada no roteamento dos dispositivos.

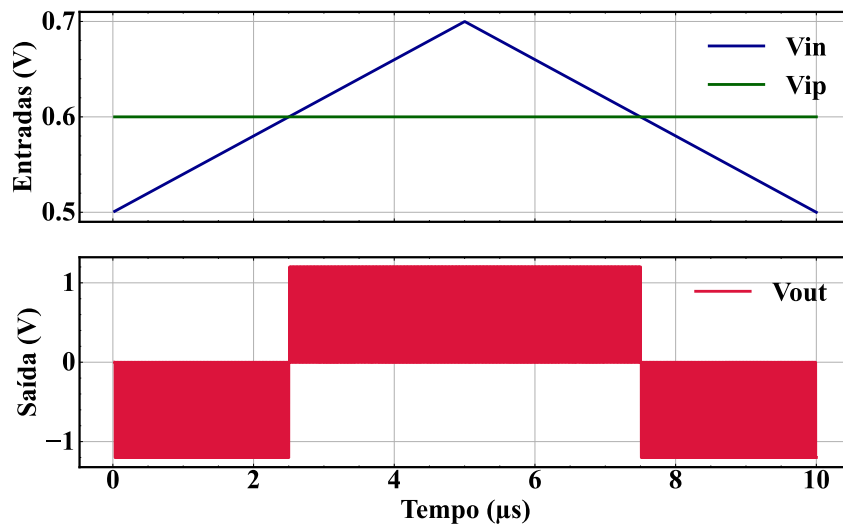
Figura 27 – Esquemático interno do ADC via software *Virtuoso*®.

Fonte: Autor

5 RESULTADOS DE SIMULAÇÃO EM NÍVEL ESQUEMÁTICO

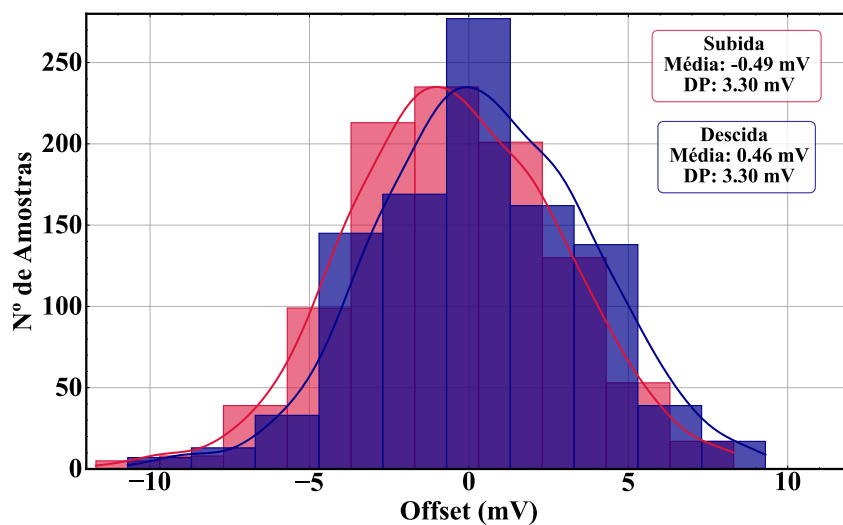
A Fig. 28 apresenta os sinais de entrada e saída do comparador dinâmico utilizado no ADC SAR projetado. Observa-se a aplicação do sinal de entrada V_{ip} fixo em na tensão de modo comum (V_{cm}), com V_{in} variando de ± 100 mV de V_{cm} . A saída V_{out} exibe transições que refletem a operação regenerativa do comparador durante a fase de decisão. O comportamento registrado evidencia que o comparador permanece estático enquanto o sinal de clock está inativo, e só realiza a comparação quando habilitado.

Figura 28 – Gráfico dos sinais de entrada/saída do comparador.



Fonte: Autor

Figura 29 – Simulação Monte de Carlo de 500 rodadas do offset de subida/descida do comparador.

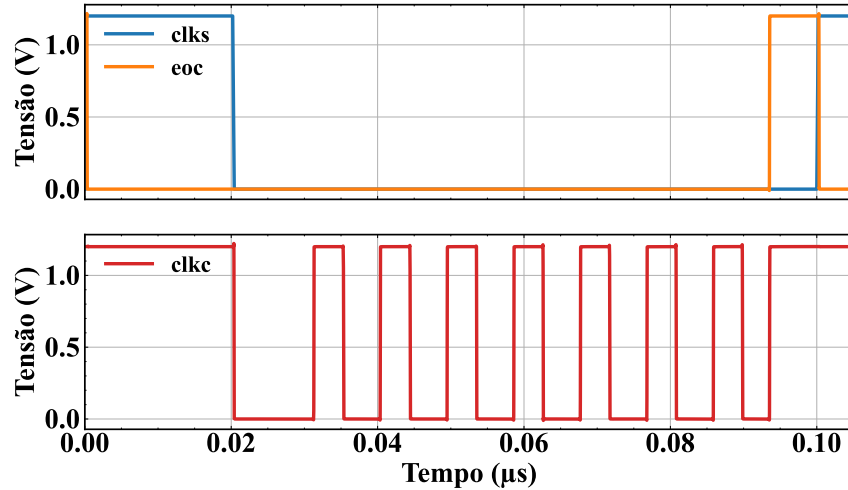


Fonte: Autor

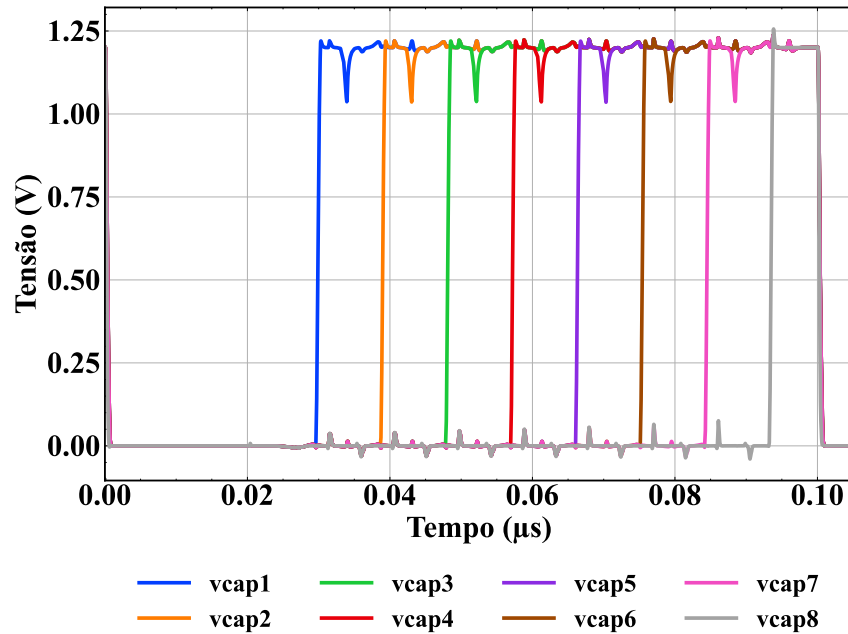
A comutação das saídas binárias ocorre em sincronia com a variação dos sinais de entrada, caracterizando uma resposta funcional precisa, compatível com a arquitetura SAR assíncrona adotada. O comparador também apresentou um *offset* de aproximadamente

± 10 mV, é um valor considerado alto, mas isto não prejudica a linearidade/resolução do ADC, basta apenas retirar esse valor deslocamento da palavra final. o gráfico da Figura 29, demonstra a variação do offset em uma simulação Monte Carlo (MC), sendo demonstrada a variação tanto na borda de subida, quanto na de descida.

Figura 30 – Sinais de controle do ADC SAR.



(a) Sinais de controle da chave S/H e do comparador.



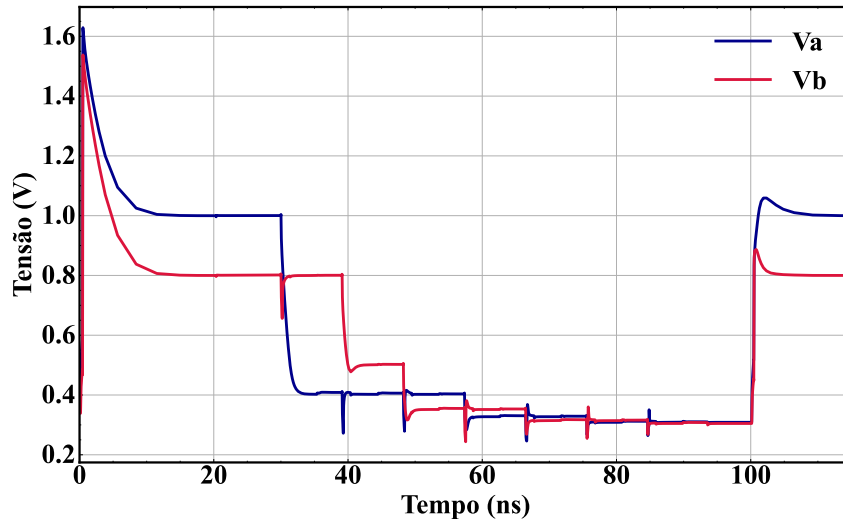
(b) Sinais de controle do chaveamento do CDAC.

Fonte: Autor

A Fig. 30 apresenta os sinais de controle de todo o ADC. Na sub figura 30a, observam-se os sinais de controle da chave de amostragem (clks) e do comparador (clkc), como o sinal que identifica o fim da conversão (EOC). O sinal clks apresenta pulsos periódicos correspondentes a aproximadamente 20% do período de amostragem, coerente com o tempo reservado para aquisição do sinal analógico. O sinal clkc, por sua vez, é ativado apenas após a conclusão da decisão lógica de cada bit, sendo disparado pelo

controle assíncrono da lógica SAR, evitando sobreposição de decisões e contribui para a robustez do processo de conversão. Na sub figura 30b, são apresentados os sinais de Clk_1 até Clk_8 , os quais correspondem aos comandos de chaveamento do CDAC. A ativação sequencial e não simultânea desses sinais confirma a correta propagação do bit de controle ao longo dos estágios da lógica SAR, refletindo o comportamento esperado da conversão sucessiva.

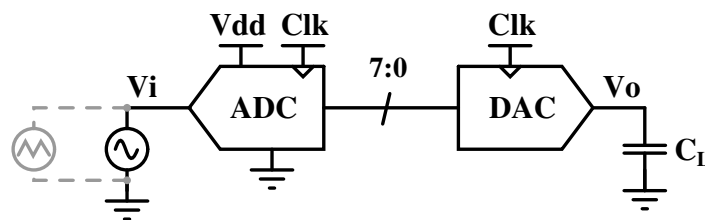
Figura 31 – Gráfico dos sinais de entrada do comparador.



Fonte: Autor

Contudo, a Fig. 31 apresenta o comportamento ao longo do tempo dos sinais diferenciais de entrada do comparador, denotados por V_a e V_b , conectados ao top dos capacitores do CDAC. Nota-se que os sinais oscilam de forma controlada e decrescente, comportamento coerente com o uso do chaveamento monotônico, no qual os níveis de tensão aplicados aos terminais do CDAC decaem progressivamente a partir de V_{ref} . Tal perfil de entrada assegura que as comparações ocorram com transições suaves e previsíveis, favorecendo a estabilidade do comparador e a linearidade do processo de decisão. A observação das curvas evidência que as entradas do comparador se mantêm bem definidas e afastadas entre si nos primeiros ciclos, aproximando-se gradualmente à medida que o processo de conversão avança rumo ao bit menos significativo.

Figura 32 – Ambiente de teste do ADC.

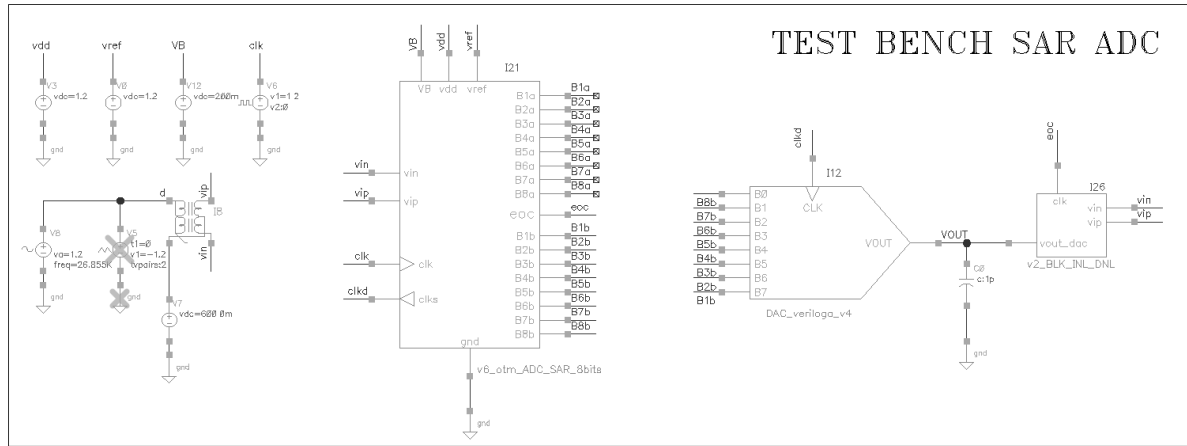


Fonte: Autor

A Fig. 32 ilustra o ambiente de teste configurado para a caracterização estática e dinâmica do ADC. Para a análise de desempenho espectral via FFT, aplica-se à entrada V_i um sinal senoidal com frequência de entrada f_{in} , devidamente calculada segundo a equação 5.1, a fim de atender aos requisitos de amostragem coerente e minimizar efeitos de janelamento. Utiliza-se 11 ciclos e 4096 pontos, sendo f_s 10 MHz resultando em uma f_{in} de 26,85 kHz. O capacitor de carga (C_L) para as simulações é de 1 pF. Sendo na Figura 33 demonstrado o TB do ADC via software *Virtuoso*[®], seguindo as conexões com as fontes de entrada/alimentação e o DAC em código veriloga (anexo A) controlado pelo clock da chave de amostragem (Clks).

$$f_{in} = \frac{ciclos}{N_{pontos}} \cdot f_s \quad (5.1)$$

Figura 33 – Esquemático do TB do ADC via software *Virtuoso*[®].

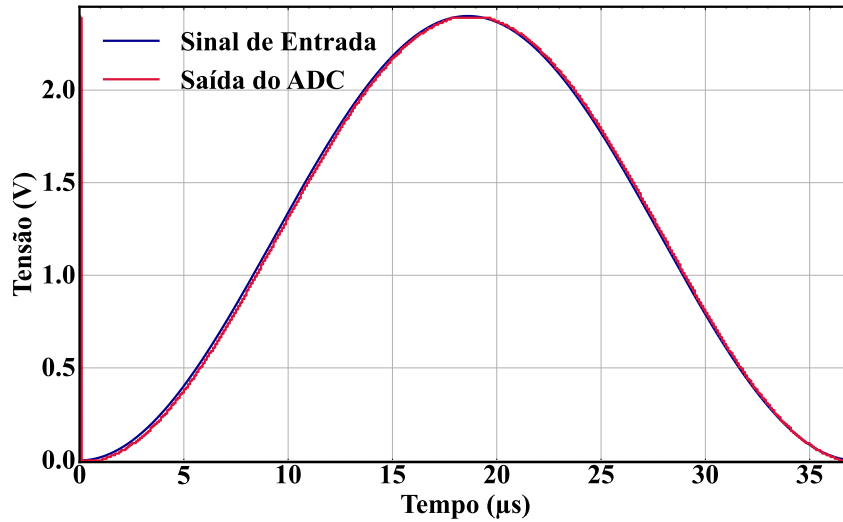


Fonte: Autor

Com o sinal senoidal aplicado a entrada do ADC, é possível extrair os parâmetros dinâmicos como: SNR, SFDR, SNDR e ENOB, por meio da avaliação do espectro de frequência do sinal de saída do ADC que é reconvertido ao domínio analógico pelo DAC, projetado em linguagem Verilog, conforme o anexo A. Na Fig. 34 é representada esta reconstrução temporal do sinal senoidal aplicado à entrada do ADC. A curva em azul representa a entrada senoidal, enquanto a curva vermelha representa a saída digital reconvertida pelo DAC. A boa fidelidade na reprodução do sinal indica que o ADC opera adequadamente mesmo para sinais de entrada de variação rápida. Observa-se que a envoltória do sinal é mantido com pouca distorção, evidenciando o correto funcionamento da combinação entre os sub circuitos de todo o sistema. Este resultado é fundamental para validar a operação do ADC em aplicações que envolvam sinais dinâmicos, como conversão de formas de onda senoidais em sistemas de aquisição de sinais.

Ainda, a Fig. 35 apresenta a transformada rápida de Fourier (FFT) do sinal senoidal de saída do DAC, com frequência de entrada de 26,85 kHz e taxa de amostragem de 10 MHz. A componente fundamental do sinal é claramente visível, com magnitude

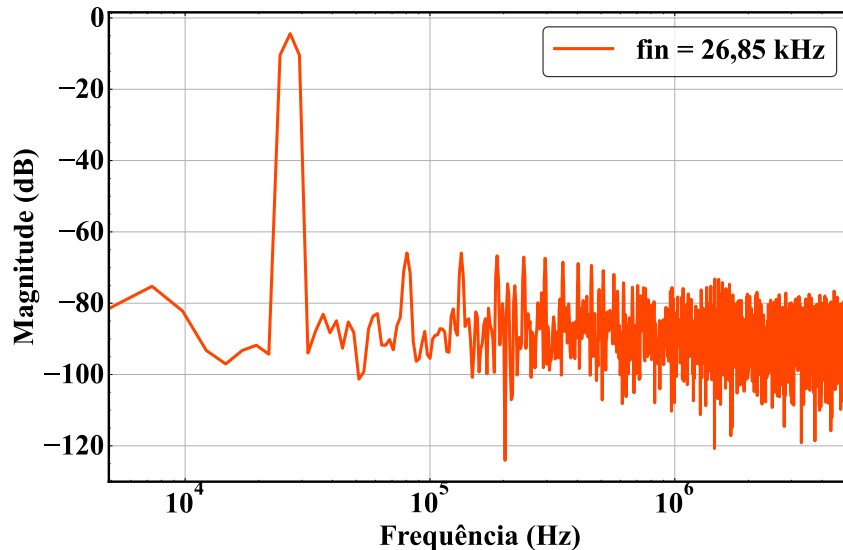
Figura 34 – Gráfico do sinal senoidal reconstruído pelo ADC.



Fonte: Autor

dominante, enquanto os harmônicos e ruídos de quantização permanecem abaixo de -50 dB. A análise espectral permite a extração dos principais parâmetros dinâmicos do conversor, os quais foram obtidos como: SNR de 50,95 dB, SNDR de 48,47 dB, SFDR de 61,48 dBc e ENOB de 7,75 bits. O consumo de todo o sistema ficou em 201,21 μ W. Esses valores indicam um excelente desempenho para um ADC de 8 bits, tabelado em 6.

Figura 35 – FFT do sinal senoidal de saída do ADC SAR.



Fonte: Autor

$$FOM_W = \frac{Potência}{f_s \cdot 2^{ENOB}} = \frac{201,21 \mu W}{10 \text{ MHz} \cdot 2^{7,75}} = 93,46 \frac{fJ}{conversão} \quad (5.2)$$

Adicionalmente, para a avaliação das não-linearidade do ADC, utiliza-se como estímulo uma rampa linear aplicada a entrada (V_i). Através da comparação entre o código digital resultante e o comportamento ideal esperado, são obtidos os parâmetros

Parâmetro	Valor
SNDR	48,47 dB
SNR	50,95 dB
SFDR	61,48 dBc
ENOB	7,75 bits
THD	0,31 %
Consumo	201,21 μ W
FOM _W	93,46 fJ/conv.

Tabela 6 – Sumário dos parâmetros dinâmicos e consumo do ADC SAR.

de DNL e INL. A Fig. 36 exibe a resposta do ADC para esta análise. A curva contínua em azul, representa a entrada analógica ideal, enquanto a curva em vermelho demonstra a saída do sinal do ADC reconvertido pelo DAC. Observa-se que a saída digital segue fielmente a rampa analógica aplicada, com quantizações uniformes entre os níveis sucessivos, demonstrando a correta operação do CDAC e do controle SAR.

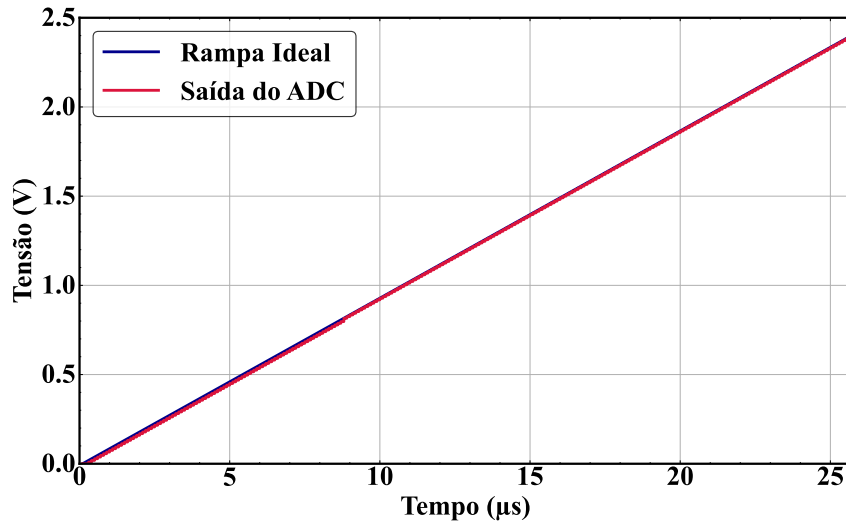
Já o erro de offset do ADC, expresso em LSB, é demonstrado na Figura 37, sendo obtido uma média de $1,21 \mu V_{LSB}$. Esse valor, é relacionado na maior parte com o offset do comparador em particular. Conforme já comentado, este efeito causará apenas um deslocamento no sinal, como mostrado na Fig. 7a. Ao saber essa margem do offset, basta descontar esse valor ao fim da conversão.

No histograma da Figura 38, é apresentada a distribuição do erro de ganho, em unidades de V_{LSB} , obtida a partir de uma simulação Monte Carlo de 16 rodadas. Nota-se que a média das amostras se concentra muito próximo de $1,00 V_{LSB}$, indicando que o ganho do ADC é estável frente às variações estatísticas de processo. No entanto, existe uma ocorrência mais afastada, em torno de $1,15 V_{LSB}$. A baixa dispersão e a forte concentração no valor nominal confirmam que o ganho do ADC apresenta boa robustez, mantendo-se consistente mesmo sob perturbações típicas de fabricação.

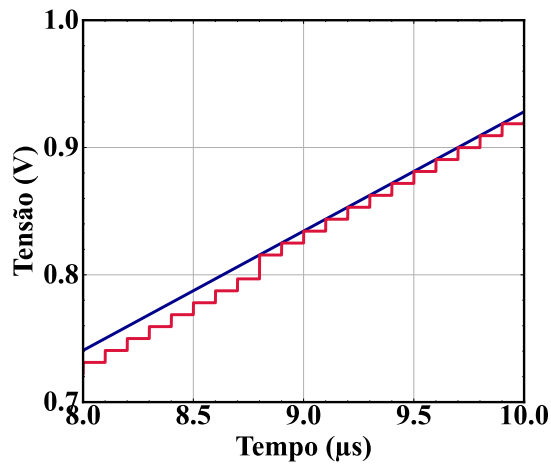
Na Fig. 39, são apresentados os resultados de não-linearidade estática do ADC projetado, sendo considerado o efeito de *mismatch* do modelo dos dispositivos, o que acaba afetando diretamente a linearidade do ADC. No caso do DNL da Fig. 40a, nota-se que DNL ≈ 0 para a maioria dos códigos, com quedas periódicas de aproximadamente $-0,20$ LSB. Esses picos negativos ocorrem em intervalos regulares, típicos das transições dos MSBs do DAC capacitivo do SAR, comportamento típico do efeito do *mismatch* capacitivo, sendo assim predominante nas comutações dos elementos de maior peso.

O gráfico do INL da Fig. 40b, demonstra o comportamento em formato de dente de serra, característico de ADCs SAR baseados em DAC capacitivo binário. Observa-se que a integral dos erros cresce gradualmente até aproximadamente $+0,10$ LSB, sendo que em pontos específicos do código digital sofre quedas abruptas para cerca de $-0,10$ LSB. Essas descontinuidades, que ocorrem nos mesmos pontos de queda do DNL, são ocasionadas devido aos erros diferenciais associados às transições dos bits de maior peso,

Figura 36 – Gráfico da rampa aplicada ao ADC.



(a)



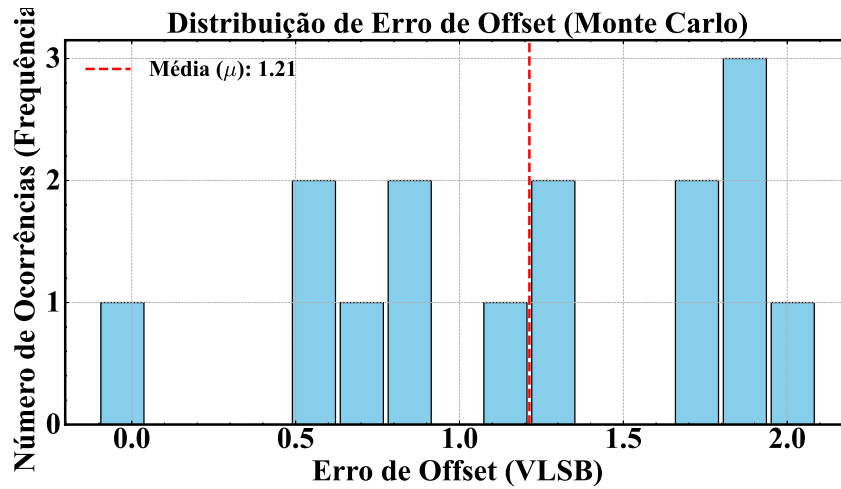
(b)

Fonte: Autor

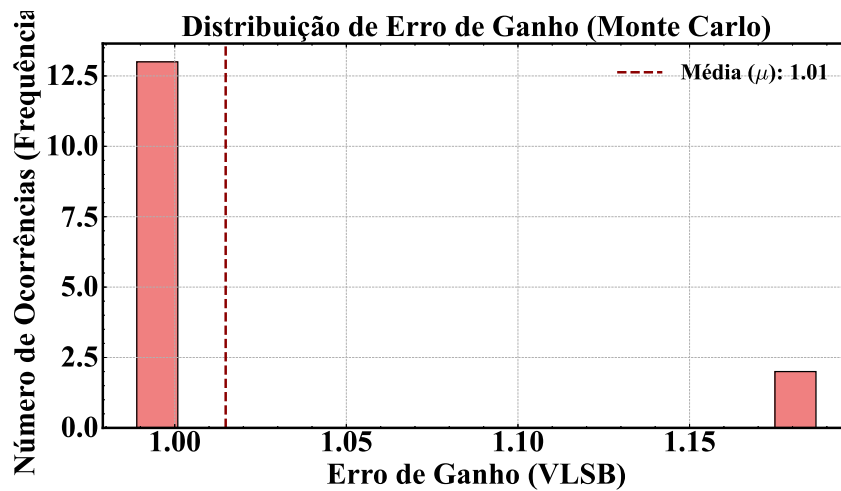
onde a rede capacitiva está mais sujeita ao *mismatch* e efeitos parasitários. Entre essas transições, o INL permanece praticamente linear, refletindo a estabilidade do degrau médio do conversor.

Uma simulação Monte Carlo com 16 rodadas é demonstrada na Figura 40, evidenciando a robustez do ADC SAR monotônico assíncrono de 8 bits operando a 10 MS/sao sofrer variações PVT. No gráfico de DNL, observa-se uma baixa distorção entre as amostras simuladas, com valores confinados entre aproximadamente $-0,6$ e $+0,4$ LSB. Essa distribuição indica que variações de processo, *mismatch* e parasitas impactam de forma controlada no degrau efetivo do conversor, preservando a monotonicidade em todas as amostras simuladas. Já no gráfico de INL, nota-se uma tendência repetitiva de inclinação negativa associada à estrutura do DAC capacitivo, enquanto as diferentes rodadas apresentam variações moderadas em torno da faixa de $\pm 0,4$ LSB.

A amplitude do erro integral permanece em limites aceitáveis, tipicamente inferior

Figura 37 – Histograma da simulação MC do offset em V_{LSB} do ADC SAR.

Fonte: Autor

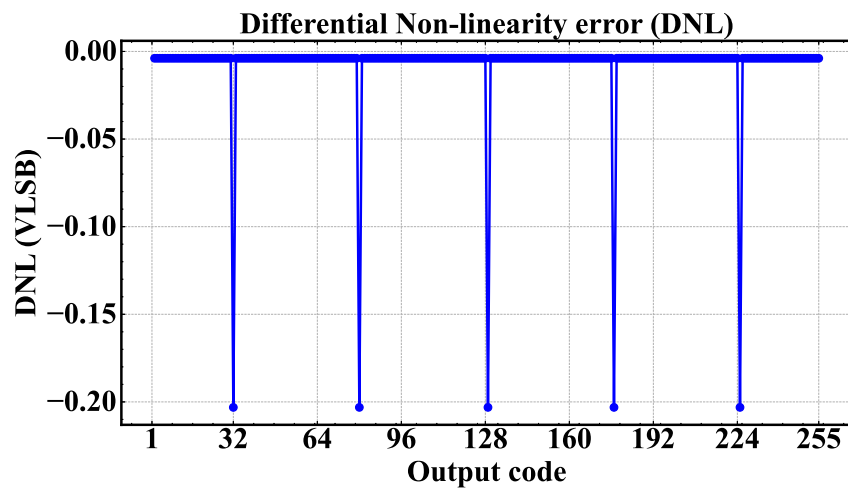
Figura 38 – Histograma da simulação MC do ganho em V_{LSB} do ADC SAR.

Fonte: Autor

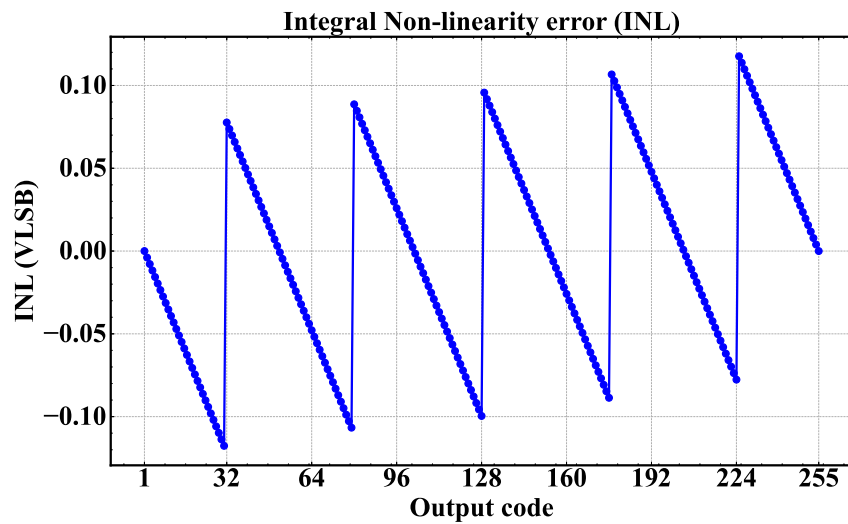
a $\pm 0,3$ LSB, demonstrando que a arquitetura mantém elevada linearidade global mesmo sob perturbações estatísticas. A consistência entre as trajetórias simuladas confirma que o conversor é pouco sensível a *mismatch* críticos, garantindo previsibilidade de desempenho em nível de projeto. Esses resultados reforçam a eficácia da abordagem assíncrona e da rede capacitiva balanceada, assegurando estabilidade operacional, baixo erro estático e confiabilidade para aplicações de média resolução e altas taxas de amostragem.

Logo, após realizar todas as análises necessárias para validação do comportamento do sistema do ADC SAR monotônico, é realizado o leiaute dos blocos, efetuando a resolução da verificação das regras de projeto, ou do inglês Design Rule Check (DRC), seguido da verificação do leiaute vs esquemático, ou Layout versus Schematic (LVS).

Figura 39 – Gráfico dos parâmetros de linearidade do ADC.



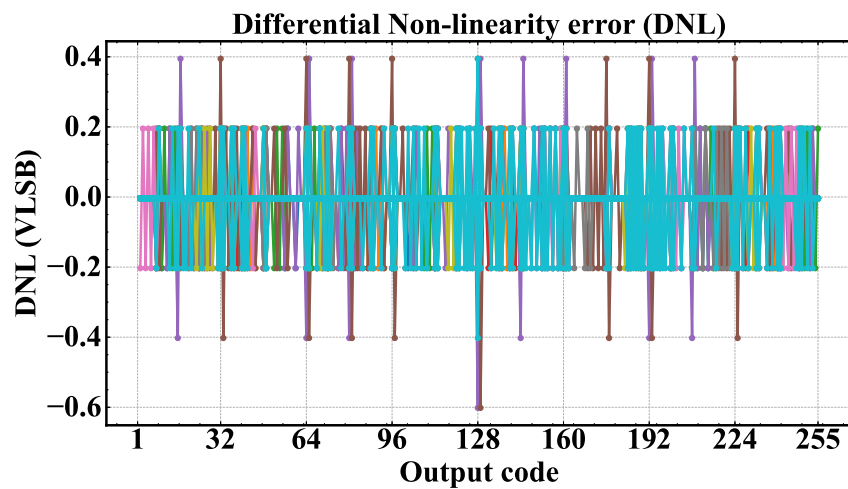
(a) Não-linearidade diferencial



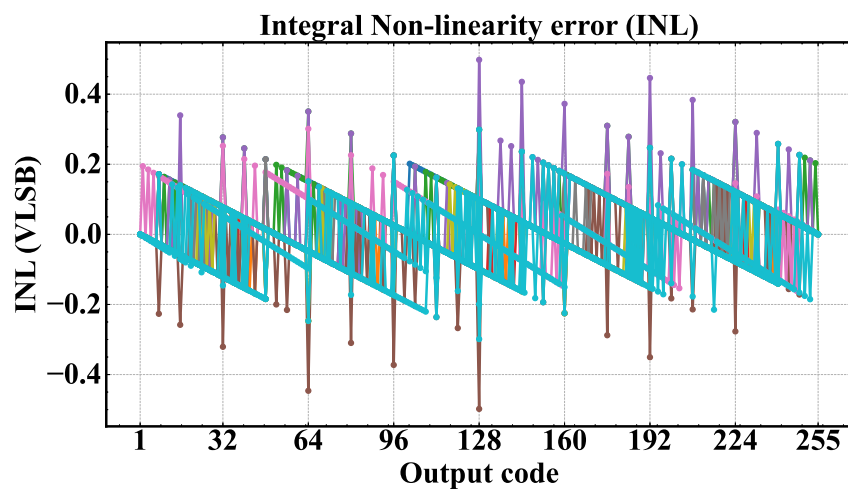
(b) Não-linearidade integral

Fonte: Autor

Figura 40 – Simulação Monte Carlo de 16 rodadas do DNL e INL.



(a) Não-linearidade diferencial



(b) Não-linearidade integral

Fonte: Autor

6 PROJETO FÍSICO (LEIAUTE)

No projeto físico de circuitos analógicos e digitais existe um fluxo a ser seguido, onde primeiro é realizada a estimativa de área disponível para o leiaute de todo o sistema. Ressalta-se, então, que nesse projeto o requisito de área não é crítico, mas ainda sim será considerado a disposição dos dispositivos na mínima distância que as regras permitirem. Também é necessário saber quantos níveis de metais são disponíveis para o roteamento, sendo nesta tecnologia possível utilizar do metal 1 ao metal 9. Lembrando ainda, que o metal 1 está mais próximo ao substrato, logo contém uma capacitância parasita maior que o metal 9, e também um ruído maior. Contudo, para dar partida ao leiaute de um bloco é elaborado o *floorplanning* (planejamento) do bloco a ser projetado, que define o lugar no qual os dispositivos serão colocados. Logo é feito o *placement* (colocação) que é a devida colocação dos dispositivos na vista leiaute conforme o *floorplanning* elaborado. É realizado então o roteamento, ou seja, a interconexão entre todos os dispositivos.

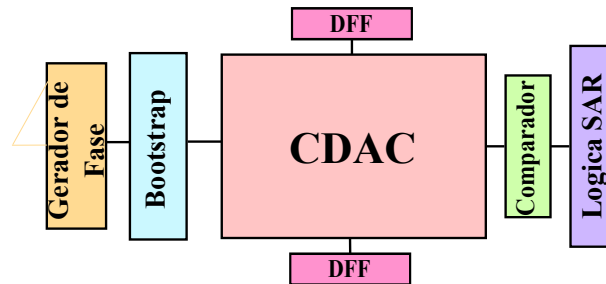
Alguns circuitos, contém dispositivos mais sensíveis às variações PVT que acabam prejudicando a linearidade do sistema todo, alguns exemplos são: transistores par de entrada, circuitos espelho de corrente e conversores capacitivos. O leiaute para tais dispositivos deve apresentar um *floorplanning* com técnicas que melhorem o *matching* entre eles, o método mais usual é o centroide comum, onde os dispositivos a serem casados são centrados em um ponto em comum. Também há a técnica de interdigitação, no qual os dispositivos são alocados intercaladamente. Por sua vez, manter um bom *matching* nos dispositivos ajuda a eliminar possíveis desvios de parâmetro. Sendo que as variações de parâmetros podem ser causadas pelo processo de fabricação, planejamento do layout dos dispositivos e condições de uso do sistema (MUCIO, 2023).

Ao ser realizado o *placement*, dependendo se o circuito é sensível ou não, são dispostos dummies em torno dele, que basicamente são estruturas sem propósito elétrico com os terminais conectados ao terra ou V_{DD} (dependendo do modelo do dispositivo). Os dummies servem apenas para isolar o circuito, garantindo que ao fabricar o *chip* a região ativa do dispositivo tenha uma boa densidade de metal, sendo utilizado também para tapar “buracos” vazios no leiaute. Após fechar o leiaute de um bloco, é posto em torno dele um anel de proteção, ou *guard ring*, que ajuda na redução do desacoplamento de ruído através do substrato. Em resumo, o *guard ring* é um contato de substrato ao redor dos dispositivos NMOS ou um contato de N-well (poço N) ao redor dos PMOS. Já nos elementos passivos (capacitor, resistor, indutor), deve ser consultado no kit de projeto de processo, ou Process Design Kit (PDK), a qual contato do *guard ring* o modelo do dispositivo em questão deve ter.

Contudo, ao iniciar o *floorplanning* deste projeto, é realizada uma ilustração simples do posicionamento de cada sub-bloco do ADC, mantendo um eixo de simetria que segue o sentido em que o fluxo do sinal percorre o sistema (eixo horizontal). A Figura 41 demonstra, portanto, a disposição e interconexão de tais blocos, facilitando a observação e

colocação dos pinos no leiaute.

Figura 41 – Posição dos blocos do ADC para roteamento do leiaute.



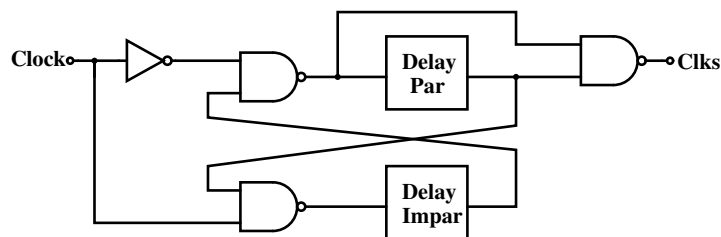
Fonte: Autor

Para o leiaute das células padrão (inversora, NAND, NOR, OR), os pinos foram mantidos internamente, deixando a conexão de V_{DD} e terra na parte superior e inferior do bloco, com as trilhas de metal e layers do substrato/N-well mantidas até as bordas, de modo que ao abutar uma célula com a outra, as conexões de alimentação e terra se complementem instantaneamente, o que já facilita o leiaute, principalmente ao considerar várias células que estejam agrupadas. A seguir serão apresentados os leiautes de cada sub-bloco do ADC SAR Monotônico projetado, seguindo boas práticas de roteamento e proteção dos dispositivos sensíveis, mirando na melhoria do *matching* e robustez do sistema como um todo.

6.1 GERADOR DE FASE

No projeto elétrico do ADC foi usado inicialmente uma fonte ideal para gerar o clock da chave de amostragem (Clks) de modo a garantir um período de amostragem de 20 ns, conforme demonstrado no diagrama de temporização 23b. Na prática, o controle da largura do pulso deste sinal é realizado internamente, a partir de um circuito gerador de fase, conforme apresentado na Figura 42, sendo que os blocos de delay par e ímpar são compostos por uma cadeia de inversores em série.

Figura 42 – Esquemático do gerador de fase.

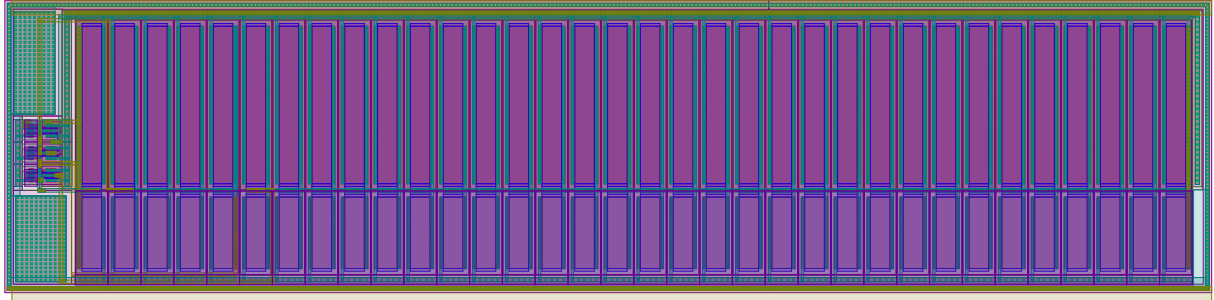


Fonte: Autor

O leiaute desse circuito é apresentado na Figura 43. Para os inversores foi mantido um W/L igual, sendo possível distribuí-los lado-a-lado como visto na imagem. Já as NANDs são colocadas na borda do lado esquerdo, com o espaço em vazio preenchido com

contatos para o substrato, sendo um *guard ring* com contato para o N-well posto em torno dos transistores tipo P, e outro com contato para o substrato em torno de todo o bloco. A área total do gerador de fases ficou em $61,34 \mu\text{m} \times 15,26 \mu\text{m}$.

Figura 43 – Leiaute do gerador de fase.

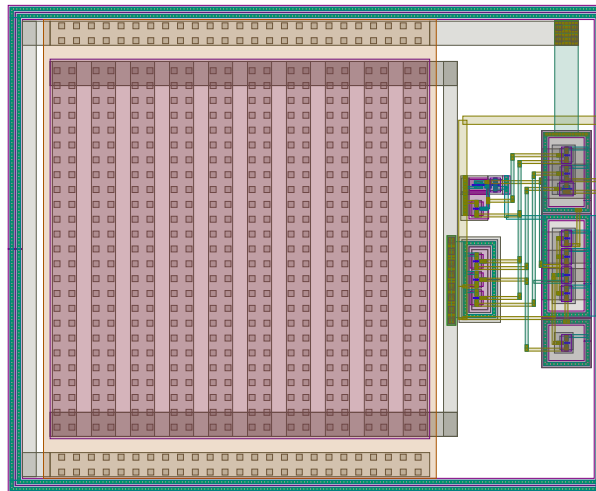


Fonte: Autor

6.2 BOOTSTRAP

No leiaute na chave bootstrap há o capacitor C_B que ocupa boa parte da área deste circuito, como visto na Figura 44, onde foi necessário utilizar transistores NMOS com *deep N-well* devido às conexões de bulk em potenciais deferentes do terra, como demonstrado anteriormente pela Fig. 21. Para manter uma boa isolamento dos dispositivos desse bloco, foi adicionado um guard ring diferente em no grupo de transistores que pertence ao mesmo potencial de bulk. Sendo, ainda, utilizado nas trilhas do metal 2 ao metal 3, seguindo a regra de metal ímpar na vertical e metal par na horizontal, de modo a facilitar o cruzamento entre as trilhas. A área total da chave de amostragem ficou em $36,37 \mu\text{m} \times 29,52 \mu\text{m}$.

Figura 44 – Leiaute da bootstrap.



Fonte: Autor

6.3 CDAC

Para o leiaute do DAC capacitivo é importante obter uma simetria e *matching* bons entre os dispositivos, como já ressaltado antes, a linearidade do CDAC é fundamental para manter a boa performance do ADC, reduzindo os efeitos de INL/DNL. Em vista disso, a Figura 45 ilustra a disposição dos capacitores, mantendo uma distribuição em centroide comum dos capacitores que compreendem o MSB (letra H) até os capacitores unitários (letras A e B). Em torno de toda a rede, são distribuídos os dummies (Dum), garantindo uma boa densidade de metal nas bordas dos dispositivos ativos.

Figura 45 – Disposição dos capacitores com técnica centroide comum

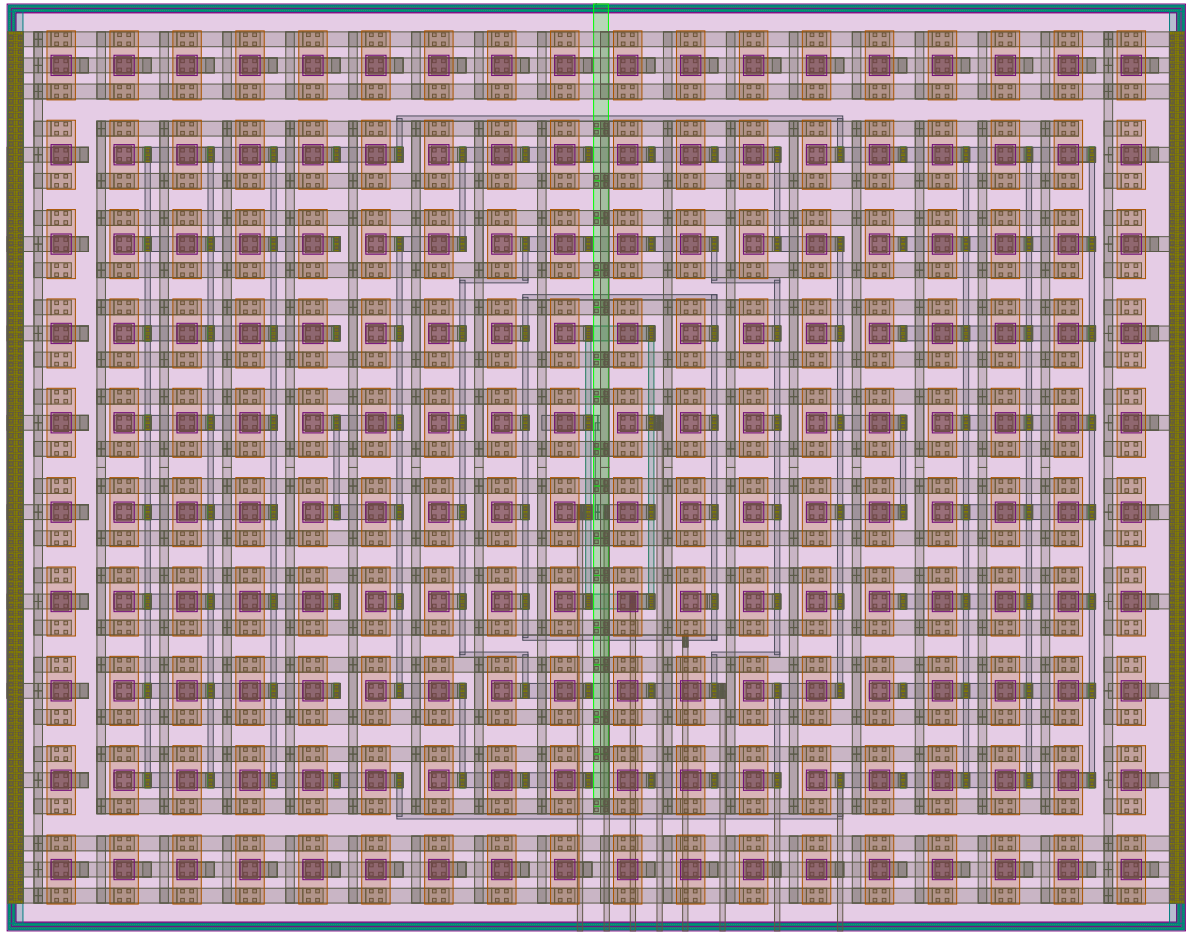
Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum
Dum	H	H	H	H	H	G	G	G	G	G	G	H	H	H	H	H	Dum
Dum	H	H	H	H	G	G	F	F	F	F	G	G	H	H	H	H	Dum
Dum	H	H	H	H	G	F	E	D	D	E	F	G	H	H	H	H	Dum
Dum	H	H	H	G	G	F	E	C	B	E	F	G	G	H	H	H	Dum
Dum	H	H	H	G	G	F	E	A	C	E	F	G	G	H	H	H	Dum
Dum	H	H	H	H	G	F	E	D	D	F	F	G	H	H	H	H	Dum
Dum	H	H	H	H	G	G	F	F	F	F	G	G	H	H	H	H	Dum
Dum	H	H	H	H	H	G	G	G	G	G	G	H	H	H	H	H	Dum
Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum	Dum

Fonte: Autor

A Figura 46 apresenta, portanto, o leiaute do CDAC elaborado neste projeto. Ressalta-se que, ao longo do projeto elétrico foi utilizado a conexão da placa superior do capacitor ao nó em comum que vai na entrada do comparador. Porém, na construção física deste dispositivo, as duas placas que o compõem não apresentam a mesma forma e tamanho, o que acaba inserindo efeitos parasitas diferentes neste contexto. No capacitor C_B do leiaute anterior, é possível ver o formato do capacitor, sendo a placa inferior, o metal que fica em torno da placa superior, sendo usado neste modelo de capacitor o metal 8. Com essa observação, é definido que a placa superior dos capacitores, qual contém menor densidade de metal, será aplicada ao nó de chaveamento do CDAC, com a placa inferior no nó em comum que entra no comparador.

No roteamento do CDAC, utilizou-se para a conexão do nó em comum o metal 8 com o pino em metal 7, já ao nó de chaveamento é realizado as conexões em metal 4, com os pinos dos bits de saída em metal 6. Após realizar esse roteamento, é colocado o *guard ring* com contato para o substrato em torno de todo CDAC, e conectado aos dummies dispostos em torno de toda a matriz. A área total do DAC capacitivo ficou em $116,05 \mu\text{m} \times 91,29 \mu\text{m}$.

Figura 46 – Leiaute do DAC capacitivo.



Fonte: Autor

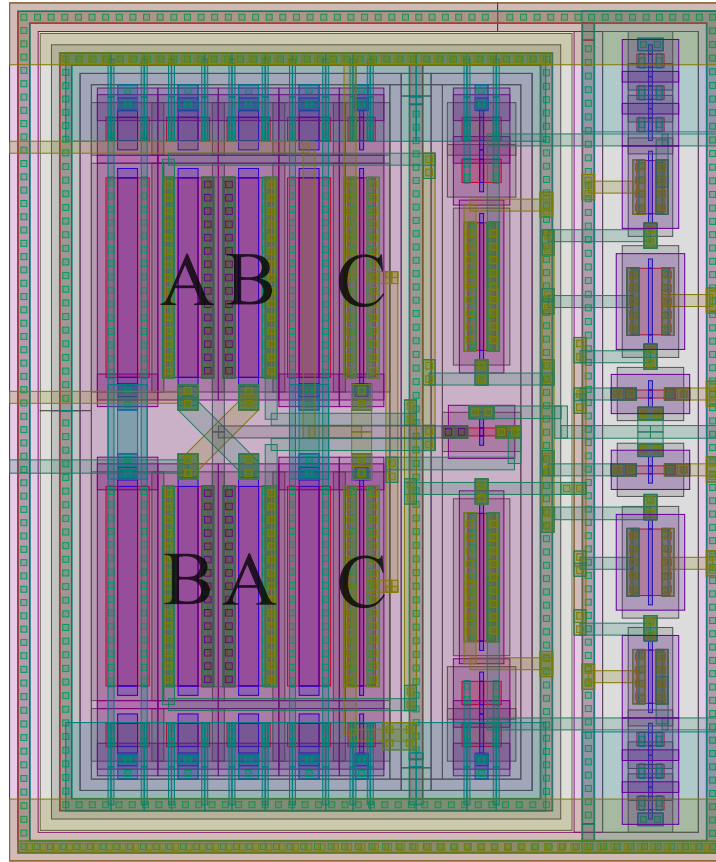
6.4 COMPARADOR DINÂMICO

O leiaute do comparador dinâmico projetado, é apresentado na Figura 47. Nota-se que se manteve um eixo de simetria entre os dispositivos, onde o par de entrada foi disposto em centroide comum com a colocação de dummies em torno deles. O transistor C de mesmo dimensionamento de A/B é mantido na matriz do par de entrada, apenas separado por um dummy. sendo que um *guard ring* é posto em torno dos transistores PMOS, dividindo esse *ring* conforme a dimensão do transistor para melhorar a densidade de metal. Já os transistores NMOS são enfileirados verticalmente no lado direito do bloco e protegidos com contatos para o substrato em toda a volta. Foi utilizado no roteamento deste bloco trilhas de metal 1 ao metal 3, obtendo-se uma área de $10,79 \mu\text{m} \times 12,9 \mu\text{m}$.

6.5 LÓGICA SAR

Para o leiaute da lógica SAR é realizado primeiro o leiaute do bloco flip-flop (FF), conforme demonstrado na Figura 48, nesse bloco manteve-se também a regra de metal par horizontal e metal ímpar na vertical, com *guard ring* isolando um dispositivo do outro

Figura 47 – Leiaute do comparador dinâmico.



Fonte: Autor

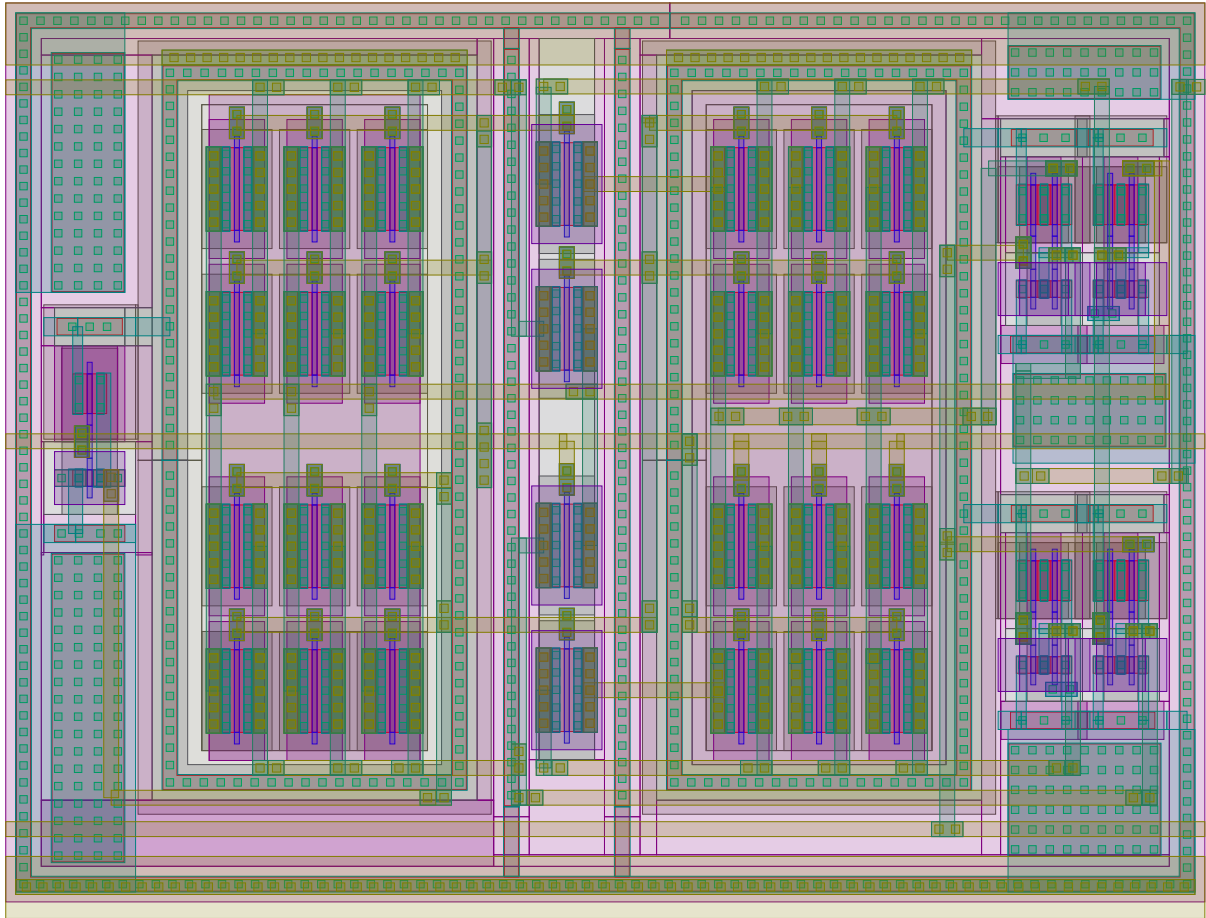
com adição de contato para o substrato nas partes vazias. As trilhas de clock e reset desde circuito, foram postas horizontalmente por toda extensão do circuito, como as trilhas de V_{DD} e terra. Isto é feito, para que ao colocar um bloco do lado do outro, essas conexões que são em comum entre todos os blocos FF se conectem sem precisar rotear novamente essas conexões. Este leiaute do flip-flop ficou com uma área de $14,05 \mu\text{m} \times 11,07 \mu\text{m}$.

Logo após finalizar o bloco FF, é elaborado o leiaute completo da lógica SAR demonstrado pela Figura 49, os FF foram dispostos lado-a-lado, sendo no lado direito da imagem colocado as portas lógicas que geram os sinais de Valid, clock e EOC do comparador, conforme o esquemático elétrico apresentado na Fig. 23a. A área de todo o leiaute da lógica SAR considerando o espaço dos capacitores C_F , ficou em $151,915 \mu\text{m} \times 49,94 \mu\text{m}$.

6.6 CHAVEAMENTO DO CDAC

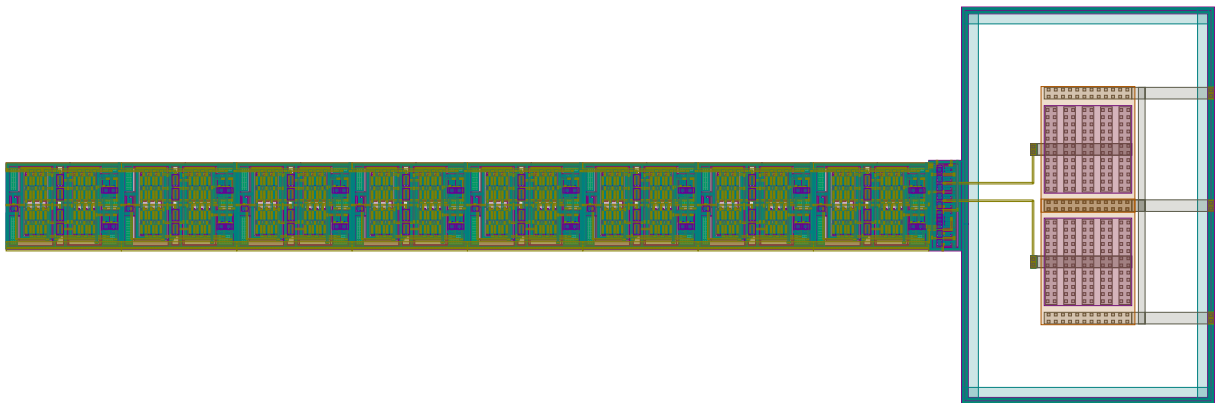
No leiaute do chaveamento do CDAC, é realizado primeiro o leiaute do bloco flip-flop com adição do delay, para então ser agrupado todo um conjunto desses sub-blocos. Com isso, a Fig. 50 apresenta o leiaute desse bloco em particular, onde somente é acrescentado ao lado direito do FF, os inversores e a porta AND, conforme o esquemático da Figura 20. Neste bloco, há os pinos da tensão de referência e o terra dessa referência,

Figura 48 – Leiaute do flip-flop.



Fonte: Autor

Figura 49 – Leiaute da lógica SAR.

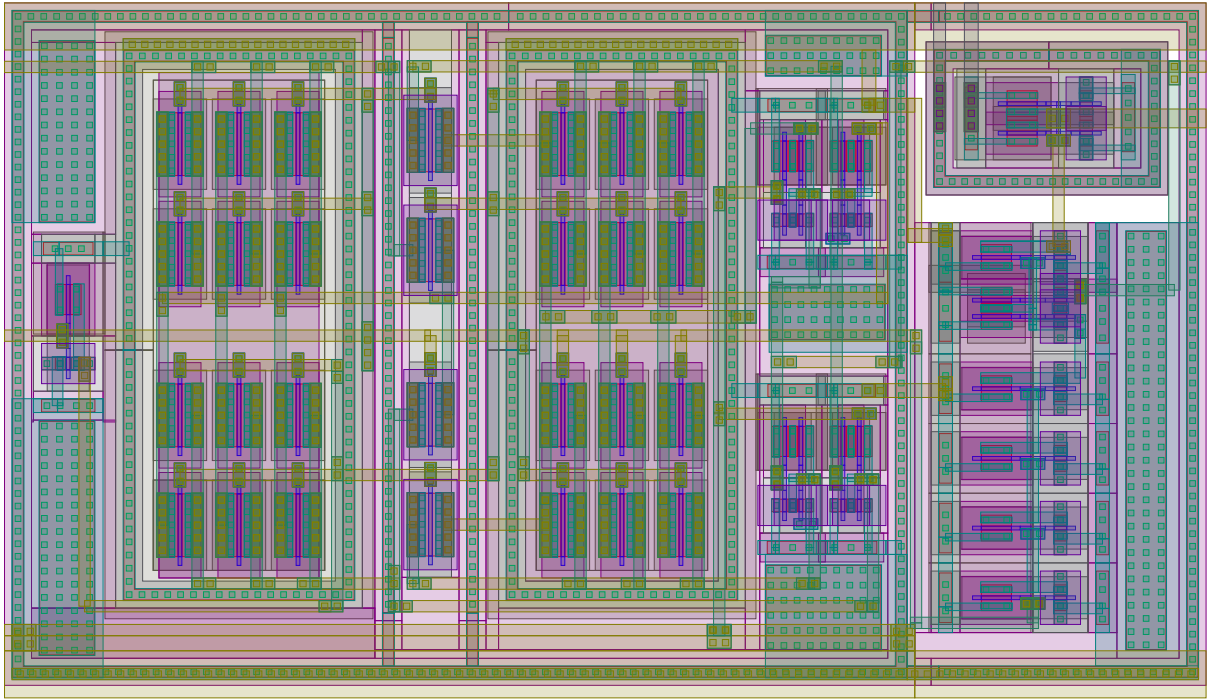


Fonte: Autor

sendo essas conexões colocadas no em metal 4 e as demais em metal 2, utilizando para o roteamento do metal 1 ao 3. Esse bloco ficou com uma área de $19,14 \mu\text{m} \times 11,07 \mu\text{m}$.

Fechado o bloco do flip-flop com o delay (DFF), são agrupados os demais blocos necessários para o chaveamento de cada capacitor do DAC, sendo que para o do bit menos significativo é usado somente o bloco do FF, sem a necessidade da adição do delay. Desse modo, a Figura 51 apresenta o leiaute de todo o bloco que chaveia o CDAC do ADC

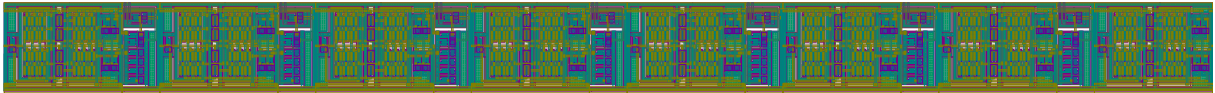
Figura 50 – Leiaute do flip-flop com delay.



Fonte: Autor

SAR. Mantendo-se uma distribuição horizontal dos sub-blocos. A área total ficou em $148,48 \mu\text{m} \times 11,07 \mu\text{m}$.

Figura 51 – Leiaute o bloco de chaveamento do CDAC.



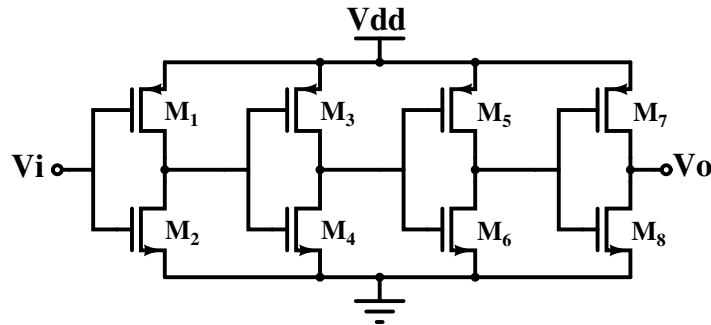
Fonte: Autor

6.6.1 BUFFER DE SAÍDA

Ao realizar a conexão do circuito com as células IO do anel de vedação, deve-se considerar que estes dispositivos apresentam uma alta capacitância parasita que influencia na performance do ADC. Para este caso, é adicionado um buffer nos bits de saída do ADC SAR, de modo a isolar o circuito dessa alta capacitância, sendo considerado ao sistema somente a capacitância de gate do buffer que é muito menor que a cap. parasita da célula de IO, sendo de aproximadamente 1,38 fF. A Figura 52 apresenta o esquemático do buffer utilizado nos bits de saída, manteve-se o mesmo dimensionamento do segundo inversor até o inversor de saída do buffer, utilizando-se múltiplos entre eles.

Logo, a Figura 53 apresenta o leiaute deste buffer de saída, mantendo-se um eixo horizontal de simetria entre os dispositivos e um *guard ring* em torno de cada matriz. O barramento de alimentação e *ground* são postos nas bordas (direita/esquerda) ao longo de

Figura 52 – Esquemático do buffer aplicado aos bits de saída do ADC.



Fonte: Autor

todo bloco e em metal 2, sendo mantida a mesma ideia de, que ao juntar os outros buffers lado-a-lado, as ligações se complementem.

Figura 53 – Layout do buffer aplicado aos bits de saída do ADC.



Fonte: Autor

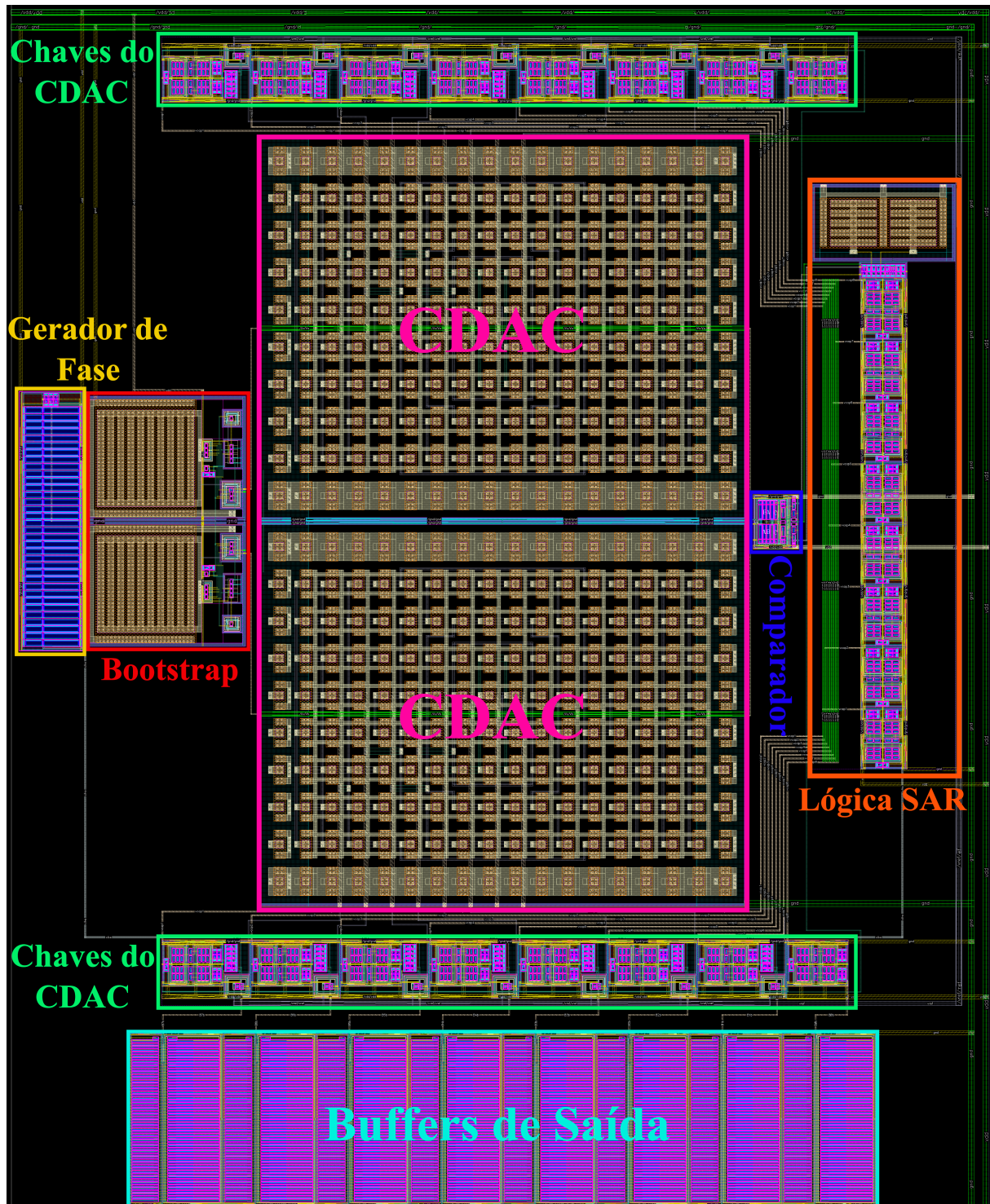
A seguir é demonstrado o roteamento do topo do ADC SAR, interligando todos os sub-blocos projetados conforme a disposição inicial planejada.

6.7 PREPARAÇÃO DO TOPO

Após a finalização do roteamento de cada sub-circuito do sistema conversor, sendo também solucionados os erros das verificações DRC e LVS, é realizado o leiaute do topo do sistema, seguindo o sentido das conexões da Fig. 41. Com isso, a Figura 54 apresenta o leiaute do topo, o roteamento entre os blocos foi feito com as layers de metal 3 ao metal 9, na borda superior e na lateral direita são passados os barramentos de V_{DD} e V_{SS} (terra), mantendo uma simetria nas trilhas de conexão dos blocos que chaveiam o CDAC com a

lógica SAR, sendo que, na parte de baixo encontram-se os buffers dos bits de saída do ADC. A área total de todo o ADC SAR projetado é de $231,295 \mu\text{m} \times 283,405 \mu\text{m}$.

Figura 54 – Leiaute do topo do ADC SAR.



Fonte: Autor

A seguir, será demonstrada a elaboração do anel de vedação do chip com a disposição e interconexão das células de entrada/saída (IO) do sistema conversor.

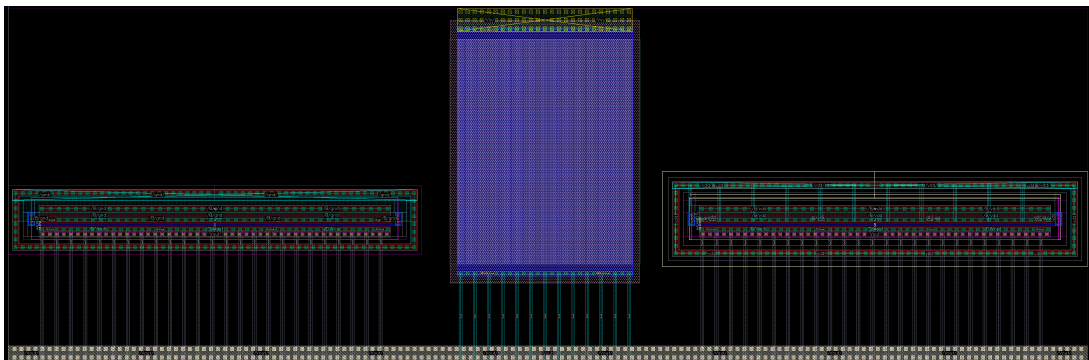
7 CONFEÇÃO DO IO RING DO CHIP

A área de silício que irá compreender todo o *chip* será de $1 \times 1 \text{ mm}^2$, sendo dentro deste espaço colocado os bond PADS conectados às células de IO, o dispositivo contra descarga eletrostática (ESD) e o topo do ADC SAR. Na área total, ao realizar o desconto da distância dos bond PADS e IO nas bordas do *chip*, encontra-se uma área disponível para uso de $590 \mu\text{m}$. O pitch utilizado para distância entre as células de IO é de $90 \mu\text{m}$. Com isso, é calculado o número total de pinos que podem ser dispostos em cada borda, sendo assim disponível um total de 28 pinos.

O domínio a ser trabalhado nesse *chip* é apenas analógico, onde a alimentação de V_{DD} é utilizada no domínio das células de IO, sendo que cada célula de alimentação deve conter uma célula de *ground* correspondente. Porém, não deve ser utilizado em um mesmo domínio duas células de alimentação. Com isso, para poder adicionar outra alimentação ao anel de vedação, deve ser cortar os domínios com a célula denominada CUT, sendo ainda utilizado para interligação entre as células de IO a célula denominada *Filler*.

Contudo, quando é realizada a fabricação de CIs, considera-se aos dispositivos que contém o gate conectado diretamente a célula de IO, a adição de um dispositivo de proteção contra descarga eletrostática (ESD). Este efeito ocorre devido ao descarregamento que um “toque” no *chip* pode causar se a pessoa não usar uma pulseira antiestática, fazendo com que ocorra uma sobrecarga no gate do transistor, podendo romper a camada de óxido, e conseqüentemente, causando um curto para o substrato. Basicamente, o esquemático desse dispositivo de proteção é composto por PMOS de dreno conectado ao dreno do NMOS, e os demais terminais ligados em V_{DD} e *ground*, sendo conectado no nó dos drenos uma resistência de 200Ω . Na Figura 55 é apresentado o leiaute do dispositivo ESD, onde o terminal que vai conectado ao circuito é todo o barramento inferior, e a conexão a célula de IO é dada no outro lado do resistor.

Figura 55 – Leiaute do dispositivo de proteção ESD

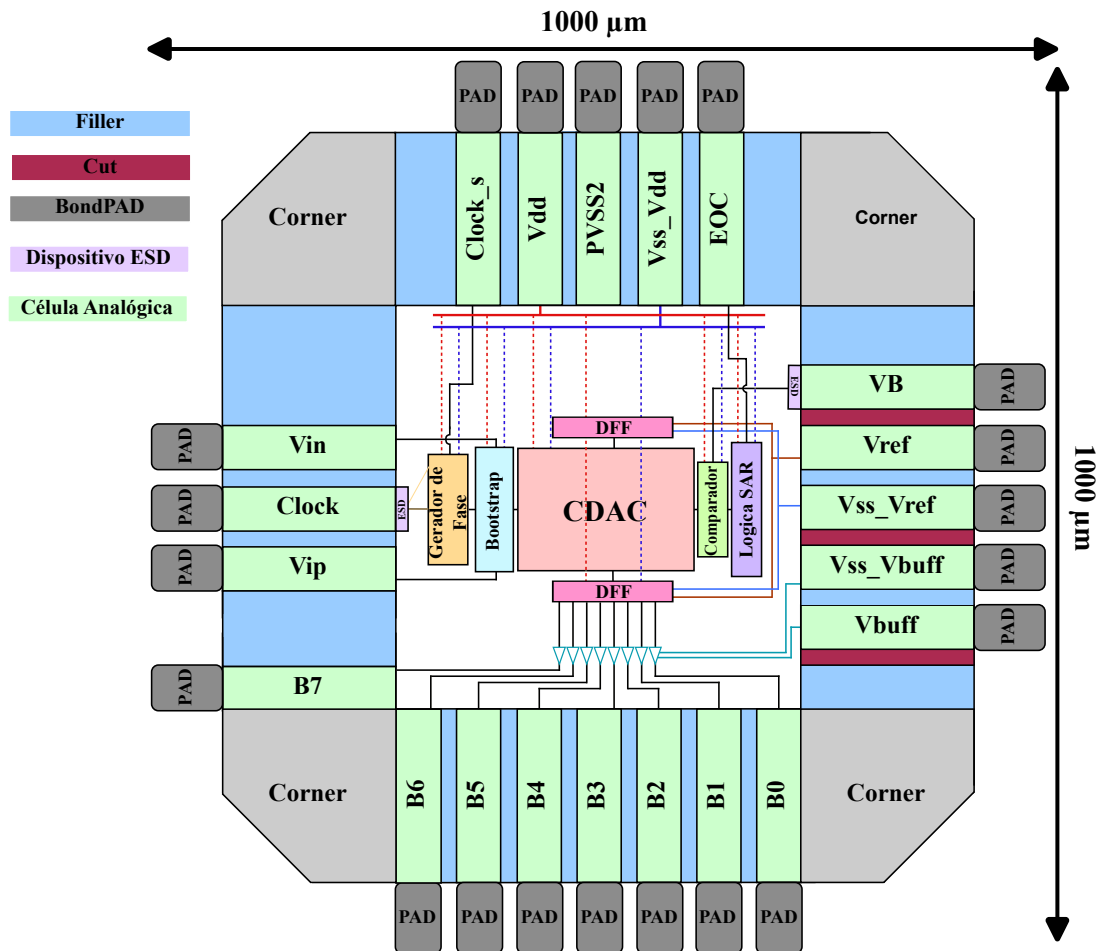


Fonte: Autor

Já na Figura 56, é ilustrado como será feita a confecção de todo o *chip* deste projeto. Observam-se as células de CUT que estão separando os domínios entre: tensão de referência, tensão de alimentação dos buffers de saída e tensão de alimentação do sistema (V_{DD}). As células de IO foram distribuídas nas bordas do *chip* de modo que o

comprimento das trilhas de conexão seja o menor possível. É observado, também, que serão necessários os dispositivos ESD somente nas células do clock e tensão V_B . É interessante ainda ressaltar que, os bond PAD são os dispositivos onde serão soldados os fios de ouro na hora do encapsulamento do *chip*.

Figura 56 – ADC posto no anel de vedação do chip, conectado as células de entrada/saída e de alimentação.

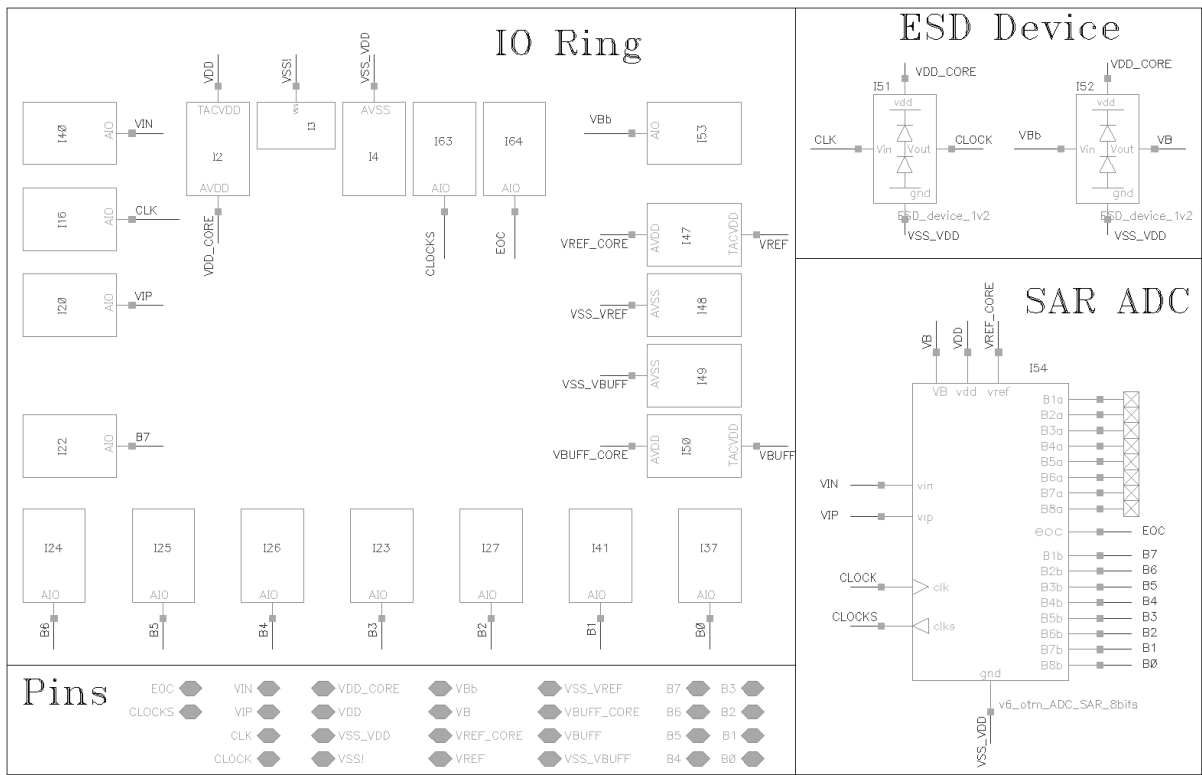


Fonte: Autor

Logo, é apresentado o esquemático via software das células de IO, com o sistema do ADC SAR e os dispositivos de proteção, conforme demonstrado na Figura 57. Lembrando que, os bond PADs e os *corners* (cantos) são apenas adicionados direto na vista do leiaute.

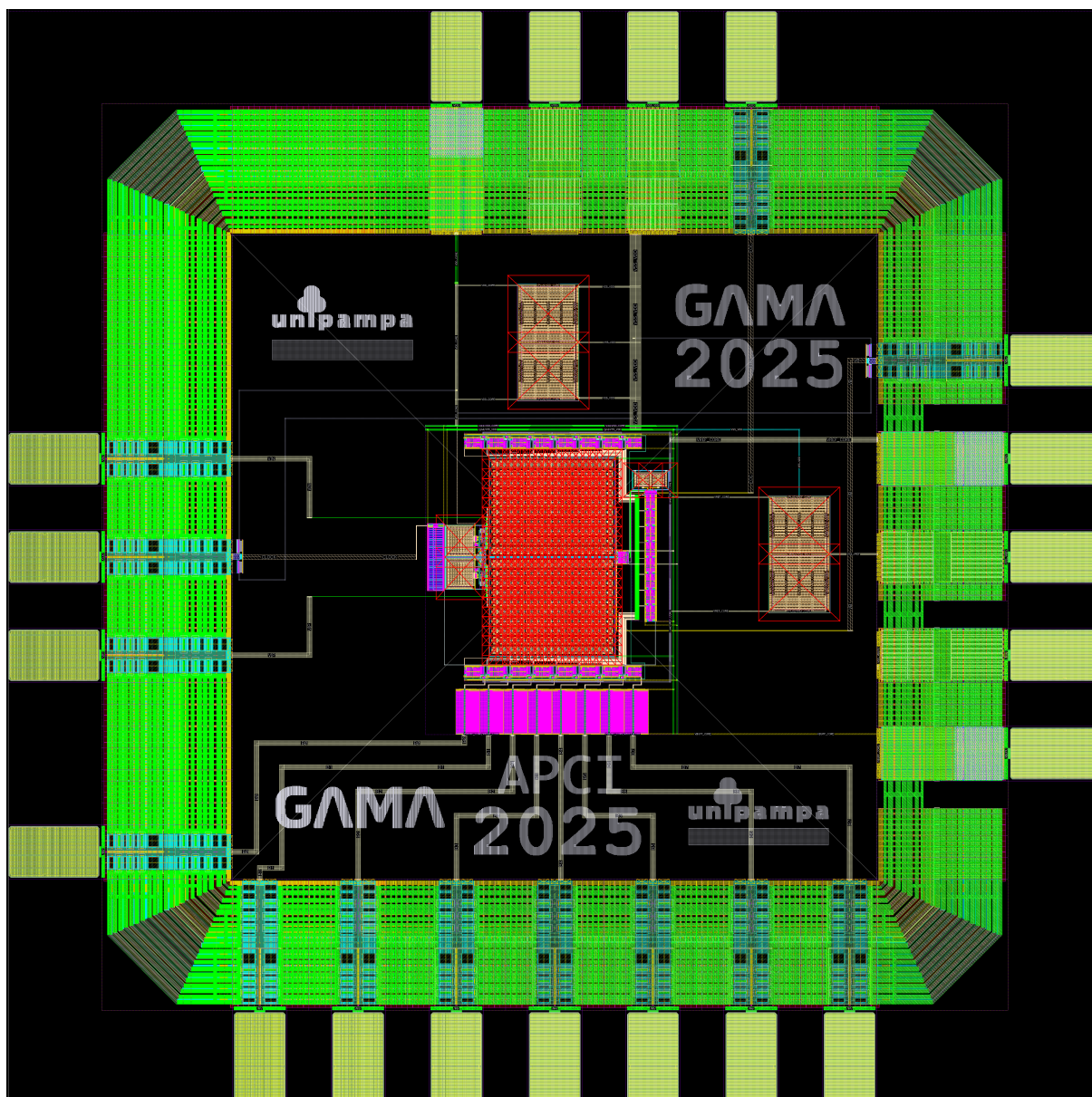
Por fim, a Figura 58 apresenta o leiaute completo do *chip* com DRC de efeito antena e LVS limpos. Para o roteamento do ADC as células analógicas de entrada/saída é utilizado do metal 9 ao metal 4, sendo adicionados capacitores de desacoplamento de 10 pF na conexão de V_{DD} e na tensão de referência dos blocos de chaveamento do CDAC para garantir a estabilidade dessas tensões contra os efeitos de indutância/capacitância parasita da célula de IO e ponteiros de medição. Ainda, são adicionados as logos das parcerias que contribuíram para a possível fabricação deste *chip*.

Figura 57 – Esquemático via *Virtuoso*[®] do ADC com os dispositivos de proteção ESD e, PADS da tecnologia.



Fonte: Autor

Figura 58 – Leiaute do IO ring com o ADC SAR projetado.



Fonte: Autor

8 CONCLUSÃO

Este trabalho apresentou o estudo e desenvolvimento de um conversor analógico-digital do tipo SAR completamente diferencial de 8 bits em tecnologia CMOS de 65 nm com tensão de alimentação nominal de 1,2 V. O ADC SAR projetado é assíncrono e emprega a técnica de chaveamento do tipo monotônico visando menor consumo de energia quando comparado à técnica de chaveamento tradicional. O ADC é projetado para operar com frequência de amostragem de 10 MS/s, ou seja, limitando a banda de sinal em 5 MHz.

Foi efetuado o projeto completo em nível de esquemático elétrico do ADC. A chave de entrada é do tipo bootstrap para minimizar a variação da resistência de entrada e o CDAC foi projetado utilizando capacitores MiM mínimos da tecnologia. O comparador utilizado possui par de entrada PMOS, sendo de apenas um estágio. Já, a lógica SAR e o controle de chaveamento dos capacitores do CDAC, foram efetuados empregando portas lógicas full-custom.

O circuito foi projetado utilizando o ambiente *Virtuoso*[®] da *Cadence*[®] e as simulações foram executadas utilizando o simulador elétrico SpectreX. A análise dinâmica do ADC foi efetuada empregando simulações transientes com amostragem coerente. O ADC atingiu um SNR/SNDR de 50,95/48,47 dB, fornecendo um ENOB de 7,75 bits e uma THD de 0,31%. O consumo de energia do ADC é de 201,21 μW . A caracterização estática do ADC foi efetuada considerando uma simulação transiente e com precisão de 0,2 LSB de modo a garantir um trade-off entre precisão e tempo de simulação. Em corner típico, o ADC apresentou um INL de $\pm 0,11$ LSBs e um DNL máximo de -0,2 LSB.

Após, efetuou-se o leiaute dos sub-blocos do ADC visando a sua fabricação em silício nos próximos meses, onde foi possível aplicar técnicas de casamento nos dispositivos mais sensíveis e atribuir no projeto individual dos sub-blocos um leiaute compacto e simétrico, com o topo de todo circuito planejado conforme a conexão entre os sub-blocos e os IOs do pad-ring. Deste modo, foi também apresentada a confecção do pad-ring completo, roteado ao ADC SAR. Devido ao prazo para a defesa e entrega da versão final do texto, não são apresentados os resultados de simulação pós-leiaute. Por fim, ao longo do trabalho foi possível atuar em todas as etapas de projeto de um circuito integrado, passando pelo projeto de nível de esquemático elétrico e leiaute.

9 TRABALHOS FUTUROS

- Gerar internamente a tensão V_B que polariza o transistor M_8 do circuito do comparador para remover esse pino do topo;
- Retirar a capacitância C_F da lógica SAR e aumentar o L dos inversores que estão dando um atraso no sinal Valid;
- Melhorar o leiaute do CDAC espelhando metade da matriz, e realizar o roteamento dos dispositivos abaixo de um *shield* (escudo) de metal.

REFERÊNCIAS

- AGUIRRE, P. C. C. de. *Projeto e Análise de Moduladores Sigma-Delta em Tempo Contínuo Aplicados à Conversão AD*. 2014. 1-119 p. Disponível em: <<http://hdl.handle.net/10183/105065>>. Citado na página 25.
- ALLEN, P. E. P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. 3rd. ed. [S.l.]: Oxford University Press, Inc., 2002. 1-783 p. ISBN 978-0-19-976507-2. Citado 4 vezes nas páginas 26, 27, 28 e 29.
- ASHRAF, A. et al. Low Power Design of Asynchronous SAR ADC. In: *2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)*. [S.l.: s.n.], 2016. p. 4214–4219. Citado na página 43.
- BAKER, R. J.; EMMONS, F. *IEEE Series on Microelectronic Systems Circuit Design, Layout, and Simulation CMOS*. [S.l.: s.n.], 2019. 1-1279 p. ISBN 9781119481515. Citado na página 17.
- LIU, C.-C. et al. A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure. *IEEE Journal of Solid-State Circuits*, v. 45, n. 4, p. 731–740, 2010. Citado 4 vezes nas páginas 37, 38, 40 e 43.
- MALOBERTI, F. *Data Converters*. [S.l.: s.n.], 2007. 1-454 p. ISBN 10 0-387-32485-2. Citado 7 vezes nas páginas 21, 22, 29, 30, 31, 32 e 33.
- MEANY, T. Functional Safety for Integrated Circuits. Analog Devices, 2016. Disponível em: <<https://www.analog.com/en/technical-articles/functional-safety-for-integrated-circuits.html>>. Citado na página 18.
- MPS. *Analog-to-Digital Converters (ADCs)*. 2024. Disponível em: <<https://www.monolithicpower.com/en/analog-to-digital-converters>>. Citado 4 vezes nas páginas 21, 22, 24 e 27.
- MUCIO, M. R. de. *Técnicas de Layout de Circuitos Integrados*. 2023. 1-100 p. Disponível em: <<https://bdm.unb.br/handle/10483/36152>>. Citado na página 60.
- MURMANN, B. *ADC Performance Survey 1997-2025*. 2025. Disponível em: <<https://github.com/bmurmman/ADC-survey>>. Citado 2 vezes nas páginas 34 e 35.
- OPPENHEIM, A. V.; SCHAFER, R. W. MOSFET. In: . [s.n.], 1989. Disponível em: <<https://api.semanticscholar.org/CorpusID:63180999>>. Citado na página 17.
- PELGROM, M. J. *Analog-to-Digital Conversion*. 4th. ed. Springer International Publishing, 2021. 1-1011 p. ISBN 978-3-030-90807-2. Disponível em: <<https://doi.org/10.1007/978-3-030-90808-9>>. Citado na página 23.
- RAMKAJ, A. T. et al. A 1.25-GS/s 7-b SAR ADC With 36.4-dB SNDR at 5 GHz Using Switch-Bootstrapping, USPC DAC and Triple-Tail Comparator in 28-nm CMOS. *IEEE Journal of Solid-State Circuits*, Institute of Electrical and Electronics Engineers Inc., v. 53, p. 1889–1901, 7 2018. ISSN 00189200. Citado na página 42.
- RAZAVI, B. *Design of Analog CMOS Inegrated Circuits*. [S.l.: s.n.], 2001. 1-688 p. ISBN 0-07-238032-2. Citado na página 17.

- RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 2nd. ed. [S.l.]: McGraw-Hill Education, 2017. 1-801 p. ISBN 978-0-07-252493-2. Citado na página 18.
- RODRIGUES, M. C. *Projeto de um ADC SAR Assíncrono de 10 bits com Chaveamento Monotônico em Tecnologia CMOS de 180 nm para Aplicações Biomédicas*. 2022. 1-81 p. Disponível em: <<https://repositorio.unipampa.edu.br/jspui/handle/riu/7526>>. Citado 2 vezes nas páginas 37 e 42.
- ROSA, J. M. D. L. *Sigma-Delta Converters - Practical Design Guide*. [s.n.], 2013. 1-546 p. ISBN 9781119275756. Disponível em: <<https://lccn.loc.gov/2018023691>>. Citado na página 25.
- SCHALLER, R. Moore's law: past, present and future. *IEEE Spectrum*, v. 34, n. 6, p. 52–59, 1997. Disponível em: <<https://ieeexplore.ieee.org/document/591665>>. Citado na página 17.
- WEBER, T. O. Síntese de CIs Analógicos em Nível de Circuito e Sistema Utilizando Métodos Modernos de Otimização. p. 1–252, 7 2015. Disponível em: <<https://doi.org/10.11606/T.3.2016.tde-22072016-151343>>. Citado na página 17.
- YUAN, F. Bootstrapping Techniques for Energy-Efficient SAR ADCs : A State-of-the-Art Review. In: . [S.l.]: Institute of Electrical and Electronics Engineers Inc., 2021. v. 2021-August, p. 575–578. ISBN 9781665424615. ISSN 15483746. Citado na página 42.
- YUE, X. Determining the Reliable Minimum Unit Capacitance for the DAC Capacitor Array of SAR ADCs. *Microelectronics Journal*, v. 44, n. 6, p. 473–478, 2013. ISSN 1879-2391. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S0026269213000815>>. Citado na página 37.

APÊNDICE A – CÓDIGO VERILOGA DE UM DAC DE 8 BITS

```

1      `include "discipline.h"
2      `include "constants.h"
3
4      // Modelo DAC 8 bits
5
6      module dac_3b (B0, B1, B2, B3, B4, B5, B6, B7, CLK, VOUT) ;
7      input B0, B1, B2, B3, B4, B5, B6, B7, CLK;
8      output VOUT;
9
10     electrical B0, B1, B2, B3, B4, B5, B6, B7, CLK, VOUT;
11
12     // Parametros de entrada
13
14     parameter real vdd = 1.2;
15     parameter real vth = 0.6;
16     parameter real LSB = 0.009375;
17
18     real value;
19     // Novas variaveis para armazenar o valor logico puro de cada bit
20     integer b0_logico, b1_logico, b2_logico, b3_logico;
21     integer b4_logico, b5_logico, b6_logico, b7_logico;
22
23     analog begin
24         @( cross (V(CLK)-vth,+1)) begin
25
26             // 1. Conversao de Tensao Analogica para 0 ou 1
27
28             if (V(B0) > vth) b0_logico = vdd; else b0_logico = 0;
29             if (V(B1) > vth) b1_logico = vdd; else b1_logico = 0;
30             if (V(B2) > vth) b2_logico = vdd; else b2_logico = 0;
31             if (V(B3) > vth) b3_logico = vdd; else b3_logico = 0;
32             if (V(B4) > vth) b4_logico = vdd; else b4_logico = 0;
33             if (V(B5) > vth) b5_logico = vdd; else b5_logico = 0;
34             if (V(B6) > vth) b6_logico = vdd; else b6_logico = 0;
35             if (V(B7) > vth) b7_logico = vdd; else b7_logico = 0;
36
37             // 2. Calculo do Valor DAC usando os bits logicos
38             value = (b7_logico*128 + b6_logico*64 + b5_logico*32 +
39                     b4_logico*16 + b3_logico*8 + b2_logico*4 +

```

```
40             b1_logico*2 + b0_logico*1)*LSB;  
41  
42         end  
43  
44     V(VOUT)<+ transition ( value,1p, 1p, 1p);  
45     end  
46  
47     endmodule
```

Fonte: Autor