

RAPHAEL DA COSTA NEVES

**ANÁLISE DE DESEMPENHO DE UM MODULADOR ANALÓGICO-DIGITAL SIGMA-
DELTA IMPLEMENTADO EM FPA**

Trabalho de conclusão de curso apresentado como parte das atividades para obtenção do título de Engenheiro Eletricista, do curso de Engenharia Elétrica da Universidade Federal do Pampa.


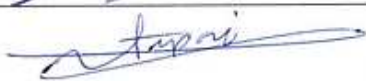
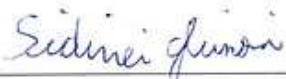
Orientador: Prof. Dr. Alessandro Gonçalves Girardi

**ALEGRETE
2011**

Autoria: Raphael da Costa Neves

Título: Análise de Desempenho de um Modulador Analógico-Digital Sigma-Delta Implementado em FPAA

Trabalho de conclusão de curso apresentado como parte das atividades para obtenção do título de Engenheiro Eletricista, do curso de Engenharia Elétrica da Universidade Federal Pampa.

Os componentes da banca de avaliação, abaixo listados, consideram este trabalho aprovado.				
	Nome	Titulação	Assinatura	Instituição
1	Alessandro Gonçalves Girardi	Doutor		Unipampa
2	Jorge Pedraza Arpasi	Doutor		Unipampa
3	Sidinei Ghissoni	Mestre		Unipampa

Data da aprovação: 22 de Junho de 2011.

*“Dedico este trabalho aos meus pais
Ivete Milani da Costa Neves e Jair Martins da
Costa Neves (em memória) por toda confiança
que depositaram em mim.”*

AGRADECIMENTOS

Agradeço a todos os que me ajudaram diretamente ou indiretamente na elaboração deste trabalho: Ao meu orientador Prof. Dr. Alessandro Gonçalves Girardi, Lucas Compasi Severo, Professor Mestre Sidinei Ghissoni. Aos meus amigos Iuri Castro e Daniel Sechi.

Principalmente minha mãe Ivete Milani da Costa Neves que sempre me incentivou e auxiliou emocionalmente e financeiramente durante toda a minha graduação. Também agradeço a Bruna Machado da Silva por todo apoio e carinho.

“Tudo acaba em chip...”

Ricardo Augusto da Luz Reis

RESUMO

Neste trabalho serão apresentados os resultados do projeto de um modulador sigma-delta de 2ª ordem implementado em FPAA com aplicação no monitoramento da qualidade da rede de energia elétrica. Os moduladores $\Sigma\Delta$ são amplamente utilizados na indústria para o desenvolvimento de conversores analógico digital. Neste trabalho é apresentada a metodologia utilizada para implementação e teste do conversor. É realizada a análise dos dados de saída do modulador através da aquisição de dados capturados com osciloscópio. Os dados são enviados e processados no Matlab. O desempenho do modulador é comparado com projetos que utilizam a técnica de capacitor e corrente chaveada para implementação do modulador. Os resultados mostram que a técnica utilizada é bastante adequada ao projeto de moduladores $\Sigma\Delta$, atingindo desempenho similar à implementação full-custon, porém em um tempo de projeto muito mais curto.

Palavras-chave: Conversor Analógico-Digital, Conversores $\Sigma\Delta$, Modulador $\Sigma\Delta$, Conversor Sobreamostrado e FPAA.

ABSTRACT

This work presents the results of a design 2nd order sigma-delta modulator implemented in FPAA with application in monitoring the quality of power supply network. $\Sigma\Delta$ modulators are widely used in industry for the development of analog to digital converters. This work presents to the methodology used to implement and test of the converter. Perform the the data analysis module output through the acquisition of data captured with the oscilloscope. The data are sent and processed in Matlab. The performance results of the modulator are compared with designs using the technique of capacitor and switched current for implementation of the modulator.

The results obtained show that the proposed technique is helpful for the design of $\Sigma\Delta$ modulators, with similar performance to the full-custom implementation, but at a very short design tide.

LISTA DE ILUSTRAÇÕES

Figura 1 Arquitetura do conversor analógico digital AD74111 da Analog Devices.....	19
Figura 2 Aplicações do modulador sigma-delta.	20
Figura 3 Imagem do kKit de desenvolvimento AN23K04-DVLP3 da Anadigm	23
Figura 4 Layout do AN23K04-DVLP3 com suas interfaces.....	24
Figura 5 Arquitetura do FPAA dpASP A231ED04 da Anadigm.....	25
Figura 6 Banco de capacitor chaveado utilizado no FPAA.....	26
Figura 7 circuito básico de um capacitor chaveado.....	26
Figura 8 Arquitetura da CAM da Anadigm de um integrador chaveado no tempo	27
Figura 9 Software AnadigmDesigner2 para edição de circuitos analógicos.	28
Figura 10 Ambiente de configuração da CAM.....	29
Figura 11 Ambiente de simulação AnadigmDesigner2.....	30
Figura 12 Diagrama de blocos para o processamento digital de sinais (DSP).	31
Figura 13 Representação de um sinal analógico amostrado em um intervalo de tempo fixo.....	32
Figura 14 Processo de sample e hold.....	32
Figura 15 Teorema da amostragem.	33
Figura 16 Processo de amostragem.	34
Figura 17 Espectro para amostragem de um sinal contínuo no tempo.	35
Figura 18 Processo básico de conversão analógica digital.....	37

Figura 19 Etapas do processo de quantização.	38
Figura 20 Distribuição uniforme da probabilidade do erro.	39
Figura 21 Densidade espectral da potência de erro.	40
Figura 22 Plano da transformada Z bilateral.	42
Figura 23 Arquitetura da modulação delta.	43
Figura 24 Modelo linear da modulação delta.	44
Figura 25 Módulo das funções de transferência do sinal e do ruído para modulação delta.	44
Figura 26 Efeito da sobreamostragem sobre as imagens do sinal amostrado.....	46
Figura 27 Efeito da potência de erro na banda do sinal para a sobreamostragem.	46
Figura 28 Gráfico (a) sem tratamento de erro e (b) com tratamento.	48
Figura 29 Modulador sigma-delta de 1ª ordem.	49
Figura 30 Modulador sigma-delta de 2ª ordem.	49
Figura 31 Arquitetura do conversor sigma-delta.	50
Figura 32 Modelo linear do modulador de 1ª ordem.	51
Figura 33 Modelo no domínio Z do modulador de 1ª ordem.	52
Figura 34 Módulos da função de transferência de NTF, STF e H(f).	53
Figura 35 Processo de conversão no domínio do tempo e frequência.	54
Figura 36 Simulação no Simulink do modulador de 1ª ordem.	55
Figura 37 Saída do modulador para uma entrada $x(t)=0V$	56

Figura 38 Saída do modulador para uma entrada $x(t)=0.5V$	56
Figura 39 Erro do modulador $e(nt)$	57
Figura 40 Integral do erro $i(nt)$	57
Figura 41 Saída do modulador para uma entrada $x(t)=0.9V$	58
Figura 42 Saída do modulador para uma entrada em rampa.	59
Figura 43 Saída do modulador para entrada de uma senóide.	59
Figura 44 Saída do modulador para entrada de uma senóide e quantizador de 3 bits.....	60
Figura 45 Gráfico de NTF para diferentes ordens do modulador.....	62
Figura 46 DR para diferentes valores de OSR e L do modulador.	63
Figura 47 Arquitetura do modulador de 1ª ordem.....	63
Figura 48 Modulador de 2ª ordem.....	65
Figura 49 DR obtido para o modulador de 2ª ordem.....	69
Figura 50 Fluxograma da metodologia para implementação do modulador de 2ª ordem.	70
Figura 51 Modelo ideal do modulador de 2 ordem simulado no Simulink.....	72
Figura 52 Resultado da simulação no Simulink para um sinal de entrada de $2V_P$ e 10kHz.	73
Figura 53 Saída do modulador para uma entrada de $3V_P$ e 10kHz.....	73
Figura 54 Saída do modulador para $x=1V_{RMS}$ e 5KHz.....	74
Figura 55 Densidade espectral de potência para uma senóide de 5KHz.	74
Figura 56 PSD com destaque para banda de interesse.	75

Figura 57 Modulador Sigma-Delta descrito no AnadigmDesigner2.....	76
Figura 58 Resultado da Simulação no AnadigmDesigner2 $x=2V$	77
Figura 59 Resultado da Simulação no AnadigmDesigner2 $x=1V_{RMS}$	77
Figura 60 Ambiente para teste e aquisição dos sinais do modulador.	78
Figura 61 Saída do modulador parte positiva da senóide (verde).	78
Figura 62 Saída do modulador com destaque na parte crescente da senóide.	79
Figura 63 Saída do modulador aplicado um filtro IIR no osciloscópio (vermelho).	79
Figura 64 Densidade espectral de potência da saída do modulador implementado em FPAA.	80
Figura 65 Densidade espectral de potência da Figura 64.	81
Figura 66 Comparação da <i>PSD</i> entre o modelo ideal e o resultado medido.	81

LISTA DE TABELAS

Tabela 1 Formato de onda no domínio da frequência para amostragem de um sinal com banda limitada.....	36
Tabela 2 Comparação <i>DR</i> para conversores operando na taxa de Nyquist e sobreamostrado.....	47
Tabela 3 Ganhos de g_1 , g_1' , g_2 e g_2' para modulador sigma-delta de 2ª ordem.	66
Tabela 4 Tabela de especificação do projeto do modulador $\Sigma\Delta$	68
Tabela 5 Tabela de ordem do modulador e <i>DR</i> para ordem 1 e 2 modulador $\Sigma\Delta$	69
Tabela 6 Comparação do modulador implementado em FPAA com ASIC com técnica capacitor (<i>SC</i>) e corrente chaveada (<i>SI</i>).....	82

LISTA DE ABREVIATURAS E SIGLAS

- 1 FPAA - Field Programmable Analog Array
- 2 FPGA - Field Programmable Gate Array
- 3 ASIC - Application Specific Integrated Circuits
- 4 VLSI - Very-Large Scale Integration
- 5 SC - Switched Capacitor
- 6 SI - Switched Current

SUMÁRIO

Errata	2
Agradecimentos	5
RESUMO	7
Abstract	8
Lista de ilustrações	9
Lista de tabelas	13
Lista de abreviaturas e siglas	14
Sumário	16
1 Introdução	18
1.1 <i>Objetivo</i>	20
1.2 <i>Metodologia</i>	21
1.3 <i>Divisão do trabalho</i>	21
2 Field Programmable analog array (FPAA)	22
2.1 <i>FPAA – Anadigm</i>	22
2.1.1 <i>Kit de Desenvolvimento</i>	22
2.1.2 <i>FPAA Apex AN231D04</i>	24
2.1.3 <i>AnadigmDesigner2</i>	27
3 Revisão Bibliográfica	31
3.1 <i>Processamento de Sinais</i>	31
3.2 <i>Fundamentos da conversão Analógica-Digital (ADC)</i>	37
3.2.1 <i>Sampler</i>	38
3.2.2 <i>Quantizador</i>	38
3.3 <i>Transformada Z</i>	41
4 Modulador Delta	43
5 Modulação sigma-delta	45
5.1 <i>Sobreamostragem</i>	45
5.2 <i>Modelagem do Ruído</i>	48
5.3 <i>Arquitetura Básica do Conversor Sigma Delta ($\Sigma\Delta$)</i>	49
5.4 <i>Simulação do Modulador Sigma-Delta de 1º Ordem</i>	55
6 Análise da Arquitetura do modulador Sigma-Delta	61
6.1 <i>Arquitetura de 1ª ordem</i>	63

6.2 Arquitetura de 2ª ordem.....	65
7 Metodologia de projeto do Modulador $\Sigma\Delta$	67
7.1 Especificação do Modulador.....	67
7.2 Metodologia	68
8 Implementação do Modulador.....	71
8.1 Simulações do Modulador de 2ª Ordem - Simulink.....	71
8.2 Simulações do Modulador de 2ª Ordem – AnadigmDesigner2.....	75
8.3 Prototipação em FPAA.....	77
Considerações finais	84
Referências bibliográficas.....	85

1 INTRODUÇÃO

A rápida evolução da microeletrônica nas últimas décadas vem proporcionando uma grande evolução na área de sistemas eletrônicos e telecomunicações. Com a miniaturização dos transistores foi possível o desenvolvimento de dispositivos complexos, com baixo consumo de potência e alto desempenho. Estas características proporcionaram a implementação de equipamentos cada vez mais robustos. Por exemplo, os primeiros telefones tinham autonomia somente de 24 horas e eram extremamente pesados, diferentes dos equipamentos atuais (T. R. Balen, 2006).

Este desenvolvimento deve-se ao fato de podermos integrar em um único circuito milhões de transistores em um único wafer de silício. Através da tecnologia CMOS (*complementary metal-oxide-semiconductor*) é possível a prototipação de sistemas de alta escala de integração (VLSI) (R. del Río, 2006). Assim, em único circuito integrado é possível encontrar diversos blocos analógicos e digitais que realizam o processamento de sinais com alto desempenho.

Nestes sistemas há preferência para o processamento digital de sinais, pois a tecnologia digital está mais evoluída que a analógica, permitindo assim a redução na área de silício, menor consumo de energia e aumento do desempenho (R. del Río, 2006). Contudo, os circuitos analógicos são de grande importância, pois o mundo e o ser humano são sistemas analógicos.

Portanto, o grande mercado para os circuitos analógicos é o desenvolvimento de interface entre o mundo analógico e digital e vice-versa, filtragem e condicionamento de sinais. Os ADC (analog to digital converter) e DAC (digital to analog converter) exercem um papel fundamental na microeletrônica, pois é a partir da conversão que é realizado o processamento dos sinais.

Um bloco de extrema importância em sistema de sinais misto é o *ADC*. Atualmente há várias técnicas para desenvolvimento destes circuitos. A técnica sigma-delta ($\Sigma\Delta$) é uma alternativa amplamente utilizada na indústria para implementação desta interface. Na Figura 1 é mostrada a arquitetura do conversor de áudio comercial da Analog Devices AD74111 que utiliza esta técnica. O principal bloco do *DAC* é o modulador $\Sigma\Delta$, pois ele é responsável pela conversão do sinal em um bit stream. Os outros blocos realizam filtragem e condicionamento do sinal.

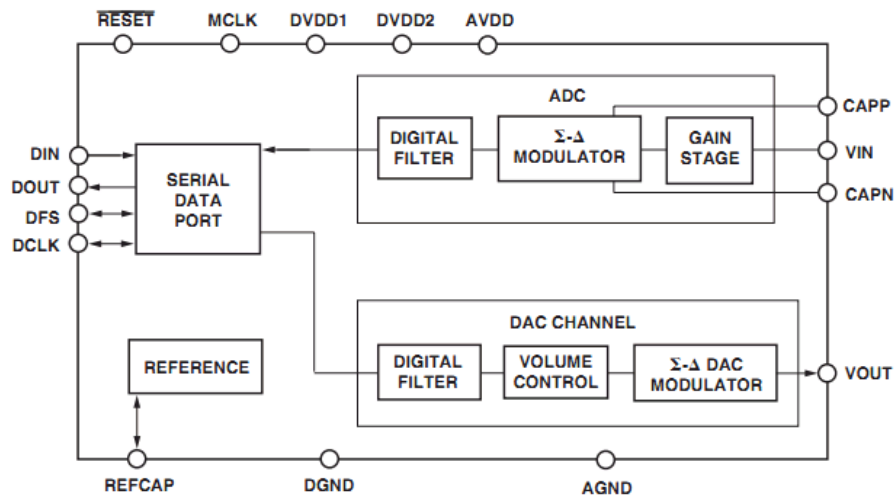


Figura 1 Arquitetura do conversor analógico digital AD74111 da Analog Devices.

A técnica de modulação $\Sigma\Delta$ foi desenvolvida em 1962. Contudo, o seu aproveitamento efetivo se deu com o desenvolvimento da tecnologia *VLSI*. A grande vantagem deste conversor é que quase 90% do hardware é digital e 10 % analógico. Este fato facilita a integração monolítica, além de aumentar o desempenho do sistema. Na Figura 2 são apresentadas as possíveis aplicações para este tipo de conversor em função da banda do sinal e número de bits.

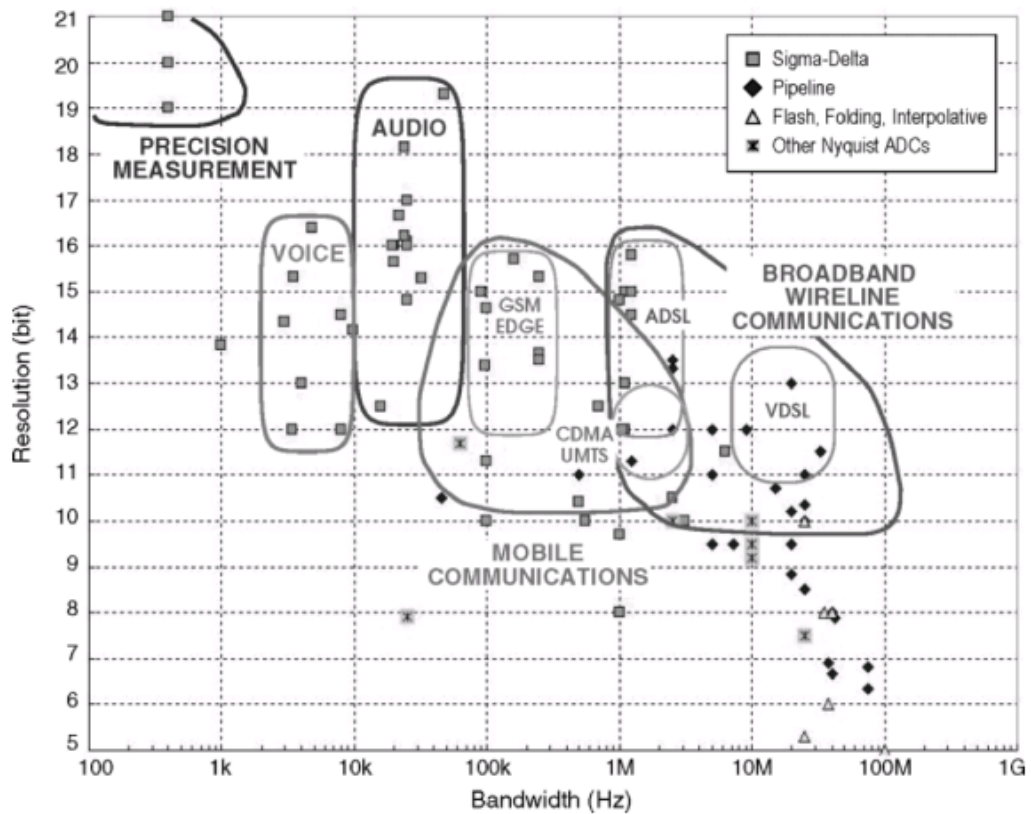


Figura 2 Aplicações do modulador sigma-delta.

(R. del Río, 2006)

Conforme a Figura 2 o conversor pode trabalhar entre uma faixa de 100 e 10MHz de resolução com aplicações em processamento de áudio, voz, telecomunicação e entre outras.

1.1 Objetivo

O objetivo deste trabalho é desenvolver um protótipo de um modulador $\Sigma\Delta$ em FPAA com aplicação no monitoramento da Qualidade de Energia Elétrica (QEE). Para determinar a máxima frequência de operação a ser medida foi considerado a 50ª harmônica, sendo a frequência fundamental de 60Hz. Assim, o modulador deverá ter uma resolução de 16 bits e operar em uma banda de 0 até 10KHz.

1.2 Metodologia

Para o desenvolvimento deste trabalho será realizado um estudo teórico sobre a modulação $\Sigma\Delta$. Com os modelos matemáticos será determinada qual ordem do modulador que irá atender a especificação do projeto.

Posteriormente, será realizada a simulação em Simulink da arquitetura proposta no trabalho. O modulador será prototipado em um FPAAs Anadigm. Após a sua implementação será realizada a aquisição de dados através de um osciloscópio para análise dos dados utilizando a ferramenta Matlab.

1.3 Divisão do trabalho

O trabalho está dividido da seguinte forma: No Capítulo 2 é apresentada a tecnologia de dispositivos reprogramáveis FPAAs para prototipação do modulador. O Capítulo 3 faz uma revisão sobre os conceitos básicos de processamento de sinais. O Capítulo 4 mostra os conceitos da modulação Delta. Já o Capítulo 5 apresenta os conceitos da modulação sigma-delta. O capítulo 6 realiza uma análise da arquitetura do modulador. No Capítulo 7 é mostrada a metodologia do projeto de um modulador conforme as especificações. No Capítulo 8 é apresentada a implementação do modulador e os resultados obtidos.

2 FIELD PROGRAMMABLE ANALOG ARRAY (FPAA)

Atualmente existe uma família de dispositivos reconfiguráveis para o processamento de sinais analógicos que são Field Programmable Analog Array (*FPAA*). A tradução para o português significa “Arranjo Analógico Programável em Campo” e a reconfiguração deste dispositivo pode ser realizada em qualquer etapa do projeto (T. R. Balen, 2006).

Este dispositivo está para os sinais analógicos como o Field Programmable Gate Array (*FPGA*) esta para os sinais digitais. Ou seja, os *FPGAs* são dispositivos reconfiguráveis no domínio digital e os *FPAA*s no o domínio analógico. Existem cinco empresas que comercializam *FPAA*s: Anadigm, Zetex, SIDA, Lattice e Cypress (Sanahuaja R., 2003). Neste trabalho serão exploradas as funcionalidades do kit de desenvolvimento AN23K04-DVLP3 da Anadigm, que foi a plataforma utilizada para a prototipação do sistema.

2.1 FPAA – Anadigm

Nesta seção serão examinadas em detalhes as características do kit de desenvolvimento AN23K04-DVLP3 *FPAA*, o modo de operação do *FPAA* A231ED04 e o software de programação.

2.1.1 Kit de Desenvolvimento

O kit de desenvolvimento AN23K04-DVLP3 é apresentado na Figura 3. Ele contém um *FPAA* Anadigm Apex A231ED04 que representa a terceira geração de Processadores de Sinais Analógicos Programáveis Dinamicamente (*dpASP*).

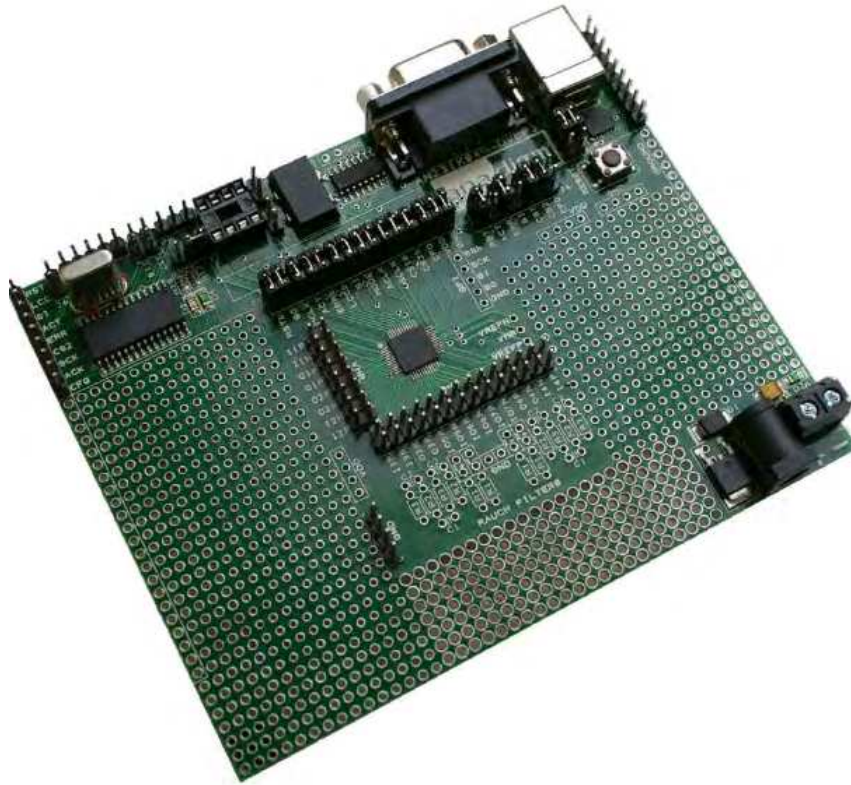


Figura 3 Imagem do kKit de desenvolvimento AN23K04-DVLP3 da Anadigm .

Fonte: Anadigm, 2006, p.1.

Está é uma plataforma que facilita e ajuda na implementação de projetos analógicos utilizando a tecnologia dpASP. Além disso, pode ser utilizada para realização de testes de projetos analógicos. Na Figura 4 é apresentado o layout com os componentes e interface deste kit. A programação do kit pode ser pela interface USB ou RS232 em conjunto com o software AnadigmDesigner2 que será abordada na próxima seção. Esta placa possui pinos de I/Os para comunicação com dpASP e opera com clock de 16MHz. Também é possível conectar múltiplas placas para obtenção de um sistema multi-chip.

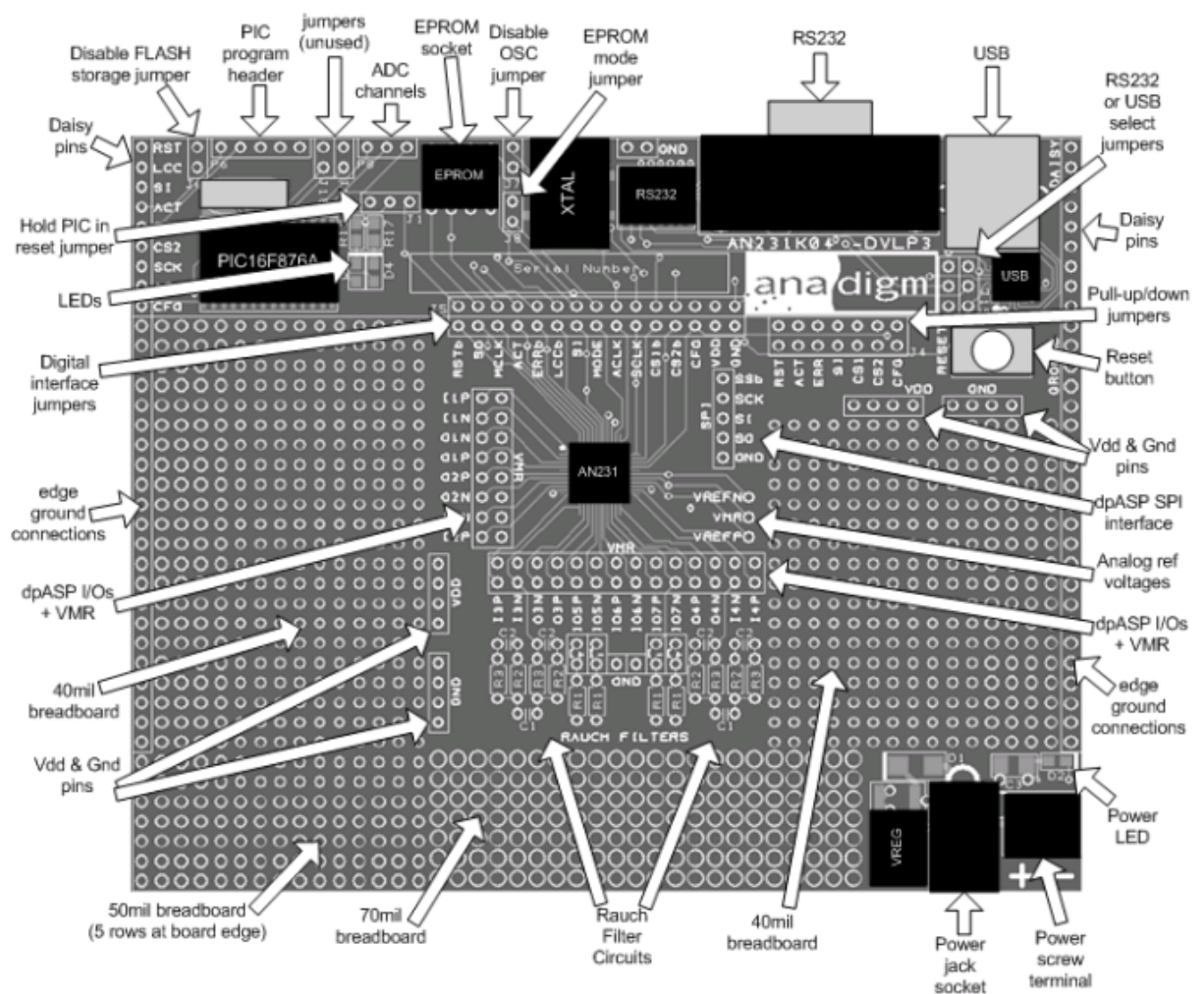


Figura 4 Layout do AN23K04-DVLP3 com suas interfaces.

Fonte: Anadigm, 2006, p.3.

2.1.2 FPA Apex AN231D04

Na Figura 5 é apresentado a arquitetura do *dpASP* A231ED04. Ela é constituída por células de entrada e saída de dados e por blocos analógicos configuráveis (*CABs*).

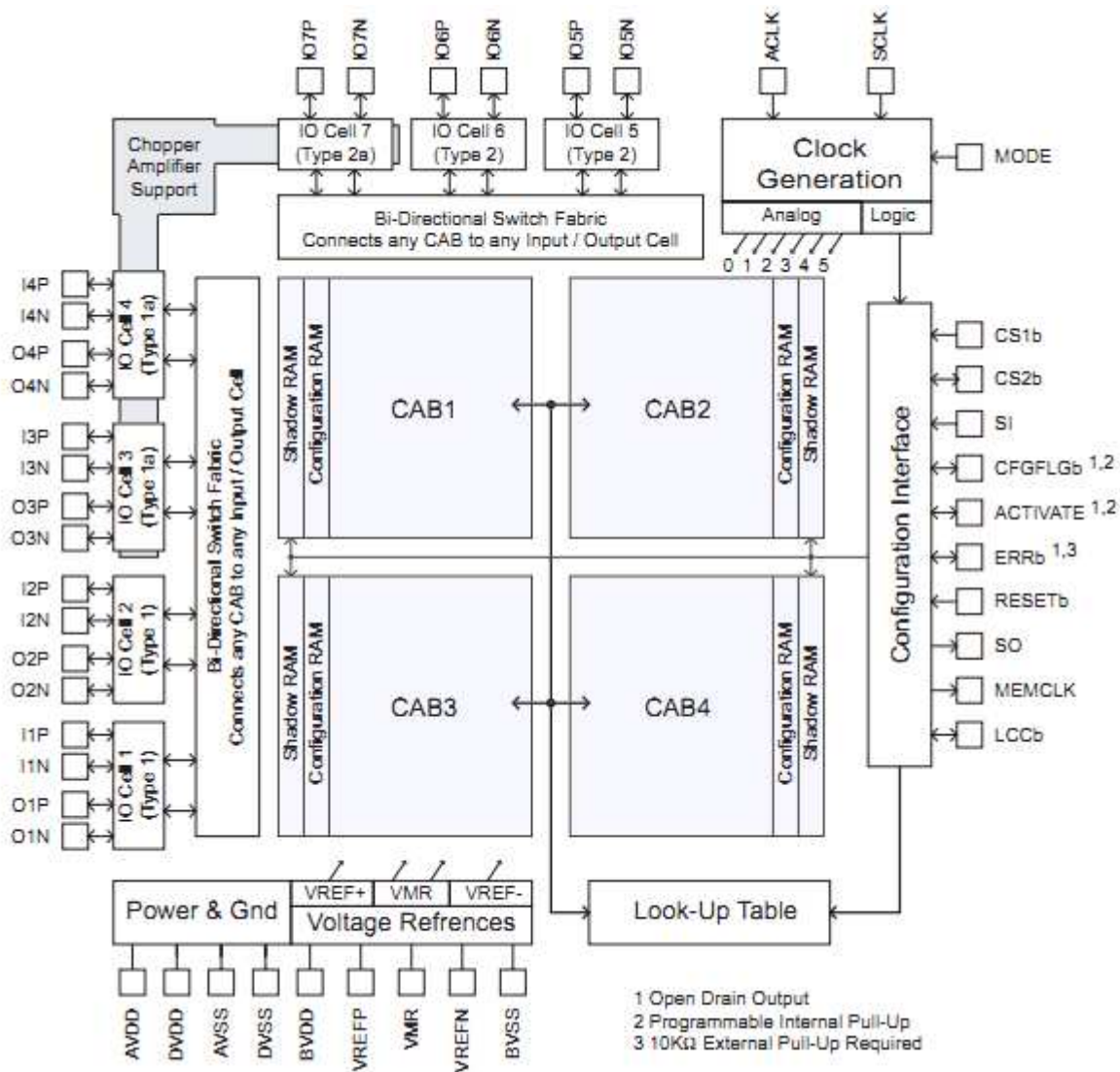


Figura 5 Arquitetura do FPAAs dpASP A231ED04 da Anadigm.

As CABs possuem diversos módulos analógicos configuráveis (CAMs): comparadores, filtros, integradores, multiplicadores, amplificadores, entre outros. Estes componentes podem ter vários parâmetros a serem reconfiguráveis, como por exemplo: frequência de operação, ganho do circuito, frequências dos filtros, inversão de polaridade, reset, entre outros.

O FPAAs da Anadigm utiliza a técnica capacitor chaveado para implementação dos circuitos analógicos. Esta técnica consiste em utilizar bancos de capacitores ligados a chaves conforme a Figura 6 que operam em determinada frequência para obter circuitos resistivos com a mesma característica de operação de um resistor.

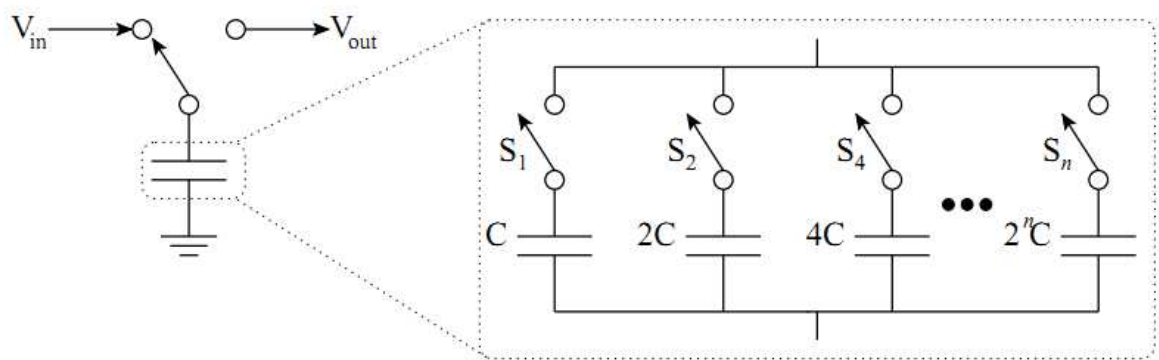


Figura 6 Banco de capacitor chaveado utilizado no FPAA.

Se um capacitor opera em uma determinada frequência, irá circular uma corrente média entre seus terminais. Essa corrente pode ser controlada, assim o circuito pode se comportar como um resistor. Na Figura 7 é apresentado o circuito de um capacitor chaveado.

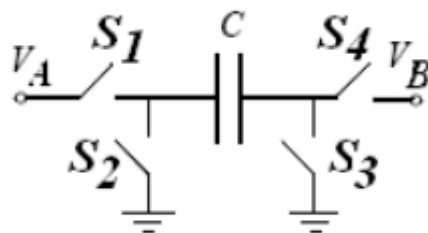


Figura 7 circuito básico de um capacitor chaveado.

As chaves têm operações complementares. Se S1 e S4 abrem então S2 e S3 fecham e vice-versa. A corrente média que irá circular é calculada pela equação 1:

$$i_{m\u00e9dia} = \frac{q}{T} = \frac{C}{T} (V_A - V_B) \quad (1)$$

Esta fórmula é semelhante à lei de *OHM*, ou seja, a corrente que circula por um resistor com potenciais de V_A e V_B é dada pela equação 2:

$$i = \frac{1}{R} (V_A - V_B) \quad (2)$$

Assim, a corrente que circula seria a mesma se o seguinte crit\u00e9rio fosse satisfeito pela equa\u00e7\u00e3o 3:

$$R = \frac{T}{C} \quad (3)$$

Portanto, através do período de chaveamento T e do valor do banco de capacitor em paralelo é possível controlar a corrente do circuito. Esta técnica traz diversas vantagens, tais como maior resistência para uma dada área do circuito e melhor precisão.

Na Figura 8 é mostrado um bloco *CAM* da Anadigm que implementa um integrador discreto no tempo. Este integrador possui saída com polaridade invertida e possui uma chave $S3$ para reset. Nesta figura pode-se perceber a técnica de capacitor chaveado para projeto do circuito em questão.

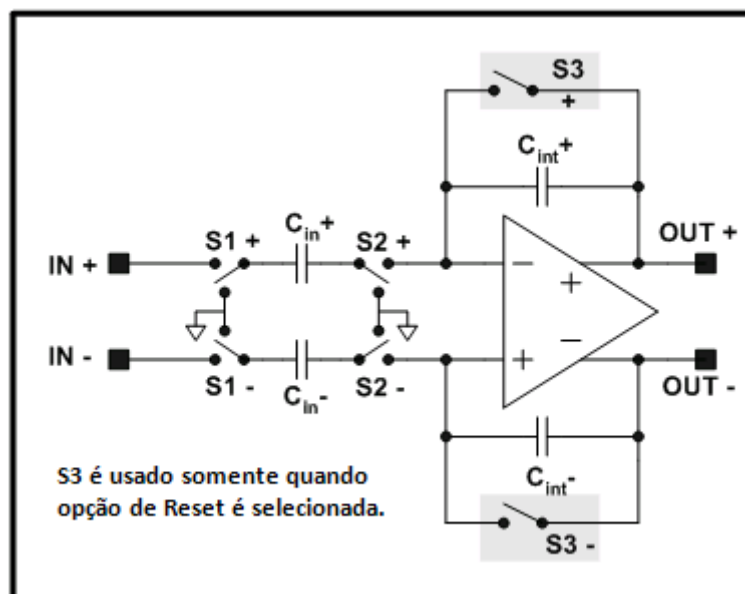


Figura 8 Arquitetura da *CAM* da Anadigm de um integrador chaveado no tempo .

2.1.3 AnadigmDesigner2

A Anadigm fornece o software AnadigmDesigner2 para realizar a montagem, simulação e prototipação dos projetos. Este é de fácil utilização e para compreender o seu funcionamento será mostrado o processo de implementação de um circuito que gera um sinal *PWM*.

Na Figura 9, temos o ambiente de trabalho do software e o circuito que implementa o *PWM*. Conforme a Figura 9 temos somente uma *CAM* (comparador) que é responsável por comparar os sinais de entrada. Quando a entrada em verde é maior que a azul um sinal em nível alto estará na saída do comparador, caso contrário terá um sinal em nível baixo.

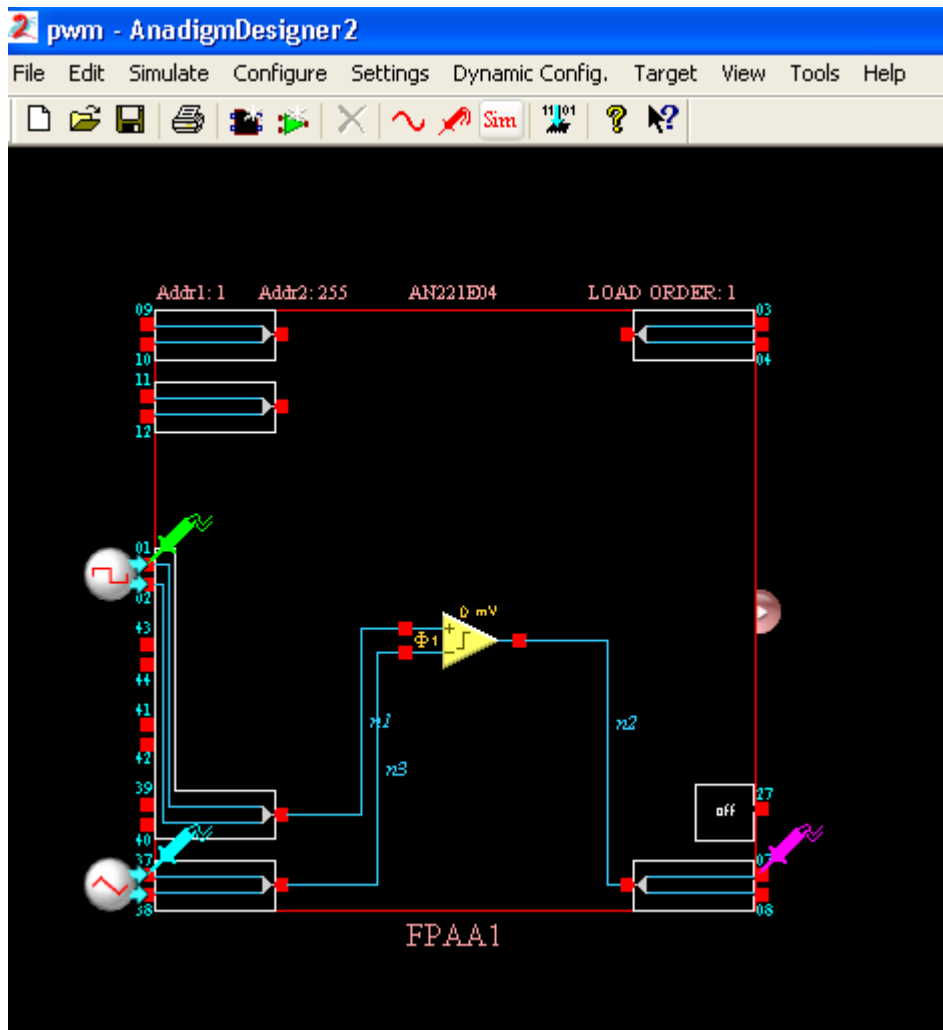


Figura 9 Software AnadigmDesigner2 para edição de circuitos analógicos.

Na Figura 10 temos os parâmetros de configuração do comparador. Pode-se configurar a fase, sinal a ser comparado, inversão da saída, histerese e o sincronismo de saída. A ferramenta também possui o modo de simulação do circuito que é mostrado na Figura 11 com os sinais de entrada e saída para o PWM.

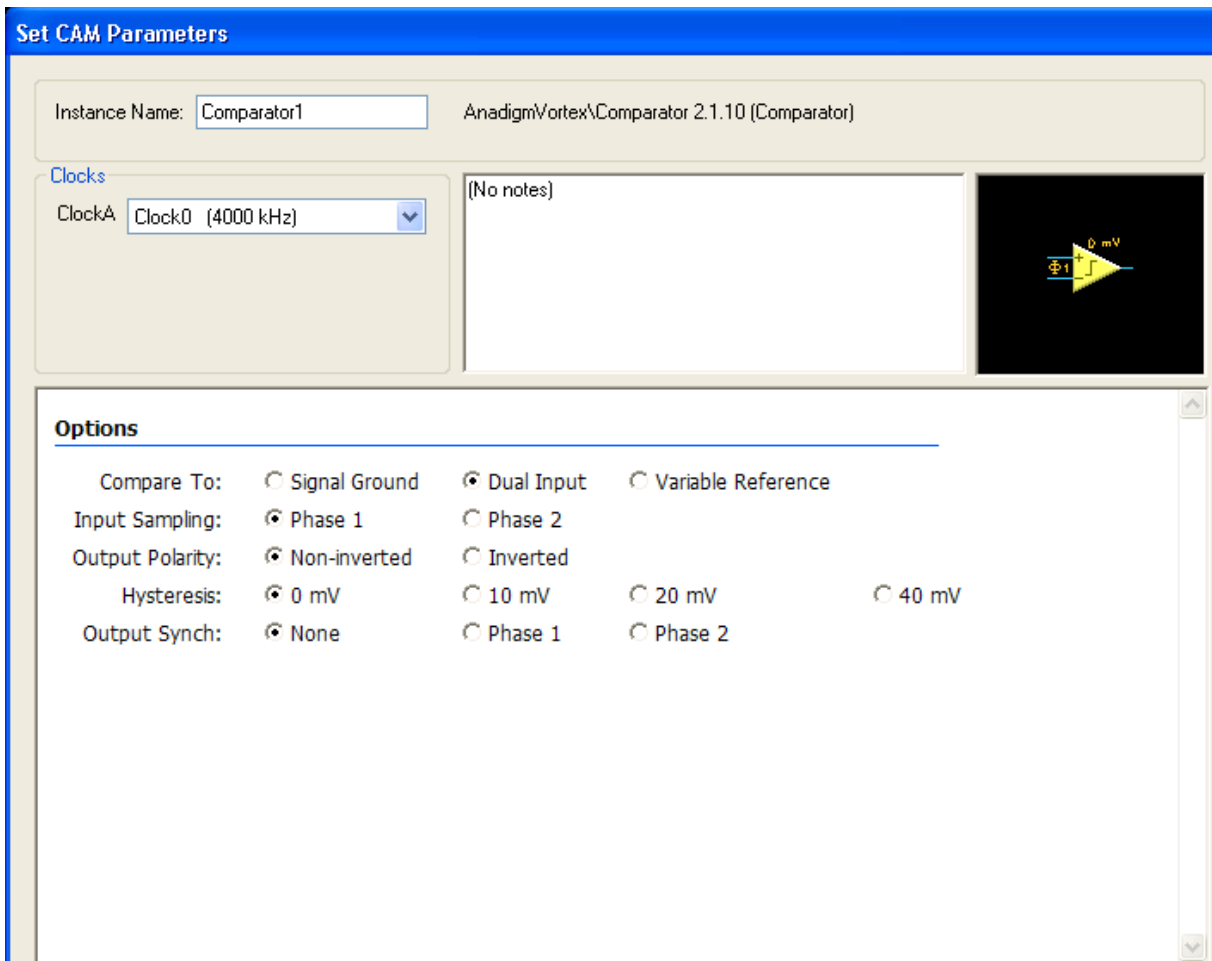


Figura 10 Ambiente de configuração da CAM.

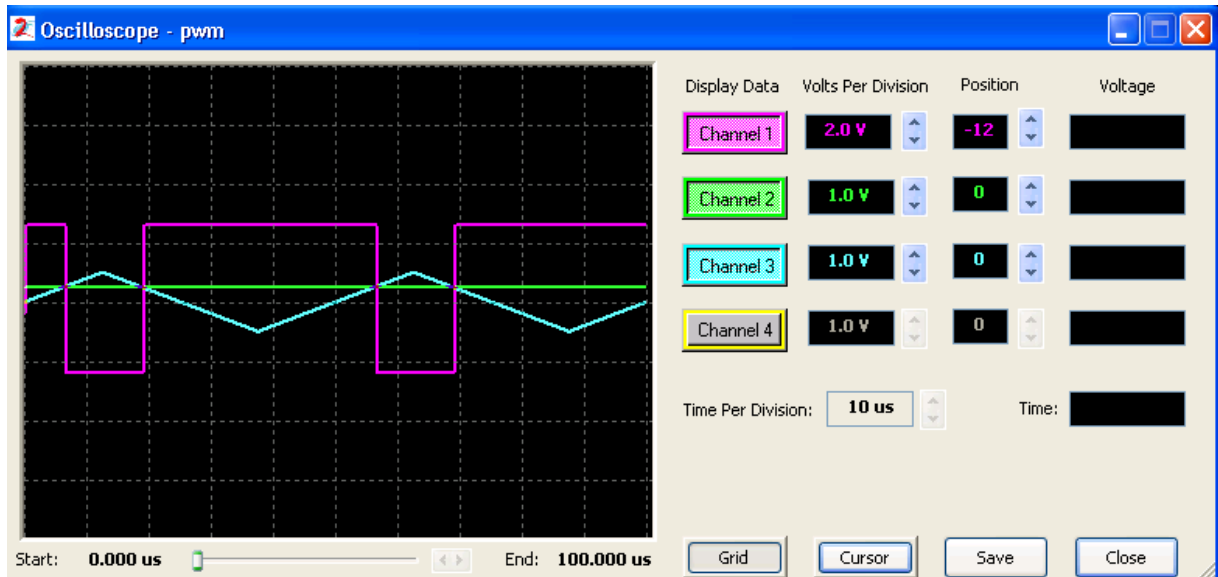


Figura 11 Ambiente de simulação AnadigmDesignr2.

O software também possui ferramenta para desenvolvimento de filtros e controle PID que aqui não serão mostrados, pois não fazem parte do escopo do trabalho. Esta tecnologia está em fase inicial e ainda não tem a mesmo desempenho que os *FPGAs*. Contudo, os *FPAAs* vêm auxiliar no aumento da produtividade dos projetistas e engenheiros de circuitos analógicos, pois um circuito analógico poderia demorar meses para ser implementado. Com esta tecnologia, em um curto espaço de tempo é possível ter uma solução completa e robusta.

3 REVISÃO BIBLIOGRÁFICA

Neste capítulo será realizada uma revisão de processamento de sinais, conversão analógica digital e Transformada Z.

3.1 Processamento de Sinais

Na Figura 12 é mostrado o diagrama de blocos de um sistema para o processamento digital de sinais (*DSP*).

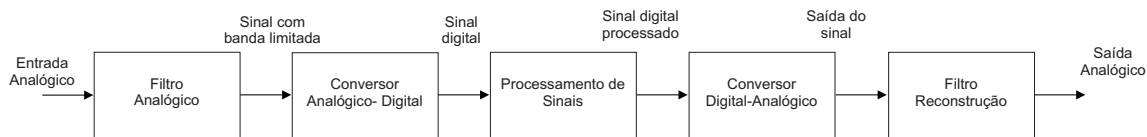


Figura 12 Diagrama de blocos para o processamento digital de sinais (DSP).

Primeiramente temos um filtro analógico para limitar a banda do sinal. Após esta etapa o sinal é enviado para o *ADC*. O *ADC* amostra o sinal, quantiza o sinal amostrado e codifica em um sinal digital. Após a conversão o sinal é processado e convertido em um sinal analógico através dos blocos de conversão digital-analógica (*DAC*) e filtro de reconstrução do sinal.

Na Figura 13 a linha sólida representa um sinal analógico (contínuo no tempo) que é definido em todos os pontos do eixo do tempo e eixo da amplitude. Assim, um sinal analógico contém infinitos pontos. É impossível digitalizar um número com infinitos pontos, pois teoricamente o processador digital ou computador deveria possuir infinita memória para armazenar os dados. A amostragem pode resolver este problema realizando a leitura do sinal em um intervalo de tempo fixo como mostrado na Figura 2, onde T representa o intervalo de amostragem.

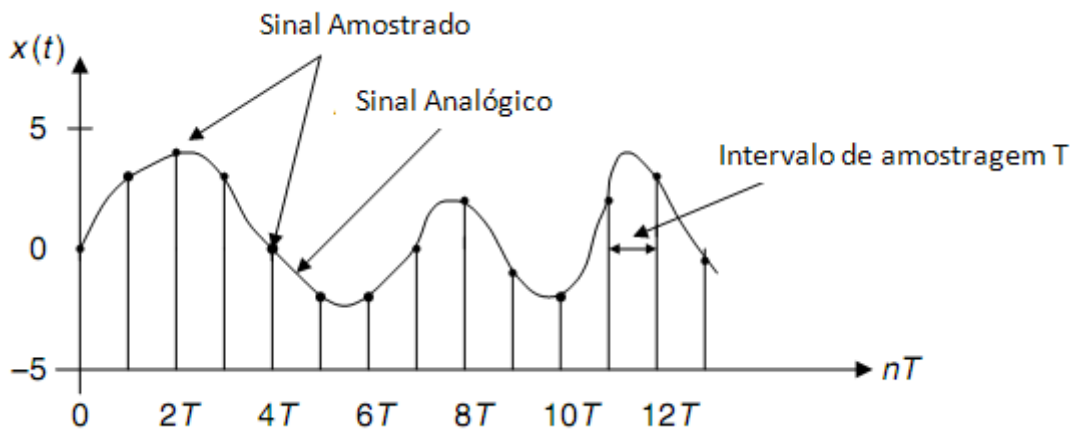


Figura 13 Representação de um sinal analógico amostrado em um intervalo de tempo fixo.

A Figura 14 mostra que cada amostra mantém o seu nível de tensão durante o intervalo de amostragem T .

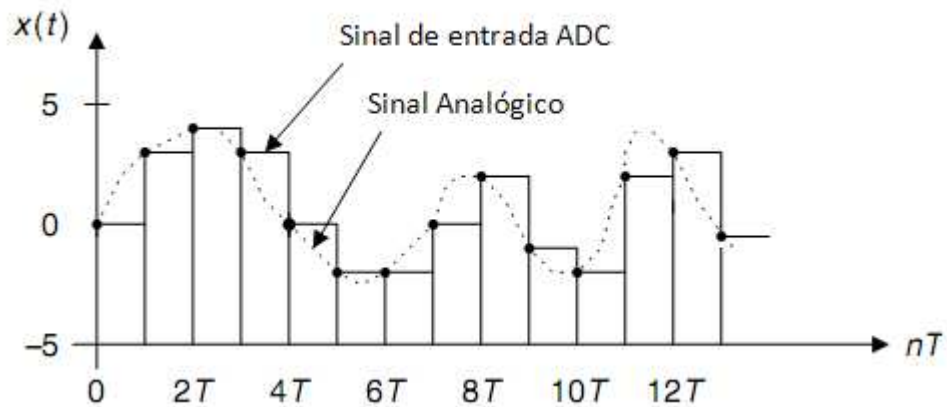


Figura 14 Processo de sample e hold.

O motivo para manter o nível do sinal é dar um tempo suficiente para o *ADC* converter o sinal. Este processo é chamado de sample e hold. A frequência de amostragem é mostrada na equação 4. A expressão mostra que a frequência de amostragem é o inverso do tempo de amostragem (T).

$$f_s = \frac{1}{T} \text{ Amostra por segundos (Hz)} \quad (4)$$

Para o processamento adequado do sinal deve-se amostrar o sinal analógico a uma frequência no mínimo duas vezes maior que a frequência do sinal a ser amostrado (critério de Nyquist) como é mostrado na equação 5.

$$f_s \geq 2 f_{Max} \quad (5)$$

Se o critério de Nyquist for satisfeito é possível a reconstrução do sinal analógico amostrado a partir dos sinais amostrados. Por exemplo, para amostrar um sinal de voz que contém frequências superiores a 4kHz, a taxa mínima de amostragem é 8kHz, ou seja, 8000 amostras por segundo. Para o processamento de sinais de áudio que tem frequência máxima em torno de 20kHz é necessário uma taxa de amostragem superior a 40kHz.

A Figura 15 mostra duas ondas senoidais, uma de 40Hz e outro de 90Hz. Estes dois sinais são amostrados com $T=0.01s$, ou seja, uma $f_s=100Hz$. Para frequência de 40Hz é satisfeito o critério $f_s > 2f_{max}=80Hz$. Assim o sinal pode ser reconstruído adequadamente. Contudo, para o sinal de 90Hz o critério de $f_s > 2f_{max}=180Hz$ não é satisfeito. Logo, será reconstruído um sinal de 10Hz conforme a Figura 15.

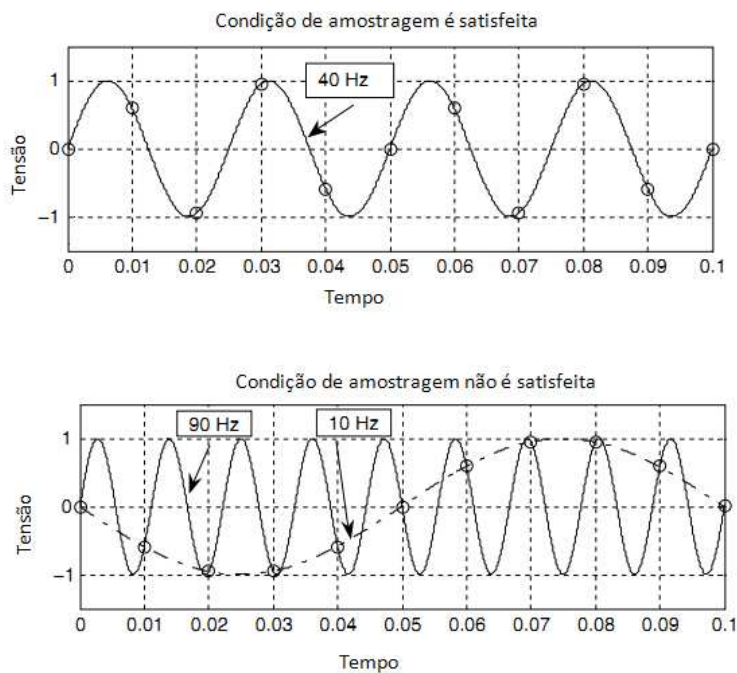


Figura 15 Teorema da amostragem.

Para evitar que as altas frequências do sinal causem o efeito de aliasing deve-se projetar um filtro passa-baixa para atenuar as altas frequências. Na Figura 16 é apresentado o sinal $x_s(t)$ que foi amostrado do sinal $x(t)$, que é contínuo. A taxa de amostragem utilizada é f_s .

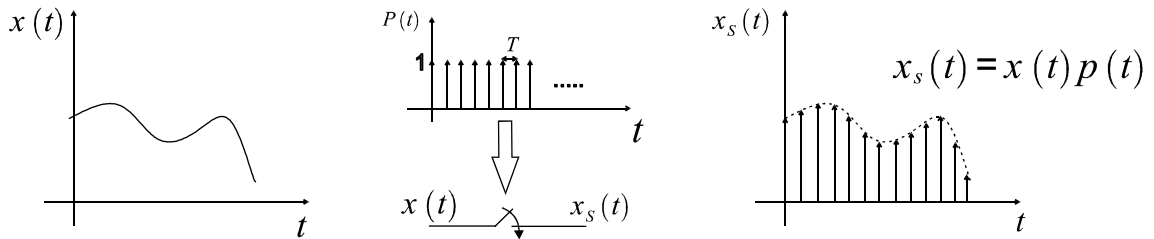


Figura 16 Processo de amostragem.

Matematicamente, este processo pode ser escrito como a multiplicação do sinal contínuo $x(t)$ por pulso de amostragem (pulse train) conforme a equação 6.

$$x_s = x(t) p(t) \quad (6)$$

Onde $p(t)$ é um trem de pulso com período $T=1/f_s$. O espectro de frequência de $x(t)$ é representado como $X(f)$, bem como, $x_s(t)$ por $X_s(f)$. Estes espectros de frequências estão relacionados pela equação 7.

$$X_s(f) = \frac{1}{T} \sum_{n=-\infty}^{+\infty} X(f - nf_s) \quad (7)$$

Assim, $X(f)$ representa a banda do espectro do sinal $x(t)$, enquanto $X_s(f)$ é espectro do sinal amostrado. Este espectro consiste em réplicas de $X(f)$ deslocadas no domínio da frequência. Expandindo a equação 5 se obtém a equação 8.

$$X_s = \dots + \frac{1}{T} X(f + f_s) + \frac{1}{T} X(f) + \frac{1}{T} X(f - f_s) + \dots \quad (8)$$

A equação 8 mostra que a amostragem de um sinal contínuo no domínio do tempo resulta no espectro periódico com imagens igual a taxa de amostragem. Na Figura 17A é mostrado o espectro $X(f)$ com banda limitada. Na Figura 17B é mostrado o espectro do sinal amostrado

quando $f_s > 2f_{max}$. Já em C é mostrado o espectro para $f_s = 2f_{max}$. E por último em D é mostrado o espectro para $f_s < 2f_{max}$.

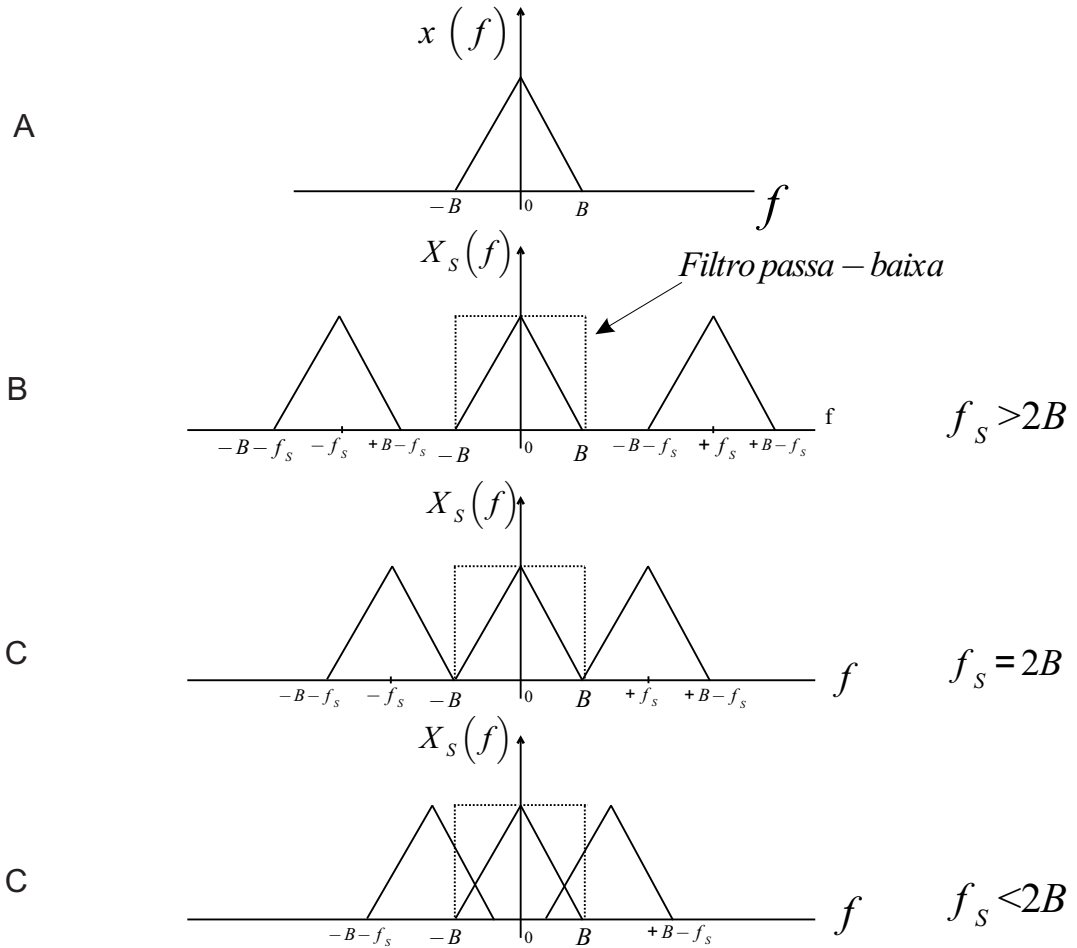


Figura 17 Espectro para amostragem de um sinal contínuo no tempo.

Aplicando-se um filtro passa-baixa para reconstruir o espectro sinal original, a seguinte expressão deve ser satisfeita:

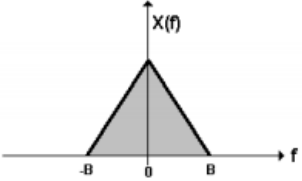
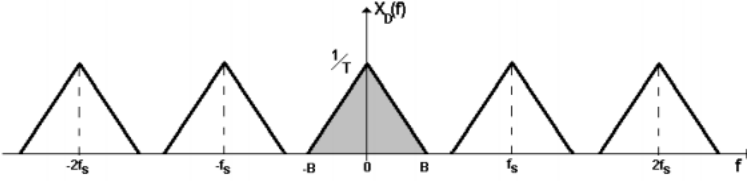
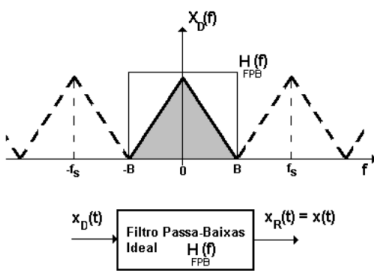
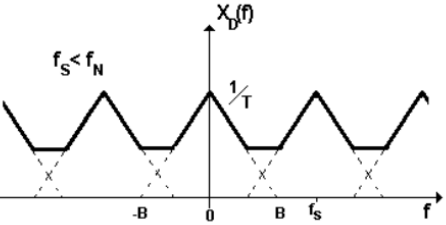
$$f_s - f_{Max} \geq f_{Max} \quad (9)$$

Ou seja,

$$f_s \geq 2f_s \quad (10)$$

Assim um sistema de DSP amostrado uniformemente pode ser perfeitamente recuperado se a taxa de amostragem for duas vezes maior que a máxima frequência do sinal. Na Tabela 1 é mostrado o espectro de um sinal $X(f)$ e o princípio do teorema da amostragem.

Tabela 1 Formato de onda no domínio da frequência para amostragem de um sinal com banda limitada.

Espectro original do sinal

Espectro do sinal amostrado com $f_s > f_{max}$

Reconstrução do sinal original.

Reconstrução com efeito de aliasing.


3.2 Fundamentos da conversão Analógica-Digital (ADC)

O ADC é responsável por transformar um sinal contínuo no tempo e amplitude em um sinal digital que é discreto no tempo e amplitude. A Figura 18 representa um esquema genérico de um ADC. Este é composto por um filtro anti-aliasing, um circuito de sampler e um quantizador. A Figura 18 representa o sinal no domínio do tempo e da frequência.

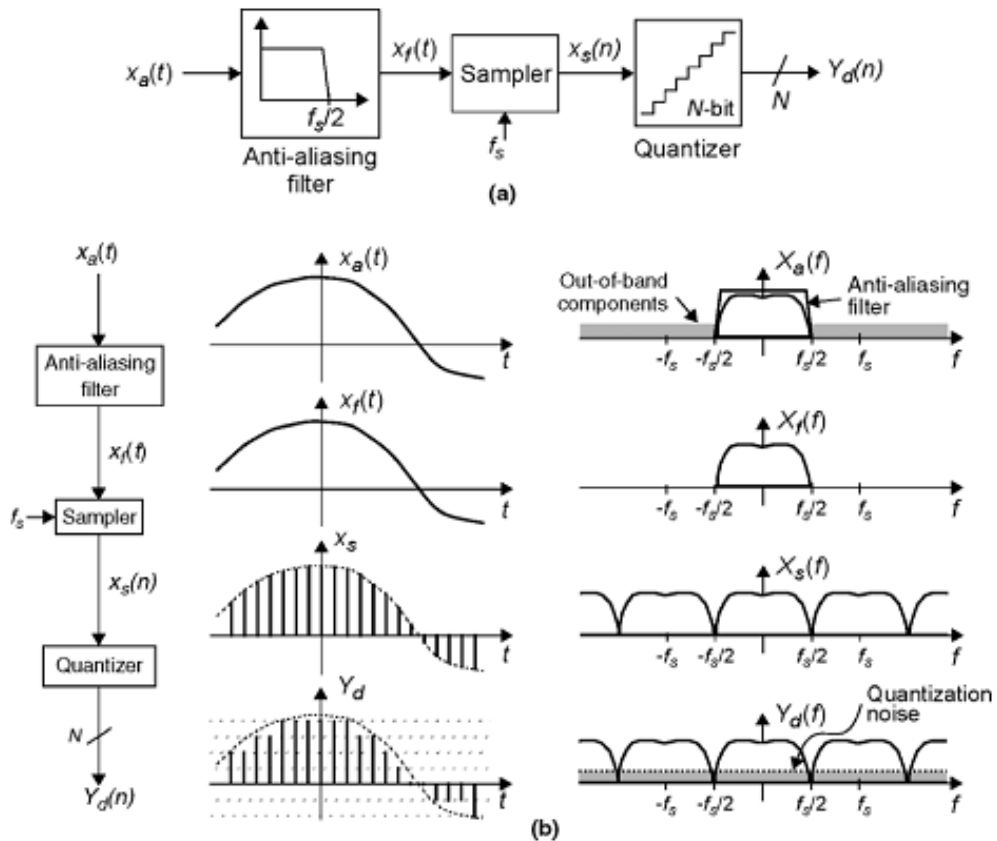


Figura 18 Processo básico de conversão analógica digital.

(R. del Río, 2006)

O filtro anti-aliasing é responsável por eliminar as componentes que estão fora da banda de interesse do sinal $x_a(t)$. Como resultado da filtragem, o sinal $x_f(t)$ é utilizado como entrada do bloco de sampler. Este sinal é amostrado a uma frequência f_s . Assim, $x_s(n) = x_f(nT_s)$, onde $T_s = 1/f_s$. Finalmente, $x_s(n)$ é quantizado em N bits. Logo, as duas operações básicas para ADC são: sampler e quantização do sinal.

3.2.1 Sampler

Este bloco deve satisfazer o teorema de Nyquist, ou seja, a frequência de amostragem (f_s) deve ser duas vezes maior que a banda do sinal (f_b) para que não tenhamos perdas de informação. Assim, a frequência de Nyquist é dada por $F_N=2f_b$.

3.2.2 Quantizador

O quantizador introduz limitações sobre o desempenho do ADC. Ele irá degradar a qualidade do sinal. O sinal de entrada, que possui precisão infinita, é mapeado para um número finito de níveis discretos. Este processo insere um erro que é chamado de *erro de quantização*. Na Figura 19 é representada a operação de quantização. A Figura 19C mostra a curva de quantização para uma entrada x e uma saída y para um quantizador de 3 bits ($N=3$). A saída é quantizada (“arredondada”) para um dos oitos (2^N) níveis possíveis. A separação entre dois níveis de saídas é definida como passo do quantizador, Δ , e pode ser calculada pela equação 11, sendo Y_{FS} o intervalo da escala de saída.

$$\Delta = \frac{Y_{FS}}{2^N - 1} \quad (11)$$

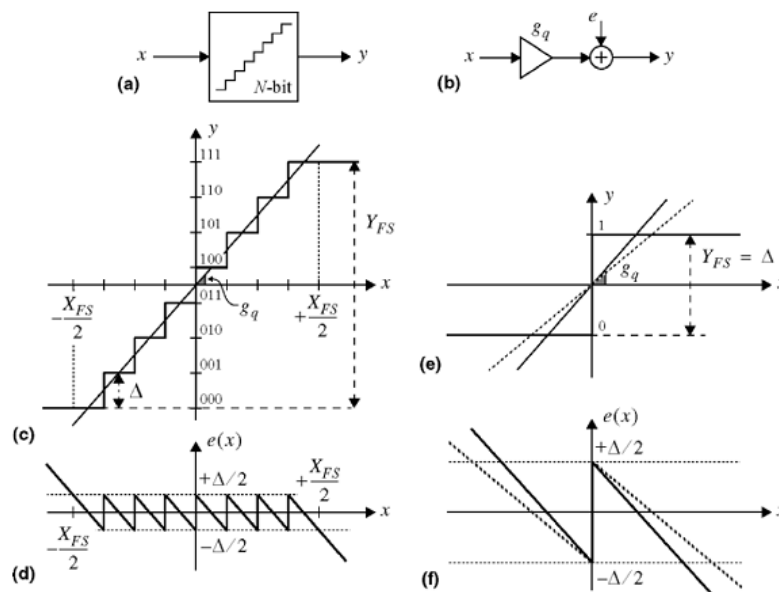


Figura 19 Etapas do processo de quantização.

(R. del Río, 2006)

Como X_{FS} e Y_{FS} não são necessariamente iguais, o quantizador exibe um ganho g_p que é dado pela inclinação da reta. Assim, a operação de quantização pode ser expressa por um modelo linear que é mostrado na Figura 19B e é expresso pela equação 12 (R. del Río, 2006):

$$y = g_q x + e(x) \quad (12)$$

Onde g_p é o ganho do quantizador e $e(x)$ erro de quantização. O erro é uma função não linear da entrada x como mostrado na Figura 19D. O erro de quantização está limitado entre $\pm\Delta/2$ e o máximo $e(x)$ ocorre nas transições de código. Na Figura 19E é mostrado um quantizador de 1 bit (comparador).

Pra prosseguir o entendimento do processo de quantização será feita algumas suposições sobre as propriedades do erro de quantização. Conforme a Figura 19, o erro de quantização depende da entrada X_{FS} . Contudo, se assumirmos que entrada muda aleatoriamente de amostra para amostra no intervalo $\pm X_{FS}/2$, o erro também não será correlacionado de amostra para amostra. Assim, o erro de quantização poderá ser visto como um processo aleatório, sendo $e(x)$ independente da entrada com uma distribuição uniforme de $\pm\Delta/2$. A Figura 20 apresenta a função de densidade probabilidade do erro $PDF(e)$

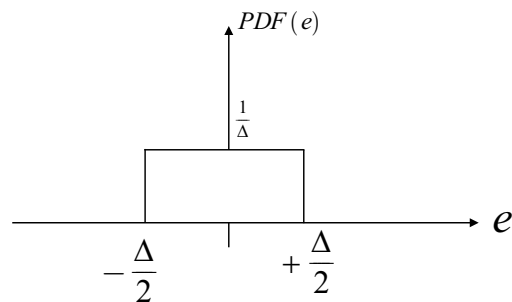


Figura 20 Distribuição uniforme da probabilidade do erro.

A potência associada ao erro de quantização é determinada pela equação 13:

$$\bar{e} = \sigma^2(e) = \int_{-\infty}^{+\infty} e^2 PDF(e) de = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (13)$$

Se o sinal quantizado for amostrado a uma taxa f_s o erro de quantização estará distribuído de $-f_s$ a $+f_s$. Desde que se assuma que o erro é um processo aleatório e uniforme, a densidade espectral de potência também será uniforme, conforme a Figura 21.

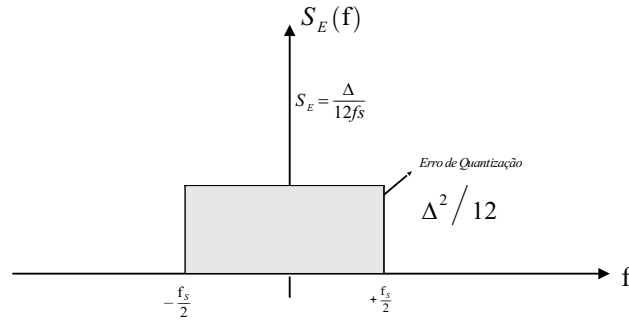


Figura 21 Densidade espectral da potência de erro.

A densidade espectral potência é definida pela equação 14:

$$S_E(f) = \frac{\overline{e^2}}{f_s} = \frac{\Delta^2}{12f_s} \quad (14)$$

Assim, a potência do erro também pode ser calculada pela equação 15:

$$\overline{e^2} = \int_{-\infty}^{+\infty} S_E(f) df = S_E \int_{-f_s/2}^{+f_s/2} df = \frac{\Delta^2}{12} \quad (15)$$

A potência de erro que o quantizador introduz dentro da banda do sinal é expressa através de P_Q da equação 16.

$$P_q = \int_{-f_b}^{+f_b} S_E(f) df = \int_{-f_s/2}^{+f_s/2} S_E df = \frac{\Delta^2}{12} \quad (16)$$

Logo, o processo de quantização afeta na qualidade do sinal. Para relacionar as perdas com o sinal é utilizado à relação sinal ruído (SNR) que é definido como:

$$SNR = \frac{\text{Potência do Sinal}}{\text{Potência do Ruído de Quantização}} \quad (17)$$

Considerando como entrada do quantizador uma senóide com amplitude máxima $Y_{Fs}/2$ e operando na frequência de Nyquist a potência deste sinal pode ser determinado pela equação 18:

$$P_{X_{Fs/2}}^{out} \approx \frac{(Y_{Fs}/2)^2}{2} = \frac{(2^N \Delta/2)^2}{2} = 2^{2N-3} \Delta^2 \quad (18)$$

A faixa dinâmica (DR) é um caso ideal da SNR que é determinada pela equação 19.

$$DR = \frac{P_{X_{Fs/2}}^{out}}{P_Q} = \frac{3}{2} 2^{2N} \quad (19)$$

E é expressa em dB pela equação 20.

$$DR_{dB} = 6.02N + 1.76 \quad (20)$$

3.3 Transformada Z

A transformada Z é uma importante ferramenta matemática que é utilizada para análise de sinais digitais. A transformada Z está para sinais digitais como a transformada de Laplace está para sinais analógicos. A transformada de Z bilateral é apresentada equação 21.

$$Z\{x[n]\} = X(Z) = \sum_{-\infty}^{+\infty} x[n] Z^{-n} \quad (21)$$

Conforme a Figura 22 temos que $Z_1 = r_1 e^{j\Omega_1}$. Se $r_1 = 1$, então temos que $|Z| = r_1 = 1$ e $\Omega_1 = \arg(Z)$. Portanto, a variável complexa Z é definida como $Z = e^{j\Omega}$

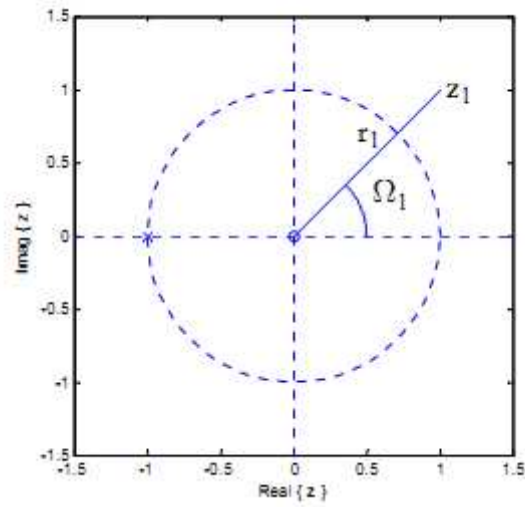


Figura 22 Plano da transformada Z bilateral.

A transformada Z unilateral é definida pela equação 22:

$$\begin{aligned}
 X(Z) &= Z(x(n)) = \sum_{n=0}^{+\infty} x(n) Z^{-n} \\
 &= x(0) Z^0 + x(1) Z^{-1} + x(2) Z^{-2} + \dots
 \end{aligned}
 \tag{22}$$

Onde Z é um número complexo.

4 MODULADOR DELTA

Antes de entrar na modulação $\Sigma\Delta$ iremos considerar o processo de modulação/demodulação delta. Considerando que um sinal tem uma taxa de amostragem elevada (sobreamostragem), existe uma redundância no sinal amostrado. Podemos acabar com o número elevado de informações de dados se diminuirmos o número de bits da palavra que representa o sinal. Assim, surgiu o conversor delta que se fundamenta no princípio da quantização diferencial. Na Figura 23 é representada a arquitetura para modulação e demodulação delta.

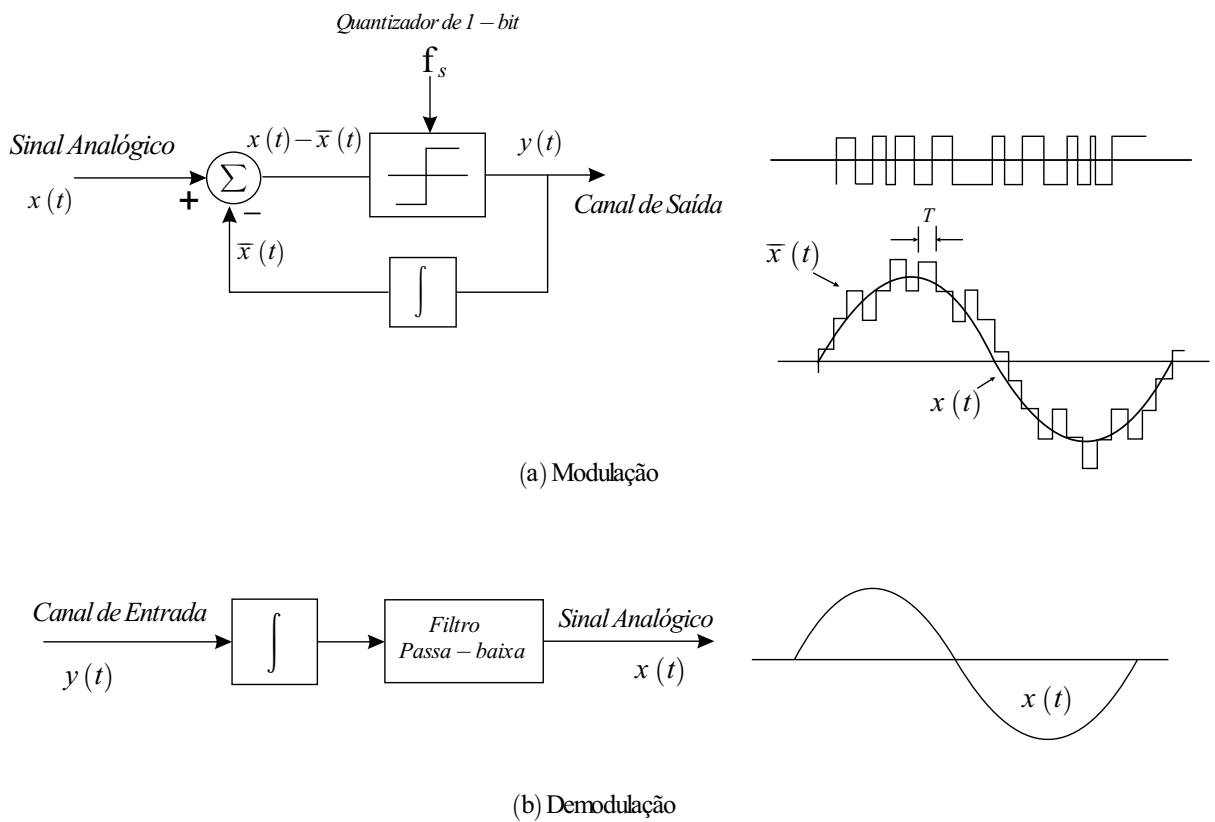


Figura 23 Arquitetura da modulação delta.

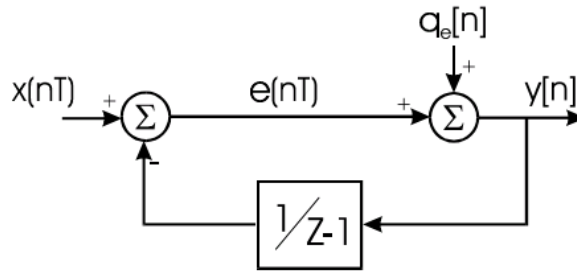


Figura 24 Modelo linear da modulação delta.

A modulação delta está baseada na quantização da variação da diferença entre amostras dos sinais. Daí vem o seu nome de delta, diferença entre amostras. O integrador de realimentação tenta prever a o sinal de entrada, ou seja, opera como um previsor. Assim, a saída do modulador é a quantização da diferença das amostras. Na Figura 24 é representado o modelo linear da modulação delta. A saída no domínio Z é representada pela equação 23:

$$Y(Z) = \frac{z-1}{Z} X(Z) + \frac{Z-1}{Z} Q(Z) \quad (23)$$

Na Figura 25 é mostrado o módulo da amplitude das funções do sinal e do ruído. Nota-se que um sinal DC será fortemente atenuado. Além disso, o ruído tem a mesma função de transferência que o sinal. Assim, esta modulação é adequada para os sinais de áudio de baixa qualidade. Para corrigir estes dois problemas e manter a simplicidade foi proposta a modulação sigma-delta.

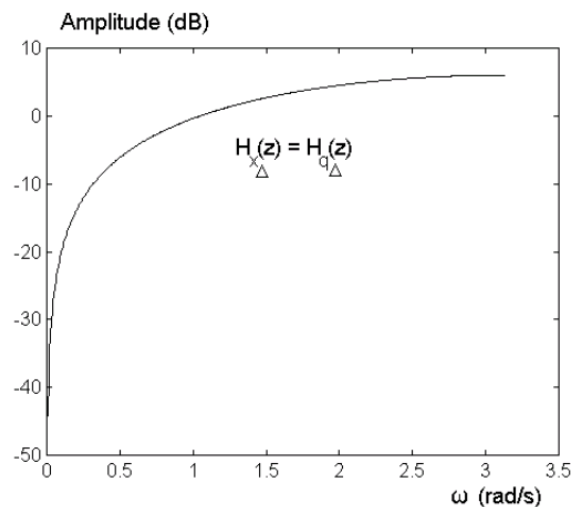


Figura 25 Módulo das funções de transferência do sinal e do ruído para modulação delta.

5 MODULAÇÃO SIGMA-DELTA

Neste capítulo será abordada a teoria sobre conversores sigma-delta. A modulação $\Sigma\Delta$ é composta por dois blocos principais. O primeiro é o modulador $\Sigma\Delta$, que converte um sinal analógico em um bit stream de saída o outro bloco é composto por filtros digitais e decimador que são responsáveis por eliminar o ruído, aumentar a relação SNR e número de bits e diminuir a taxa de amostragem.

O modulador $\Sigma\Delta$ usa partido da sobreamostragem e modelagem do ruído (noise shaping) para corrigir os erros do modulador delta. Através destes dois princípios é possível diminuir o ruído dentro da banda do sinal.

5.1 Sobreamostragem

Até agora foi feita uma análise para um processo de ADC com operação na frequência de amostragem de Nyquist. Contudo, agora será realizada uma análise caso a taxa de amostragem for elevada. Assim, *oversampling* consiste em amostrar um sinal a uma taxa mais elevada que a taxa de Nyquist. Portanto, a taxa de sobreamostragem (OSR) é definida pela equação 25:

$$OSR = \frac{f_s}{f_N} = \frac{f_s}{2fb} \quad (25)$$

A sobreamostragem traz dois efeitos que devem ser analisados. O primeiro é que as imagens criadas por este processo são mais separadas do que em conversores que operam na frequência de Nyquist conforme a Figura 26. Assim, os filtros anti-aliasing podem ser mais simples, pois não precisam ser tão robustos em relação aos de Nyquist.

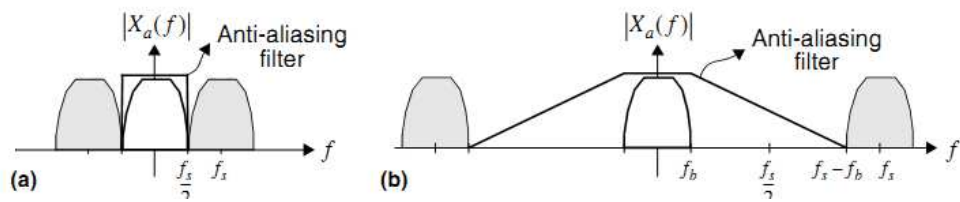


Figura 26 Efeito da sobreamostragem sobre as imagens do sinal amostrado.

(R. del Río, 2006)

Quando um sinal sobreamostrado é quantizado, a potência de quantização fica distribuída em $[-f_s/2, +f_s/2]$. Contudo, somente parte dessa potência está distribuída dentro da banda do sinal conforme a Figura 27 e a equação 26.

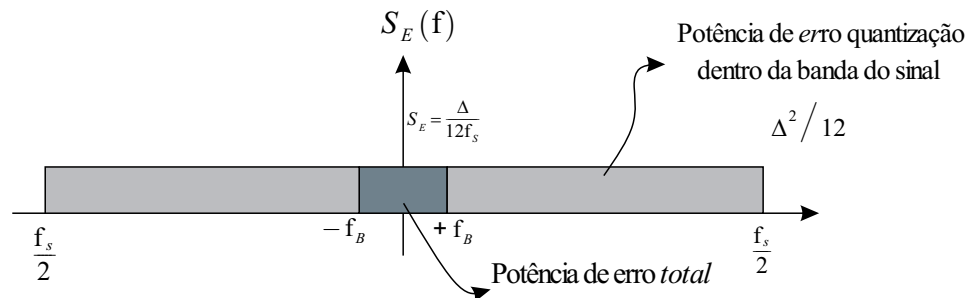


Figura 27 Efeito da potência de erro na banda do sinal para a sobreamostragem.

A potência de erro dentro da banda do sinal para o conversor sobreamostrado é determinado pela equação 26:

$$P_Q = \int_{-f_B}^{+f_b} S_E(f) df = \int_{-f_b}^{f_b} \frac{\Delta^2}{12f_s} = \frac{\Delta^2}{12OSR} \quad (26)$$

Em comparação com a equação 16 percebe-se que o erro será menor que nos conversores de Nyquist. Assim, teremos um aumento na faixa dinâmica. A DR é determinada pela equação 27.

$$DR = \frac{P_{X_{FS}/2}^{out}}{P_Q} = \frac{3}{2} 2^{2N} OSR \quad (27)$$

Considerando um conversor sobreamostrado com a mesma entrada a DR em dB é expressa pela equação 28.

$$DR_{dB} = 6.02N + 1.76 + 10\log_{10}(OSR) \quad (28)$$

Na Tabela 3 é realizada a comparação do efeito da sobreamostragem sobre o número efetivo de bits do conversor ($enob$).

Tabela 2 Comparação DR para conversores operando na taxa de Nyquist e sobreamostrado.

Número Bits (N)	Número de Níveis (L)	DR (dB) Operando F_N	DR (dB) $OSR=4$	DR (dB) $OSR=8$
1	2	7.78	13.8	25.8
2	4	13.8	19.8	31.8
3	8	19.8	25.8	37.8
4	16	25.8	31.8	43.9
5	32	31.8	37.8	49.2
6	64	37.8	43.9	55.9
7	128	43.9	49.2	61.9
8	256	49.2	55.94	67.9

Conforme a Tabela 2, quando temos $OSR=4$ e $OSR=8$ resulta em uma melhora no aproveitamento no número de bits, pois estamos diminuindo as perdas dentro da banda do sinal. Por exemplo, para um projeto onde a especificação de $DR=49.2$, operando com F_N necessita-se de 8 bits (256 níveis) de quantização. Contudo, operando com um conversor sobreamostrado de $OSR=4$ e $OSR=8$ precisa-se somente de 7 bits (128 níveis) e 6 bits (64 níveis), respectivamente. Portanto, o número efetivo de bits ($enob$) do modulador $\Sigma\Delta$ em relação aos conversores de Nyquist é definido pela equação 29:

$$enob = \frac{DR_{dB} - 1.76}{6.02} \quad (29)$$

5.2 Modelagem do Ruído

Outro critério para aumentarmos a precisão do modulador é através do tratamento do processamento do erro de quantização. Como o conversor trabalha com uma alta taxa de amostragem, os sinais de baixa frequência são semelhantes de amostra para amostra. Logo, o erro de quantização também é semelhante de amostra para amostra. Assim, pode-se diminuir o erro do modulador subtraindo se o erro anterior. Como os erros tendem a ser semelhante, esta técnica irá diminuir o erro de quantização. A expressão 30 representa está técnica:

$$e_{HP}(n) = e(n) - e(n-1) \quad (30)$$

Na Figura 28 é mostrada a eficiência desta técnica em comparação com o sinal original que não recebeu o tratamento do erro. O sinal que recebeu o tratamento teve uma diminuição por um fator de 20 na potência do erro de quantização [2].

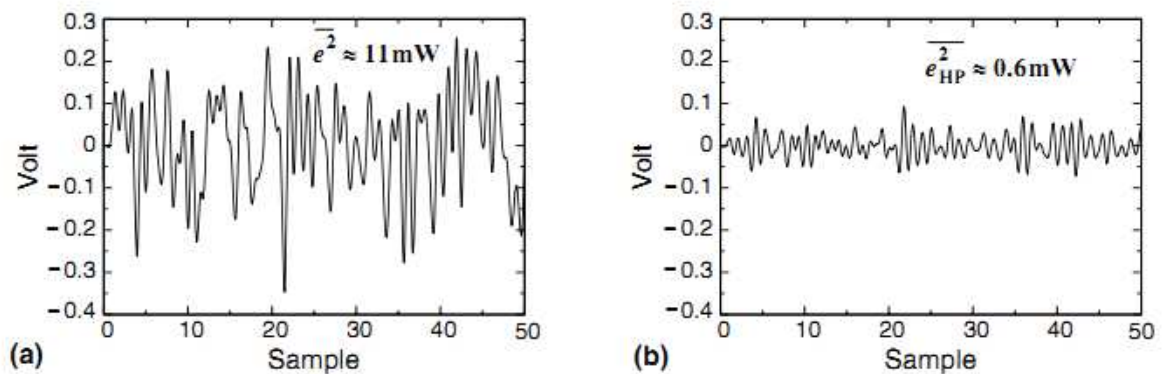


Figura 28 Gráfico (a) sem tratamento de erro e (b) com tratamento.

(R. del Río, 2006)

Para aumentarmos a eficiência desta técnica podemos utilizar amostras de erro mais antigas. A fórmula geral para modelagem do ruído expressa no domínio Z é dada pela equação abaixo:

$$E_{HP}(Z) = (1 - Z^{-1})^L E(Z) \quad (31)$$

A expressão da função de transferência do ruído (*NTF*) é expressa como:

$$NTF(1 - Z^{-1})^L \quad (32)$$

5.3 Arquitetura Básica do Conversor Sigma Delta ($\Sigma\Delta$)

Há várias técnicas para implementação de conversores analógicos digitais. Os conversores podem ser distribuídos em dois grupos: Conversores que trabalham próximo à banda do sinal (ou conversores de Nyquist). E os conversores sobreamostrado do tipo sigma-delta que será a abordagem deste trabalho. Nas Figura 29 e 30 são apresentados os conversores de primeira e segunda ordem. A ordem do modulador se refere ao número de integradores que existem na malha do circuito.

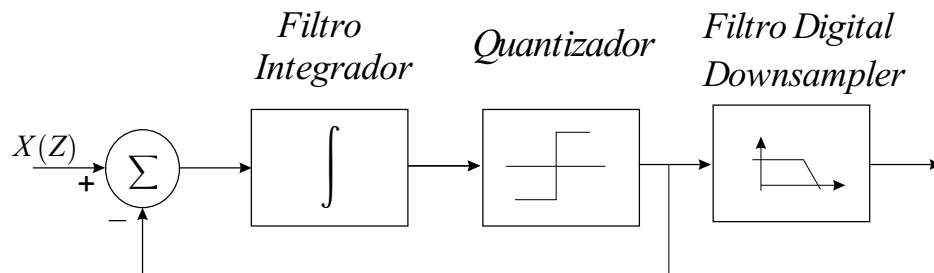


Figura 29 Modulador sigma-delta de 1ª ordem.

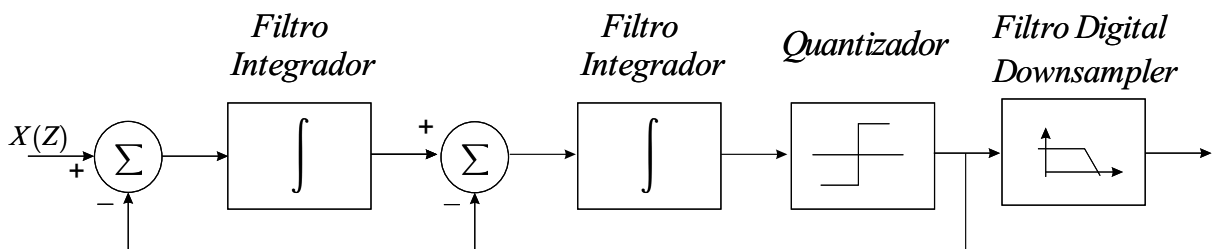


Figura 30 Modulador sigma-delta de 2ª ordem.

A arquitetura básica do conversor é mostrada na Figura 31. Ela é composta de três blocos principais: Filtro anti-aliasing, modulador $\Sigma\Delta$ e decimador (decimador e filtragem).

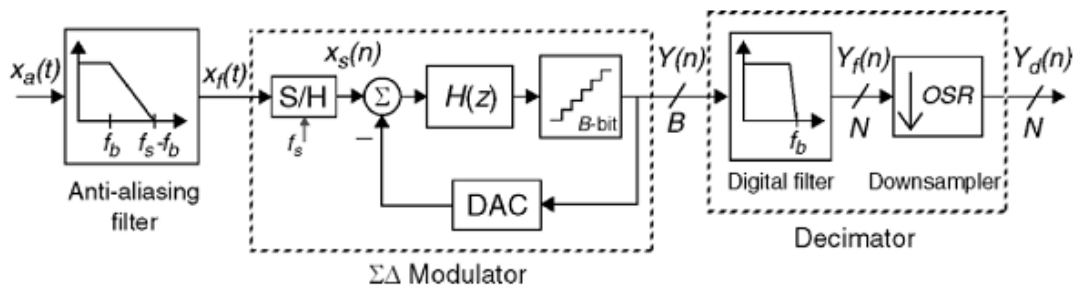


Figura 31 Arquitetura do conversor sigma-delta.

(R. del Río, 2006)

Como já mencionado, o filtro anti-aliasing tem como objetivo atenuar as componentes fora da banda do sinal evitando o efeito de aliasing. Para estes conversores os requisitos do filtro não são tão robustos como os que operam na F_N , pois há um maior espaçamento entre as réplicas que surgem da amostragem do sinal.

O modulador $\Sigma\Delta$ é o principal entre os três blocos. Ele é formado por um integrador discreto no tempo que opera como um filtro com função de transferência $H(z)$, quantizador de N bits e um conversor digital analógico para fechar o loop de realimentação do sistema. O objetivo é modular a entrada em um sinal em N bits na saída. Na sua forma mais simples o modulador gera uma sequência de bits de 0 ou 1. A média deste valor corresponde ao valor de entrada. Este processo ocorre a uma taxa de amostragem elevada. Em alguns casos pode ser 64 vezes maior que a taxa de Nyquist. Este modulador utiliza a técnica de modelar ruído (noise shaping), ou seja, o ruído de quantização é jogado para fora da banda de interesse.

Após o processamento analógico são utilizadas técnicas digitais para filtrar o sinal com objetivo de eliminar o ruído inserido pelo processo de quantização. Estes filtros devem ser robustos o suficiente para eliminar somente as frequências acima de f_b , logo, será eliminado somente ruído. Depois, tem-se o bloco que realiza downsampler. Este bloco tem como objetivo reduzir a taxa de amostragem do sinal para F_N e aumentar a resolução do sinal para $N > B$. Assim, esse bloco também irá eliminar informações que são redundantes para o sistema.

Iremos analisar o comportamento do modulador no domínio da frequência. Na Figura 32 é apresentado um modelo linear do modulador.

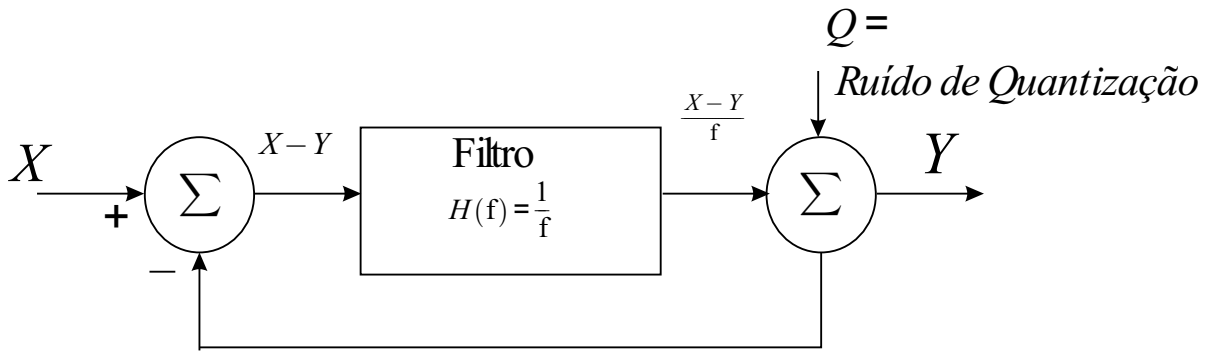


Figura 32 Modelo linear do modulador de 1ª ordem.

$H(z)$ é representado por um filtro que têm a função de transferência $H(f)$. O módulo de $H(f)$ é inversamente proporcional à frequência. O quantizador é representado por seu modelo linear e iremos considerar $g=1$. Logo, temos que:

$$Y = \frac{X - Y}{f} + Q \quad (33)$$

$$Y = \frac{X - Y + fQ}{f} \quad (34)$$

$$Yf = X - Y + fQ \quad (35)$$

$$Y(1 + f) = X + fQ \quad (36)$$

Assim, obtemos a equação 33.

$$Y = \frac{X}{f+1} + \frac{fQ}{f+1} \quad (37)$$

Conforme esta equação tem-se uma função de transferência para o sinal de entrada e outra para o ruído. Este é o princípio de funcionamento do modulador, pois podemos determinar a frequência de operação do sistema para maximizar DR na banda do sinal. Logo,

$$f \approx 0 \rightarrow Y \approx X \quad (38)$$

$$f \approx +\infty \rightarrow Y \approx Q \quad (39)$$

Desta forma, para um sinal de entrada em que a frequência se aproxima de zero a saída tende a ser a própria entrada. Contudo, à medida que a frequência aumenta a saída tende a ser somente Q , ou seja, o ruído de quantização. Portanto, para o sinal o modulador se comporta como um filtro passa-baixa e para o ruído como um filtro passa-alta. Logo essa malha fechada funciona como um modulador de ruído, Este efeito não era visto no modulador delta Na Figura 33 é apresentado o modelo simplificado do modulador sigma-delta no domínio Z do modulador.

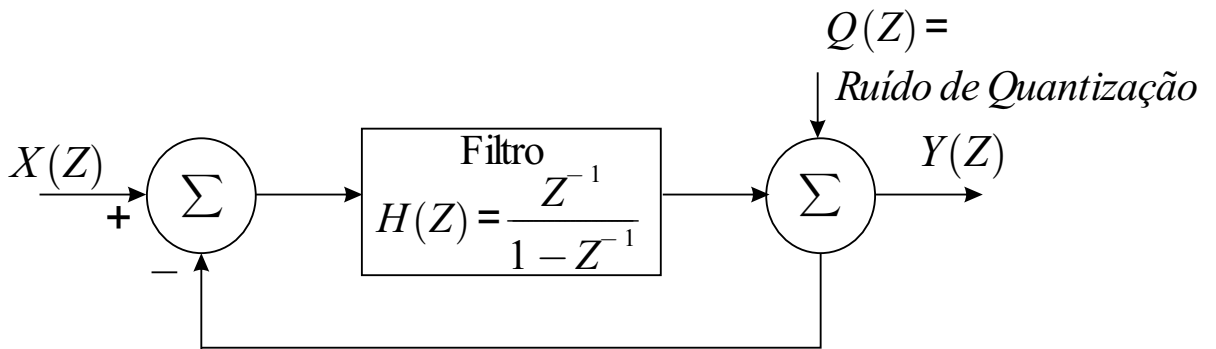


Figura 33 Modelo no domínio Z do modulador de 1ª ordem.

A função de transferência $H(Z)$ é dada pela equação 34, onde $H(Z)$ representa o integrador.

$$H(Z) = \frac{1}{Z-1} = \frac{Z^{-1}}{1-Z^{-1}} \quad (40)$$

Assim, obtemos:

$$Y(Z) = [X(Z) - Y(Z)]H(Z) + Q(Z) \quad (41)$$

Substituindo a equação 34 em 35 obtemos:

$$Y(Z) = [X(Z) - Y(Z)] \frac{Z^{-1}}{1-Z^{-1}} + Q(Z) \quad (42)$$

Manipulando a equação 36, iremos obter a seguinte relação para a saída do modulador:

$$Y(Z) = X(Z)Z^{-1} + Q(Z)(1-Z^{-1}) \quad (43)$$

Genericamente, a saída do modulador é dada pela equação 38:

$$Y(Z) = STF(Z)X(Z) + NTF(Z)Q(Z) \quad (44)$$

Onde STF é função de transferência para o sinal de entrada e NTF função para o ruído. Conforme a equação 38 tem-se uma função de transferência para entrada e outra para o ruído que está conforme o modelo linear no domínio da frequência representado pela equação 33. Na Figura 34 é mostrado o $|NTF(Z)|$ e $|STF(Z)|$. Este modulador é dito de primeira ordem, pois possui somente um integrador na malha de realimentação.

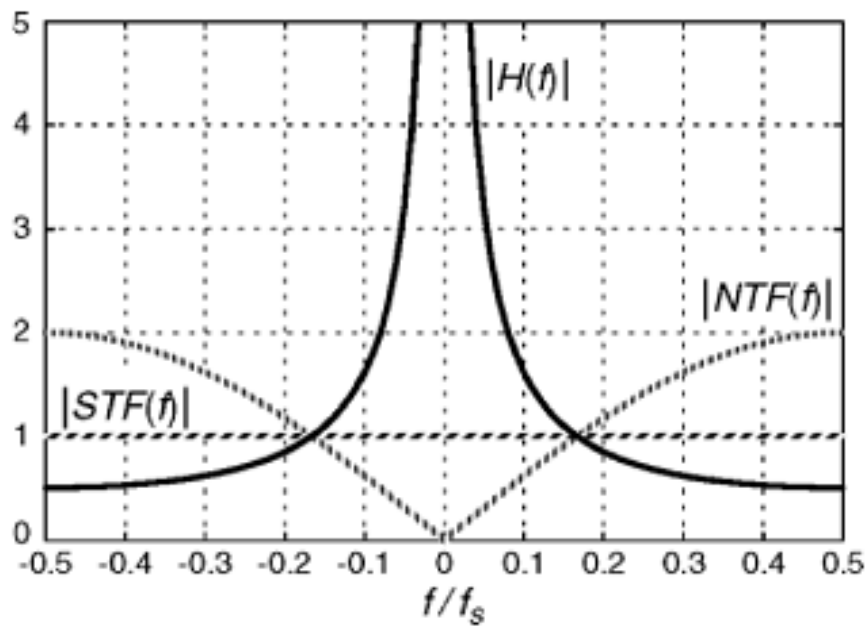


Figura 34 Módulos da função de transferência de NTF, STF e H(f).

Conforme a Figura 34, a saída do modulador vai conter toda a informação de entrada sem distorcer o sinal e amplitude, pois o $|STF|$ é unitário independente de OSR . Já $|NTF|$ tem característica de um filtro passa-alta para o ruído de quantização. Logo, as componentes espectrais do ruído são fortemente atenuadas para frequências próximas a zero. A Figura 35 mostra a operação completa do modulador no domínio do tempo e da frequência.

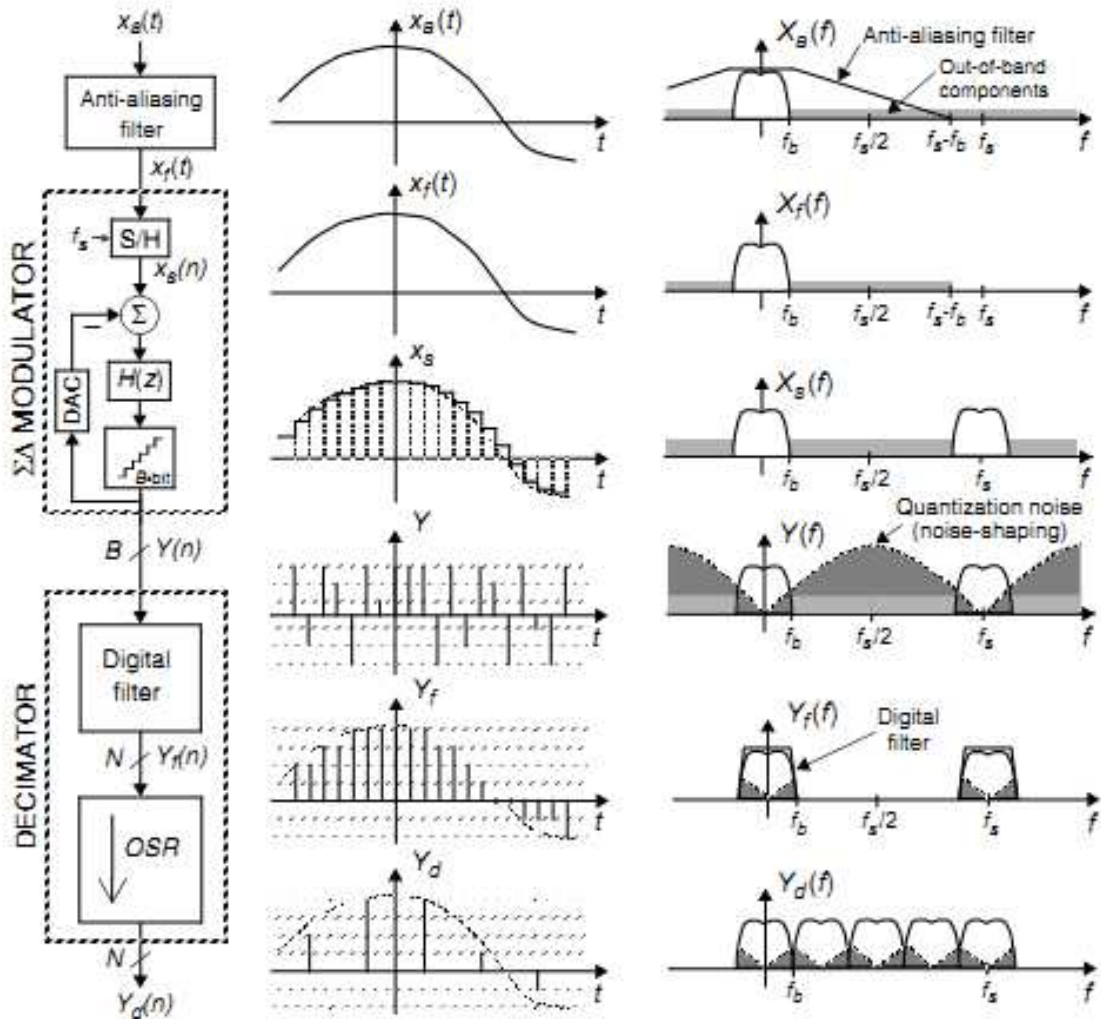


Figura 35 Processo de conversão no domínio do tempo e frequência.

(R. del Río, 2006)

5.4 Simulação do Modulador Sigma-Delta de 1º Ordem

Esta seção destina-se a apresentar uma simulação no ambiente Matlab Simulink de um modulador de 1ª ordem. Na Figura 36 é apresentado o circuito de simulação. O sinal de entrada é representado por um gerador de sinal e o bloco Discrete Filter representa $H(Z)$. O bloco quantizador é de 1 bit e com $\Delta=2$.

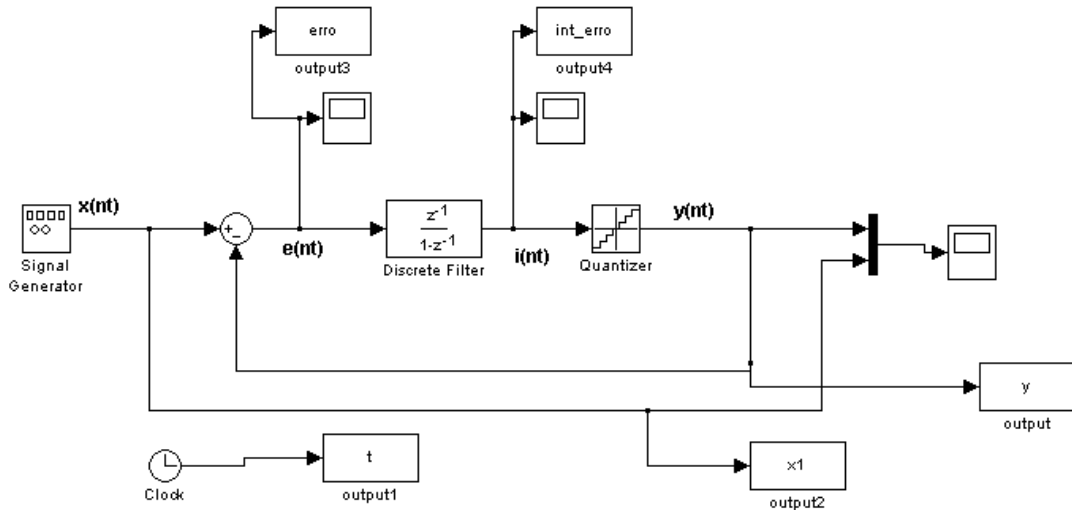


Figura 36 Simulação no Simulink do modulador de 1ª ordem.

Se aplicarmos na entrada um sinal constante de $x(t) = 0V$, obtemos na saída um sinal de +1V e -1V com a mesma densidade de pulsos, conforme a Figura 37. Desta forma, a média desse bit stream $y(t)$ é o próprio valor de entrada. Portanto, a média do valor de saída irá corresponder ao valor de entrada para um determinado instante de tempo.

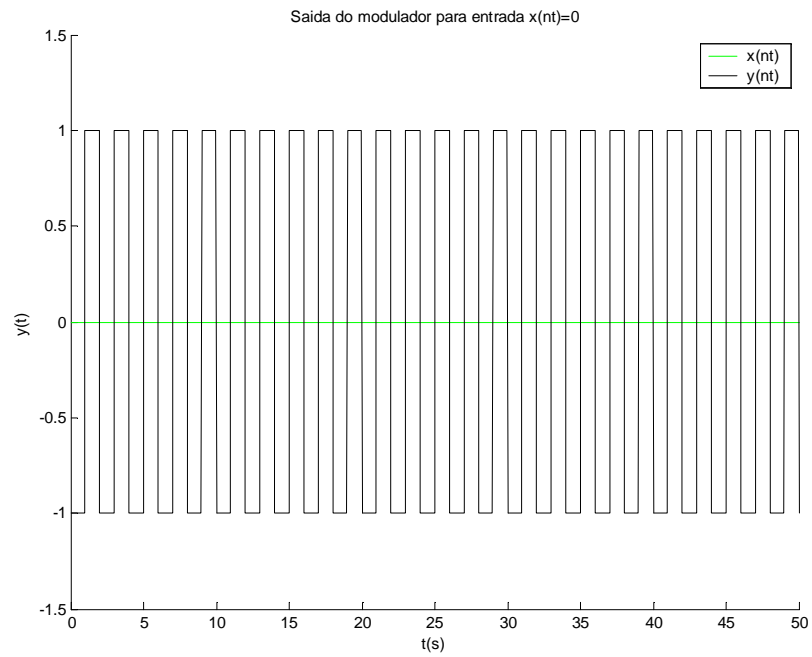


Figura 37 Saída do modulador para uma entrada $x(t)=0V$.

Se entrada for um sinal constante de 0.5V, o resultado para a saída é apresentado na Figura 38.

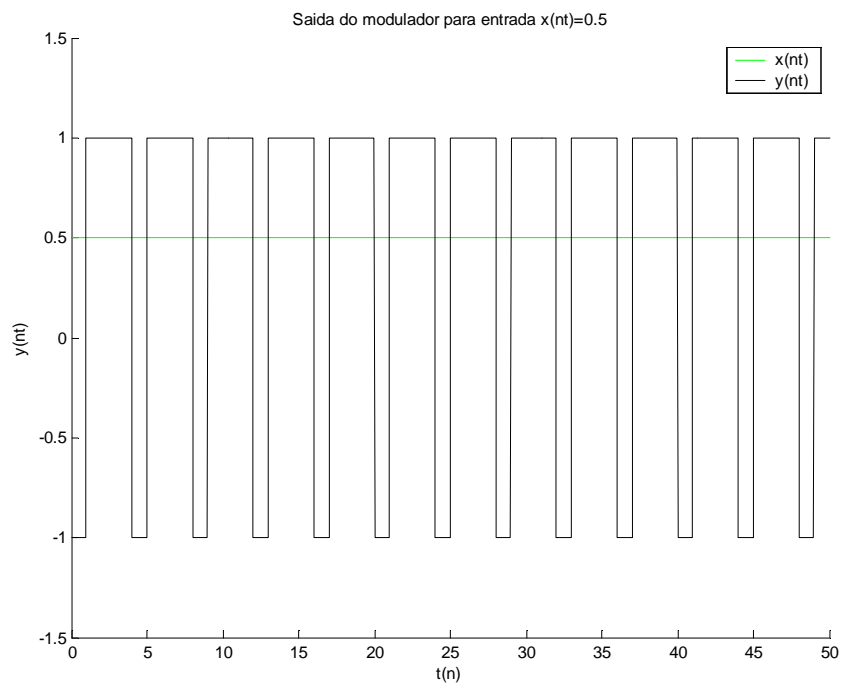


Figura 38 Saída do modulador para uma entrada $x(t)=0.5V$.

Percebe-se que a saída do modulador muda o seu comportamento. Como a saída tende a acompanhar a entrada, a saída muda sua densidade de pulsos permanecendo mais tempo em +1V do que em -1V. O erro e a integral do erro são mostrados nas Figuras 39 e 40 respectivamente.

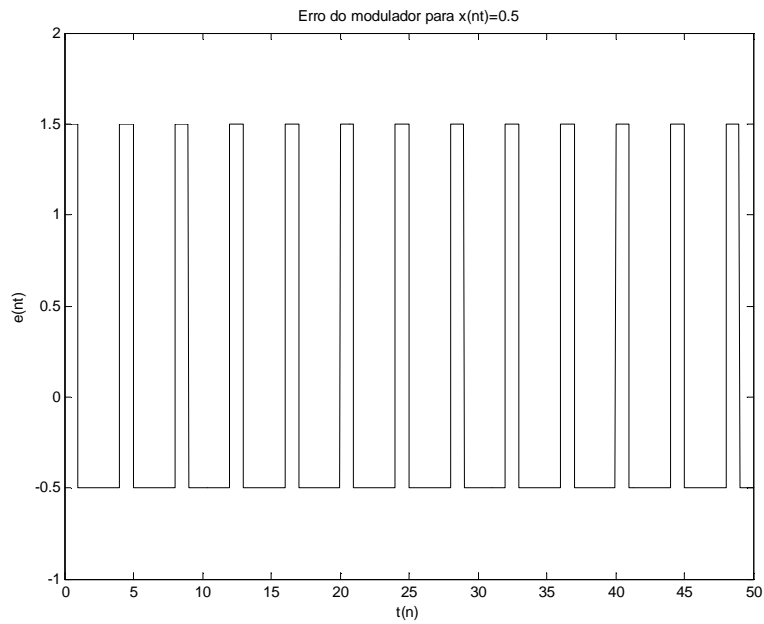


Figura 39 Erro do modulador $e(nt)$.

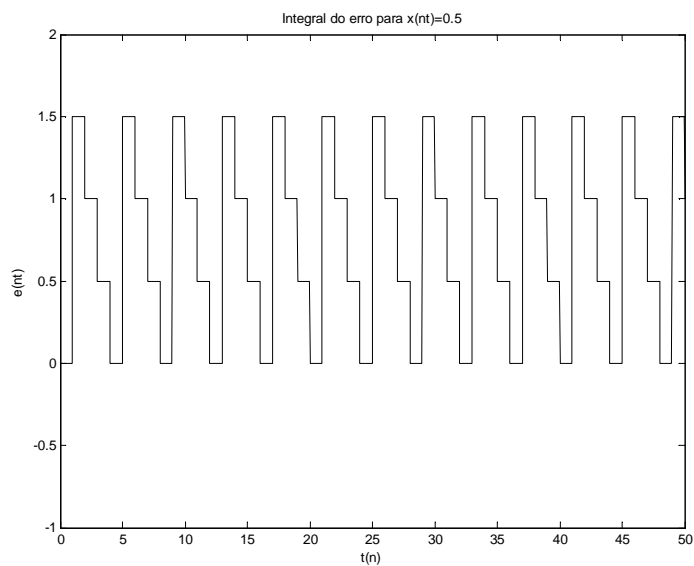


Figura 40 Integral do erro $i(nt)$.

O efeito da malha de realimentação negativa é diminuir o erro, ou seja, a saída do modulador está seguindo a entrada de forma a modelar o ruído. Pela Figura 40 fica claro este efeito. Agora a entrada foi alterada para uma constante de 0.9V. A entrada e a saída são apresentadas na Figura 41.

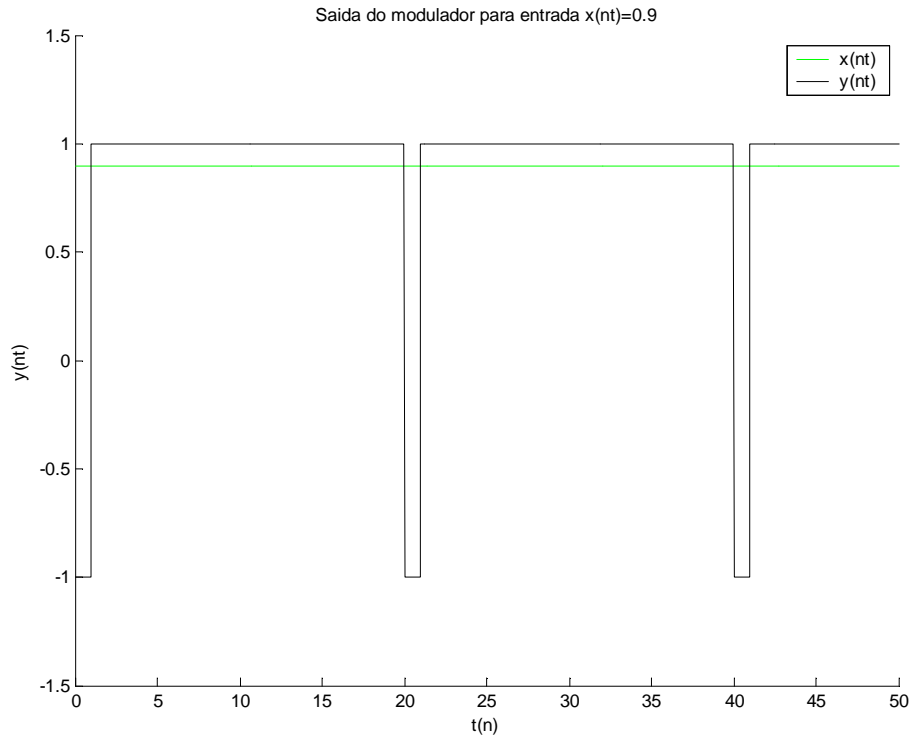


Figura 41 Saída do modulador para uma entrada $x(t)=0.9V$.

Para uma entrada em rampa foi simulado o circuito de um modulador de 1º ordem. O sinal de entrada é representado pela equação 45:

$$y = 0.01t - 1 \quad (45)$$

Para valores de t próximos de zero, t tende a ser -1V. Assim, a saída do modulador permanece com sua saída em -1V. Para t próximo de 200 a saída tende a ser +1, logo o modulador irá permanecer com +1V. Para valores de t próximos de zero a densidade de +1V e de -1V são iguais. Portanto, o processo opera como modulador da densidade de pulso (*PDM*), convertendo a entrada em frequência conforme a Figura 42.

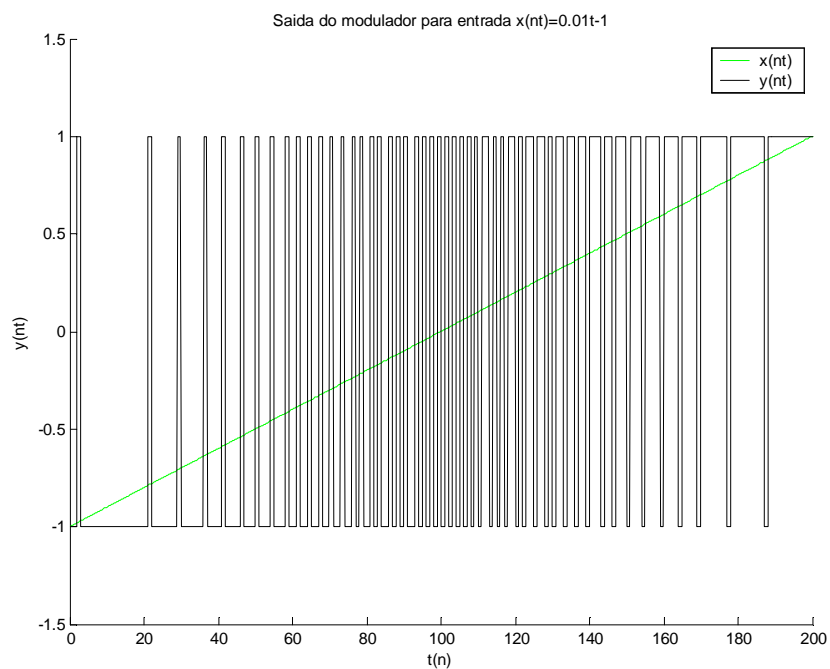


Figura 42 Saída do modulador para uma entrada em rampa.

Na Figura 43 é colocado um sinal de entrada senoidal de 60 Hz e é possível observar o comportamento de $y(t)$.

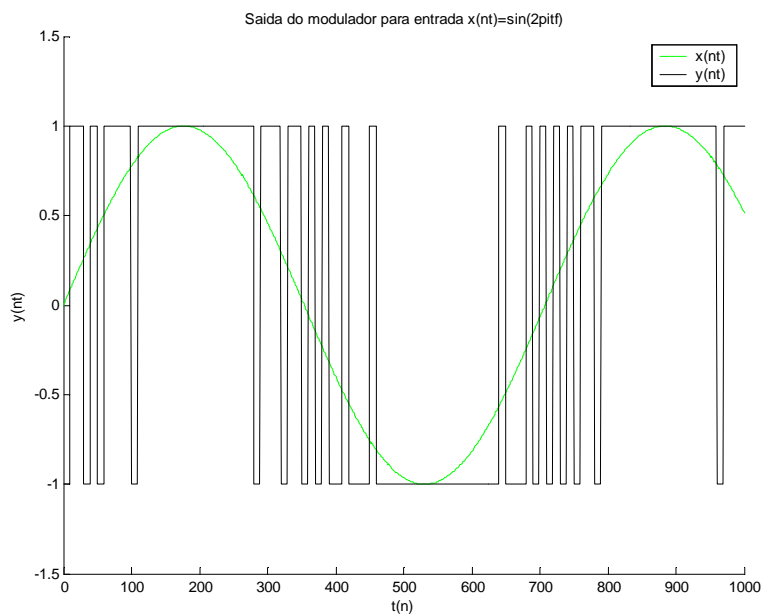


Figura 43 Saída do modulador para entrada de uma senóide.

O número de bits do quantizador também altera o padrão do sinal de saída. Por exemplo, quando se utiliza um quantizador de 3 bits, a resposta da saída do modulador é mostrada na Figura 44 .

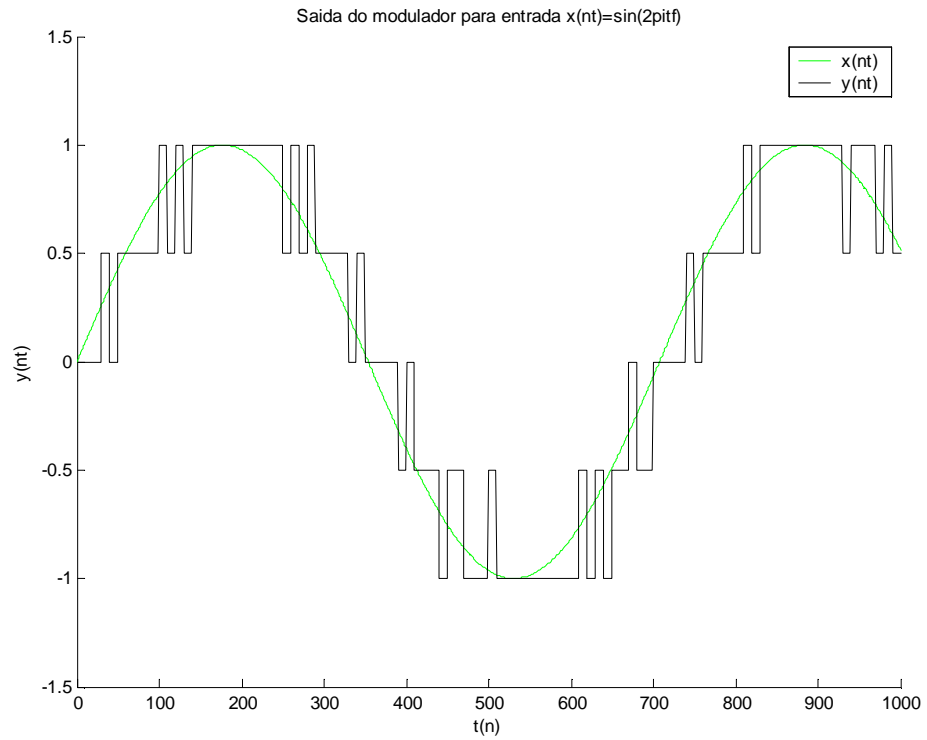


Figura 44 Saída do modulador para entrada de uma senóide e quantizador de 3 bits.

6 ANÁLISE DA ARQUITETURA DO MODULADOR SIGMA-DELTA

A saída para um modelo ideal de um modulador $\Sigma\Delta$ de ordem L é dado por:

$$Y(Z) = Z^{-L} X(Z) + (1 - Z^{-1}) E(Z) \quad (46)$$

Assim, a entrada irá aparecer na saída com atraso de ordem L e a função de transferência vai modelar o ruído com ordem L . Portanto, a NTF é dada por:

$$NTF = (1 - Z^{-1})^L \quad (47)$$

A ordem do modulador irá afetar o desempenho modelagem da potência do ruído. Para esta função temos que:

$$\left| NTF(e^{j\Theta}) \right|^2 = \left| 1 - e^{-j\Theta} \right|^{2L} = 2^{2L} \sin^{2L} \left(\frac{\Theta}{2} \right) \rightarrow \Theta = \frac{2\pi f}{f_s} = \frac{\pi f}{f_b \text{ OSR}} \quad (48)$$

Na Figura 45 é mostrado o gráfico de NTF para diferentes ordens do modulador. À medida que aumentamos a ordem do modulador estamos teoricamente aumentando o seu desempenho do modulador. Contudo, as arquiteturas apresentadas até este ponto do trabalho são estáveis somente para moduladores com $L=2$. Isto se deve ao fato que para $L>2$ o sistema tem um ganho muito alto para altas frequências, o que torna o sistema não realizável.

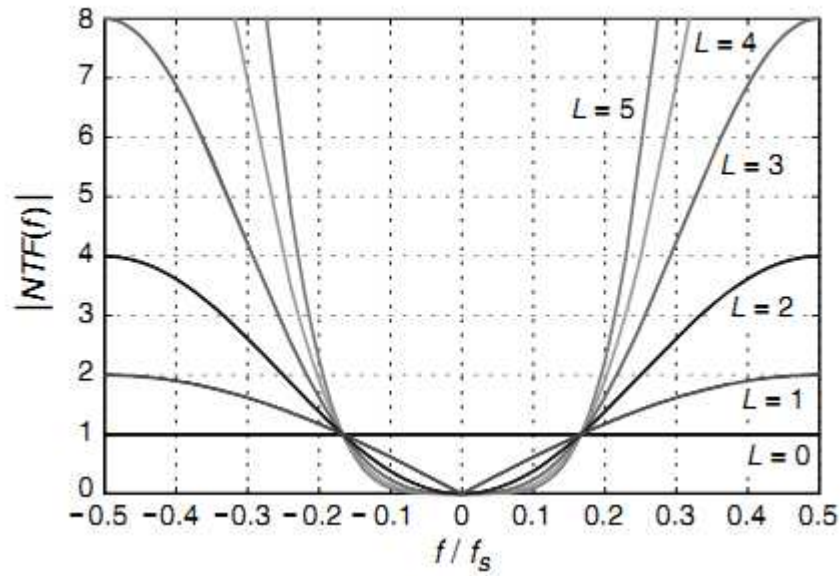


Figura 45 Gráfico de NTF para diferentes ordens do modulador.

(R. del Río, 2006)

Outro parâmetro importante a ser analisado é a faixa dinâmica do modulador (DR). A DR em dB pode ser calculado pela expressão abaixo.

$$DR_{dB} \cong 20 \log_{10}(2^B - 1) + 1,76 + 10 \log_{10}\left(\frac{2L + 1}{\pi^{2L}}\right) + (2L + 1) 10 \log_{10}(OSR) \quad (49)$$

Na Figura 46 é apresentado o comportamento de DR para variação da ordem do modulador (L) e taxa de amostragem (OSR).

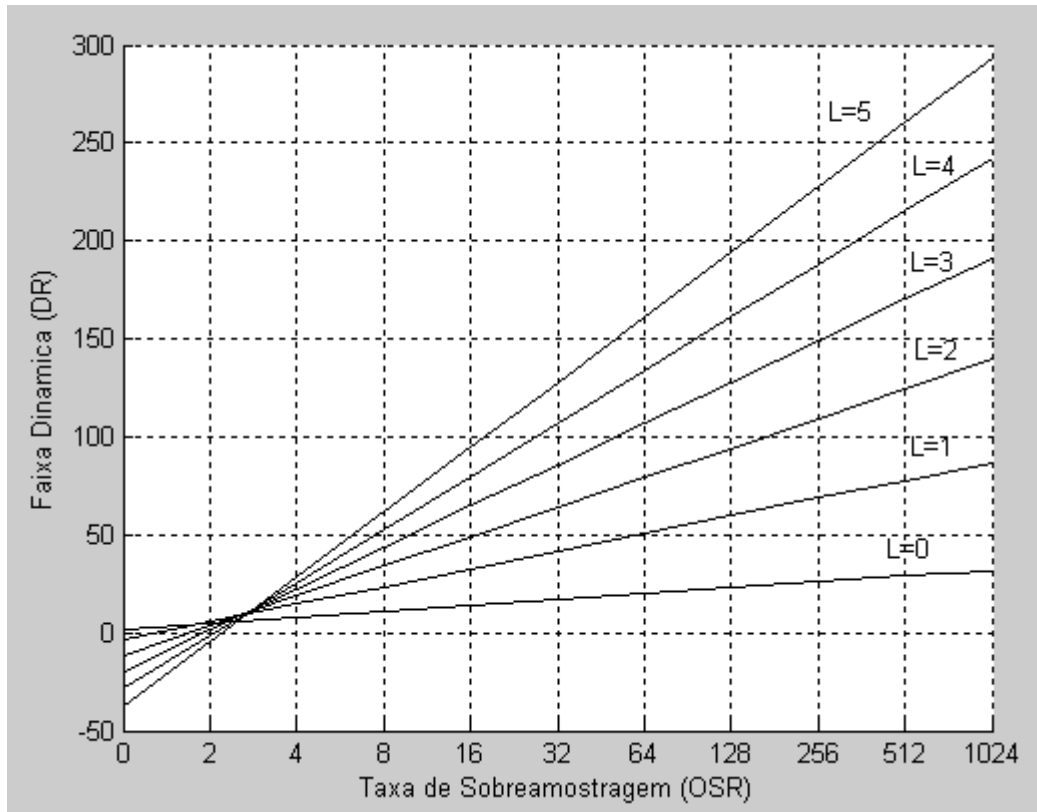


Figura 46 DR para diferentes valores de OSR e L do modulador.

Assim, a partir da determinação de *OSR* obtemos o respectivo *DR*. Utilizando a equação 20 podemos obter o número efetivo de bits (*enob*) do modulador.

6.1 Arquitetura de 1ª ordem

Na Figura 47 é apresentado o modulador $\Sigma\Delta$ de primeira ordem. Na Figura 47a temos o modulador no domínio Z e em b o modelo linear.

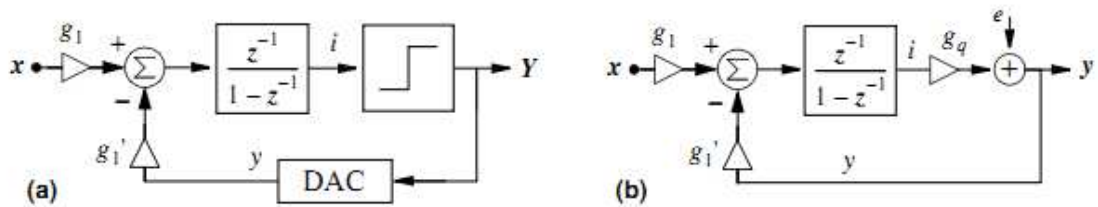


Figura 47 Arquitetura do modulador de 1ª ordem.

(R. del Río, 2006)

Considerando os ganhos inseridos no modulador, a sua saída $Y(Z)$ é determinada pela expressão:

$$Y(Z) = \frac{g_1 g_q Z^{-1} + (1 - Z^{-1} E(Z))}{1 - (1 - g_1' g_q) Z^{-1}} \quad (50)$$

Deve ser satisfeita a seguinte condição para implementação do circuito:

$$g_1' g_q = 1 \quad \Rightarrow \quad Y(Z) = \frac{g_1}{g_1'} Z^{-1} + (1 - Z^{-1}) E(Z) \quad (51)$$

Nota-se que *STF* tem possui um ganho (g_1/g_1'). Contudo, geralmente este ganho é unitário para termos fundo de escala de saída igual ao de entrada. A potência que o modulador insere na banda do sinal é determinada por:

$$P_\varrho \approx \frac{\Delta^2}{12} \frac{\pi^2}{3OSR^3} \quad (52)$$

Logo, *DR* pode ser aproximado por:

$$DR_{dB} \approx 10 \log_{10} \left(\frac{3}{2} \cdot \frac{3OSR^3}{\pi^2} \right) \quad (53)$$

A principal desvantagem deste modulador é que se devemos operar com uma alta taxa de amostragem para obtermos uma resolução aceitável.

6.2 Arquitetura de 2ª ordem

Na Figura 48 é apresentado o modulador de segunda ordem com seus respectivos ganhos. Este modulador é mais robusto que o de primeira ordem e já atinge resoluções mais altas para taxas de amostragem menores.

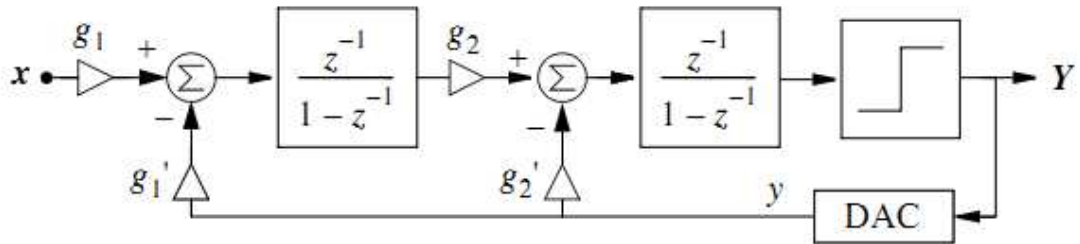


Figura 48 Modulador de 2ª ordem.

(R. del Río, 2006)

A saída do modulador pode ser determinada pela equação abaixo:

$$Y(Z) = \frac{g_1 g_2 g_q Z^{-2} X(Z) + (1 - Z^{-1}) Q(Z)}{1 + (g_2' g_q - 2) Z^{-1} + (1 + g_1' g_2 g_q - g_2' g_q) Z^{-2}} \quad (54)$$

As seguintes condições devem ser satisfeitas para implementação deste modulador:

$$\begin{pmatrix} g_1' g_2 g_q = 1 \\ g_2' = 2g_1' g_2 \end{pmatrix} \Rightarrow Y(Z) = \frac{g_1}{g_1} Z^{-2} X(Z) + (1 - Z^{-1})^2 E(Z) \quad (55)$$

Alguns valores dos ganhos apresentado pela literatura são apresentados na Tabela 3:

Tabela 3 Ganhos de g_1 , g_1' , g_2 e g_2' para modulador sigma-delta de 2ª ordem.

Ganhos	[Boser88] R. del. Río, 006	[Yin94b] R. del. Río, 2006	[Mede98a] R. del. Río, 2006	[Marq98b] R. del. Río, 2006
g_1, g_1'	0.5, 0.5	0.25, 0.25	0.25, 0.25	1/3, 1/3
g_2, g_2'	0.5, 0.5	0.5, 0.25	1, 0.5	0.6, 0.4

A potência inserida dentro da banda do sinal é determinada por:

$$P_{\sigma} \approx \frac{\Delta^2}{12} \frac{\pi^4}{5OSR^5} \quad (56)$$

Esta potência que irá degradar a qualidade do sinal é menor do que no modulador de primeira ordem e sua faixa dinâmica é determinada por:

$$DR_{dB} \approx 10 \log_{10} \left(\frac{3}{2} \cdot \frac{5OSR^5}{\pi^4} \right) \quad (57)$$

7 METODOLOGIA DE PROJETO DO MODULADOR $\Sigma\Delta$

Neste capítulo estão descritas as etapas de implementação do modulador $\Sigma\Delta$ utilizando o kit de desenvolvimento AN23K04-DVLP3 que contém o FPAA Anadigm Apex A231ED04. A primeira parte do projeto a ser definida é a especificação do modulador e a metodologia do projeto.

7.1 Especificação do Modulador

Para este projeto será definido como base de especificação o monitoramento da qualidade da energia elétrica (QEE). Para tanto, os seguintes critérios foram considerados:

- Análise da 50ª harmônica da rede elétrica, sendo a frequência fundamental de 60Hz;
- Processamento e reconhecimento de faltas em até $\frac{1}{4}$ de ciclo da frequência fundamental.
- Resolução mínima de 16 bits para o modulador;

Portanto, a frequência base do sinal será de 10 kHz para a especificação apresentada e $f_N=20\text{kHz}$. Esta especificação é referente ao sinal de entrada no modulador. Contudo, o FPAA também possui limitações físicas de processamento de sinais. Sua operação máxima para CAMs utilizadas neste projeto é de 4MHz. Assim o *OSR* máximo que pode ser determinado pela equação 58:

$$OSR_{MAX} = \frac{f_{MAX}}{f_N} = \frac{4\text{MHz}}{20\text{kHz}} = 200 \quad (58)$$

Neste projeto será considerado como sinal de entrada do modulador um sinal que pode variar de -2V a 2V. Para conectar o FPAA diretamente à rede elétrica teria se que projetar um bloco de interface entre a rede e o FPAA para condicionamento do sinal. Contudo, o objetivo do trabalho é a partir das especificações implementar o modulador, verificar o seu desempenho e comparar com trabalhos de mesma linha de pesquisa. Na Tabela 4 são mostrados os parâmetros de especificação para este projeto.

Tabela 4 Tabela de especificação do projeto do modulador $\Sigma\Delta$.

Especificações	Valor
Banda de Interesse	10kHz
Resolução Efetiva (<i>enob</i>)	16 Bits
Fundo de Escala	2V
Freq. De Clock do FPAA	4MHz
OSR_{MAX}	200
Tecnologia de Implementação	FPAA

7.2 Metodologia

O objetivo desta seção é apresentar a metodologia utilizada para implementação do modulador. A partir do número efetivo de bits (*enob*) foi determinado o *DR* pela equação 29:

$$DR_{dB} = enob \times 6.02 + 1.76 = 16 \times 6.02 + 1.76 \approx 100dB \quad (59)$$

Com o valor definido de *DR* e *OSR* utilizou-se a equação 49 para se determinar qual a ordem do modulador deve ser implementado, o número de bits do quantizador utilizado foi um ($B=1$), assim:

$$100 = 20\log_{10}(2^1 - 1) + 1.76 + 10\log_{10}\left(\frac{2L + 1}{\pi^{2L}}\right) + (2L + 1)\log_{10}(200) \quad (60)$$

Simplificando a equação 60, obtém-se um $L \approx 1.9$. Assim o modulador de 2ª ordem será utilizado para satisfazer as condições da Tabela 4. Na Figura 49 é mostrada a curva de DR para o modulador de 2ª ordem em destaque o ponto de $L=2$ e $OSR=200$.

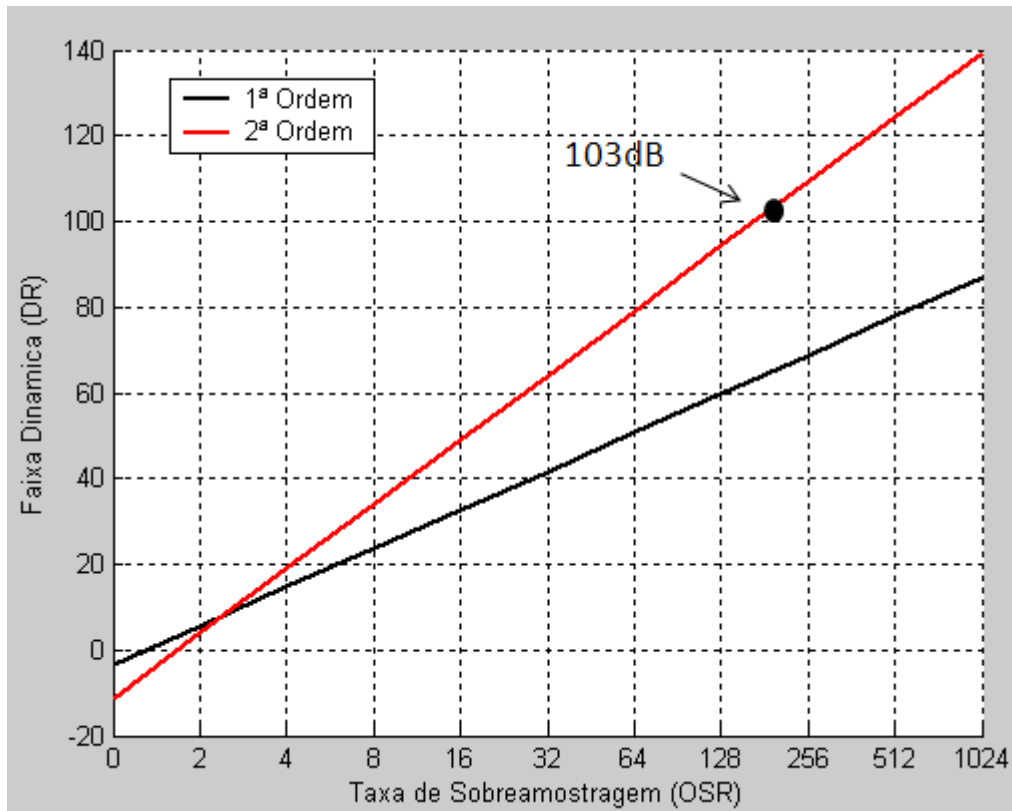


Figura 49 DR obtido para o modulador de 2ª ordem.

Na Tabela 5 é mostrada a comparação desempenho para a escolha da ordem do modulador.

Tabela 5 Tabela de ordem do modulador e DR para ordem 1 e 2 modulador $\Sigma\Delta$.

Ordem (L)	<i>OSR</i>	<i>DR</i>	<i>enob</i>
1	200	65 dB	10 Bits
2	200	103 dB	17 Bits

A partir da determinação da ordem do modulador será realizado a implementação no Matlab do modelo ideal e posteriormente a sua prototipação no FPAA seguindo o seguinte fluxo:

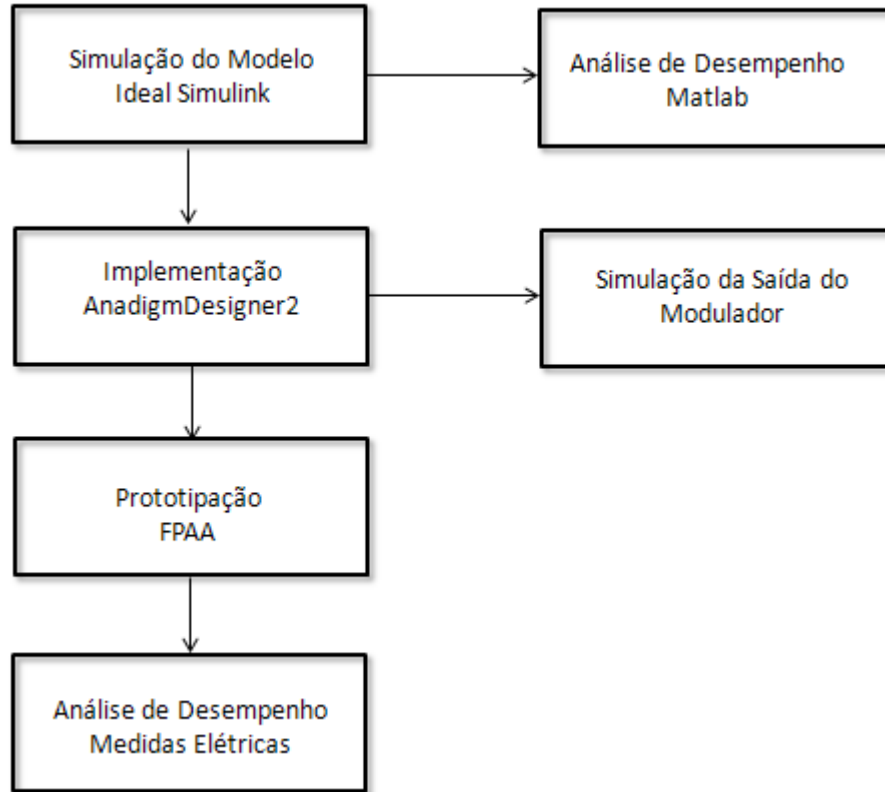


Figura 50 Fluxograma da metodologia para implementação do modulador de 2ª ordem.

Em cada etapa do projeto será realizada análise de desempenho do modulador utilizando o Matlab conforme a Figura 50. Nesta metodologia pode se determinar *DR* e a potência para cada frequência do espectro do sinal. A análise dos resultados práticos é feita através da aquisição de dados da saída do modulador através do osciloscópio DLM2054 da Yokogawa. Este equipamento gera um arquivo de dados.csv que é exportado para o Matlab.

8 IMPLEMENTAÇÃO DO MODULADOR

Este capítulo destina-se a mostrar as etapas do fluxo de projeto apresentado no capítulo anterior. Primeiro serão apresentados os resultados de simulação no Simulink, depois do AnadigmDesigner2 e por último as medidas elétricas da prototipação em FPAA do modulador de 2ª ordem.

8.1 Simulações do Modulador de 2ª Ordem - Simulink

Esta seção destina-se a apresentar a implementação do modulador utilizando o modelo ideal no Simulink. Na Figura 51 é apresentado o modulador de segunda ordem implementado no Simulink. Os valores dos ganhos utilizados foram $g1 = g1' = g2' = 1/4$ e $g2 = 1/2$ conforme a Tabela 3. Neste circuito não são consideradas as não linearidades dos componentes, principalmente do integrador, que é o principal bloco responsável por limitar o desempenho. O quantizador utilizado foi de 1 bit e utilizou-se bloco Relay do Simulink com $\Delta = 2V$.

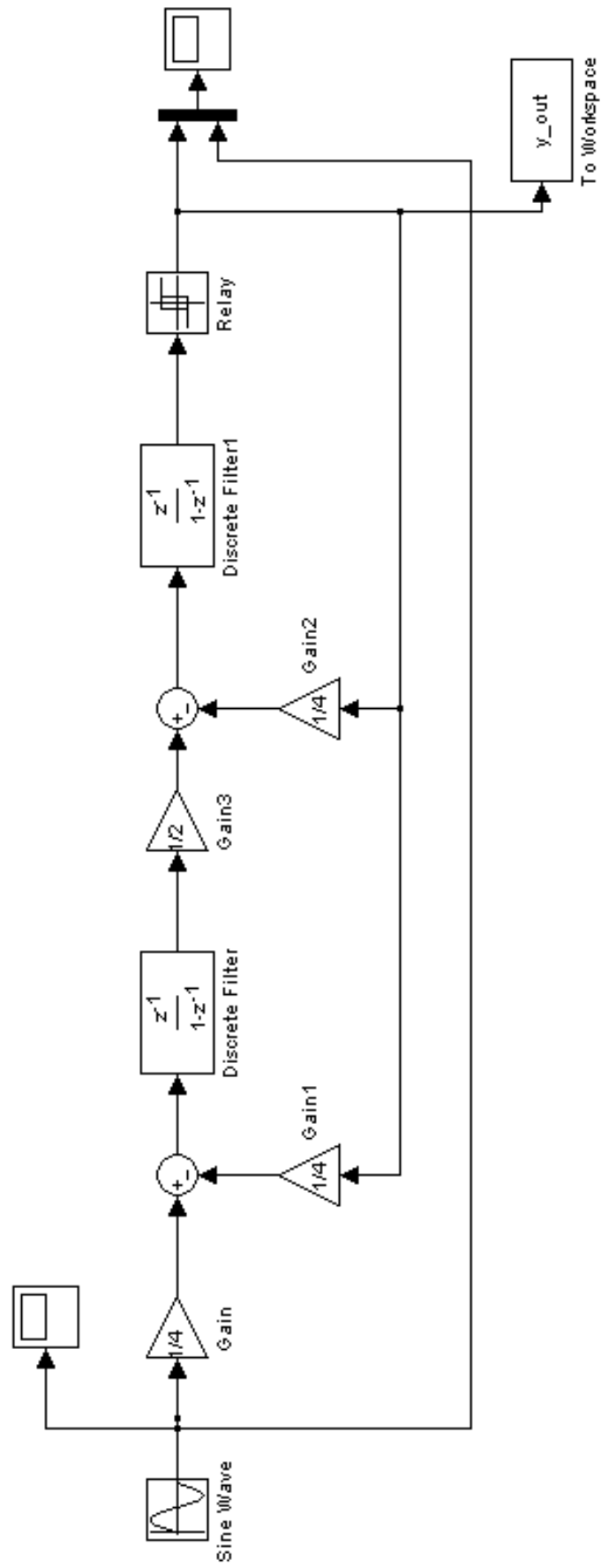


Figura 51 Modelo ideal do modulador de 2 ordem simulado no Simulink.

No primeiro teste do modulador foi inserida uma senóide de 10kHz e amplitude de 2V de pico amostragem de 4MHz, que corresponde a $OSR=200$. A escolha de 2V foi feita para permitir análise do comportamento do circuito no limite de operação da saturação do quantizador. Na Figura 52 é mostrada a entrada (rosa) e saída (amarelo) do modulador. Já na Figura 53 é apresentada a saída do modulador para uma entrada de 3V de pico. Para essa entrada o modulador está trabalhando na zona de *overload* do quantizador, ou seja, a partir de 2V o erro do quantizador tende a crescer linearmente. Este fato implica em uma instabilidade do sistema, conforme a Figura 53.

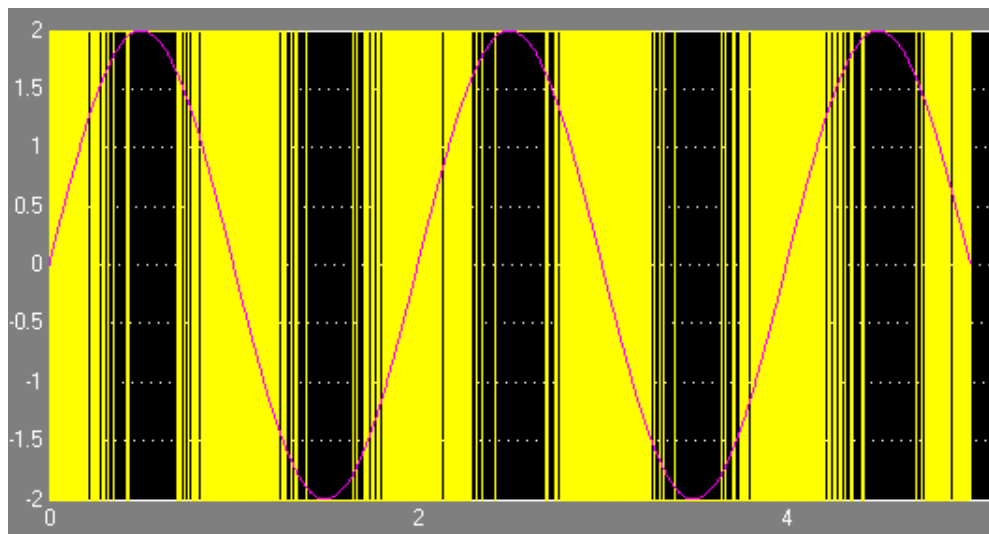


Figura 52 Resultado da simulação no Simulink para um sinal de entrada de $2V_p$ e 10kHz.

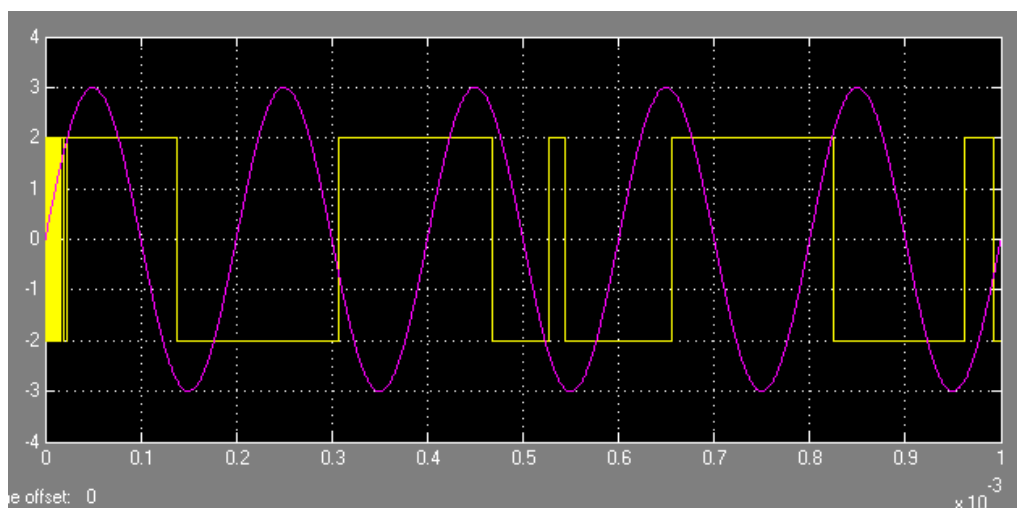


Figura 53 Saída do modulador para uma entrada de $3V_p$ e 10kHz.

No restante da análise dos resultados em todas as etapas do projeto foi utilizada uma senoide de 5KHz e $1 V_{RMS}$. Na Figura 54 é mostrada a saída do modulador para entrada da onda de teste.

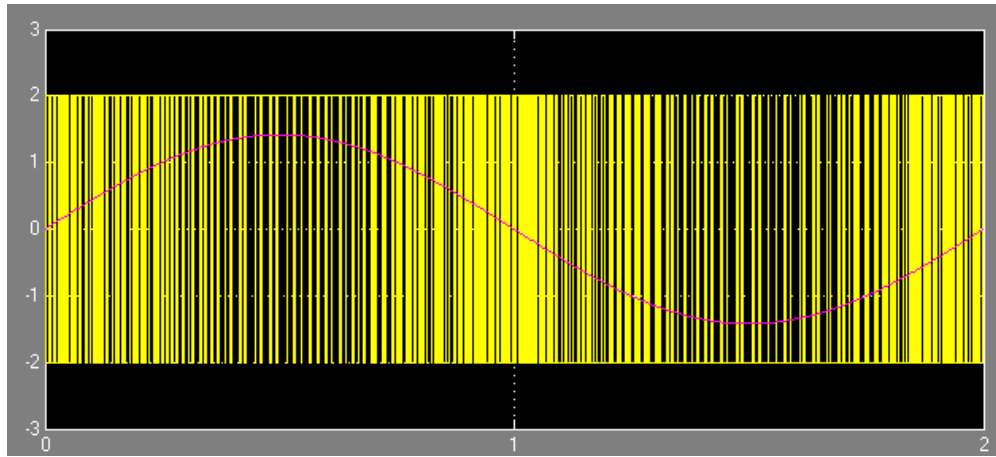


Figura 54 Saída do modulador para $x=1V_{RMS}$ e 5KHz.

Na Figura 55 é apresentada a densidade espectral do sinal de saída do modulador para um tempo total 0.05s, o que resultou em um vetor de 200001 posições. Conforme Figura 55 observa-se que o ruído é deslocado para altas frequências.

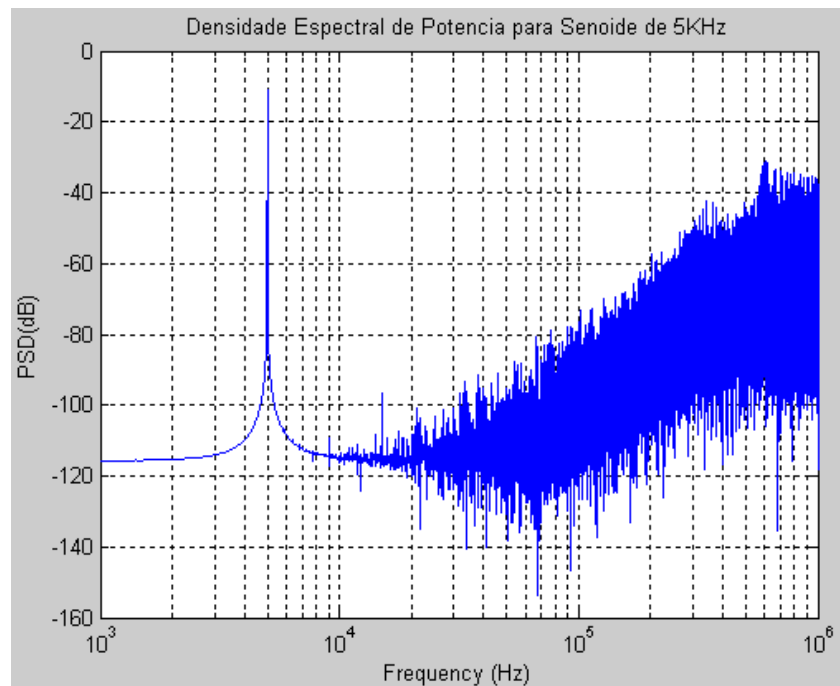


Figura 55 Densidade espectral de potência para uma senoide de 5KHz.

Na Figura 56 é mostrado um detalhe da a Figura 55 com destaque para banda de interesse do sinal. Para cálculo do DR foi considerado o máximo valor de PSD encontrado dentro faixa de 0 a 10KHz e a média da potência do ruído entre 10KHz e 20KHz. O valor obtido foi 103dB.

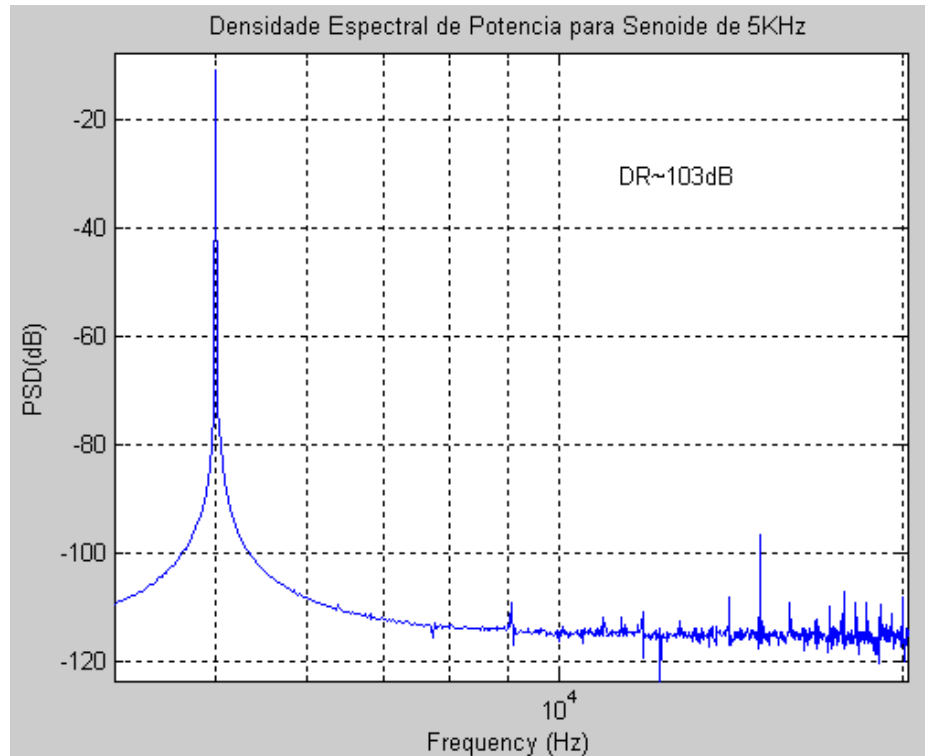


Figura 56 PSD com destaque para banda de interesse.

8.2 Simulações do Modulador de 2ª Ordem – AnadigmDesigner2

Após a modelagem em Matlab, o circuito foi implementado no software de desenvolvimento AnadigmDesigner2, como mostra a Figura 57. Para prototipação deste modulador foi necessário utilização de dois kits de desenvolvimento AN23K04-DVLP3. Isto porque o FPAA AN231DE04 não possui a capacidade para implementar todo o circuito do modulador de 2ª ordem em único kit de desenvolvimento. Na Figura 58 e Figura 59 são apresentado os resultado da simulação do circuito descrito para entrada de $2V_P$ e $1V_{RMS}$ respectivamente.

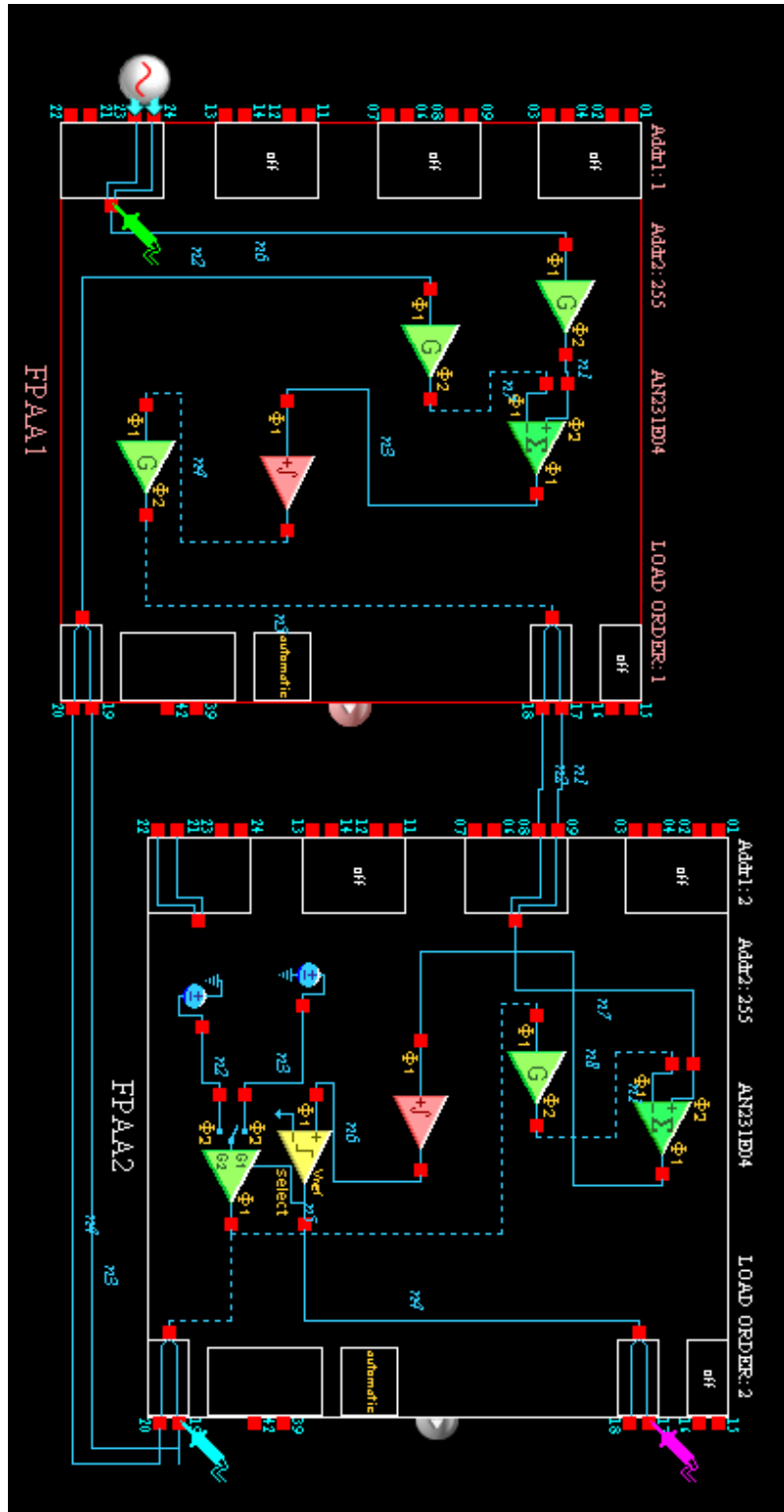


Figura 57 Modulador Sigma-Delta descrito no Anadigm Designer2.

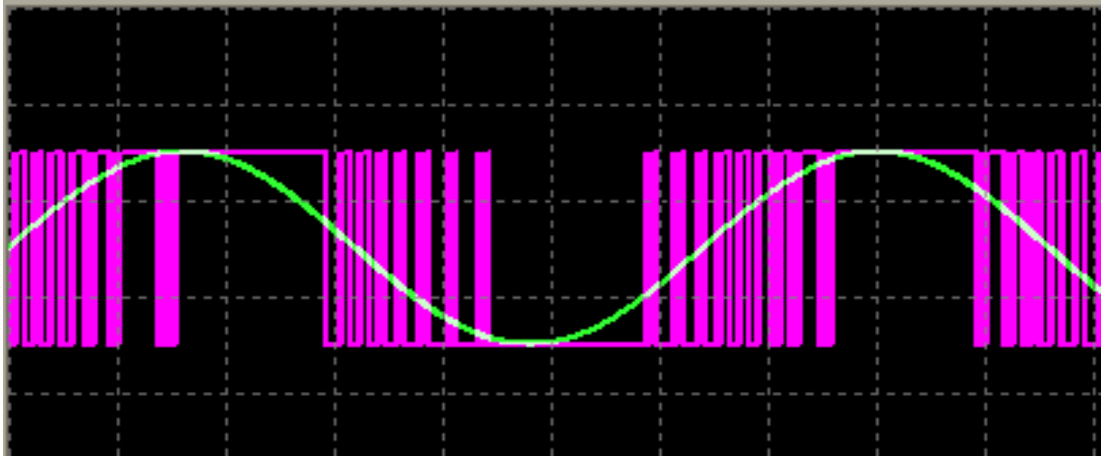


Figura 58 Resultado da Simulação no AnadigmDesigner2 $\times=2V$.

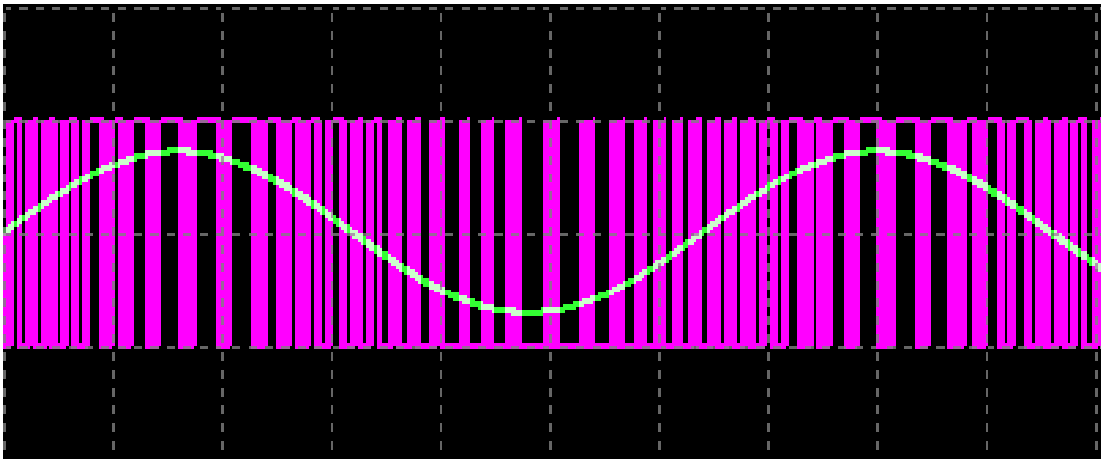


Figura 59 Resultado da Simulação no AnadigmDesigner2 $\times=1V_{RMS}$.

8.3 Prototipação em FPAA

Para prototipação foi utilizado o FPAA AN321DE04 apresentado no capítulo 2. O circuito descrito no AnadigmDesigner2 foi gravado em 2 FPAAs e polarizado com sinais de alimentação, clock e entrada. Na Figura 60 é mostrado o ambiente de prototipação e aquisição de dados.

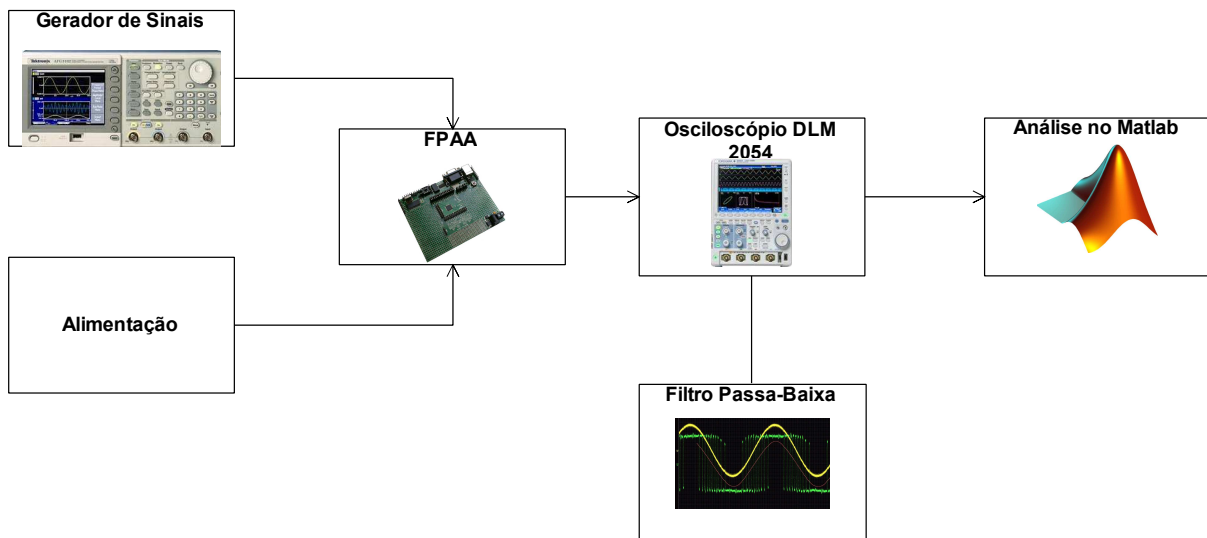


Figura 60 Ambiente para teste e aquisição dos sinais do modulador.

Na Figura 61 e Figura 62 são apresentados os resultados da saída do modulador (verde) para uma entrada senoidal (amarelo) de 10kHz e amplitude 2V_p.

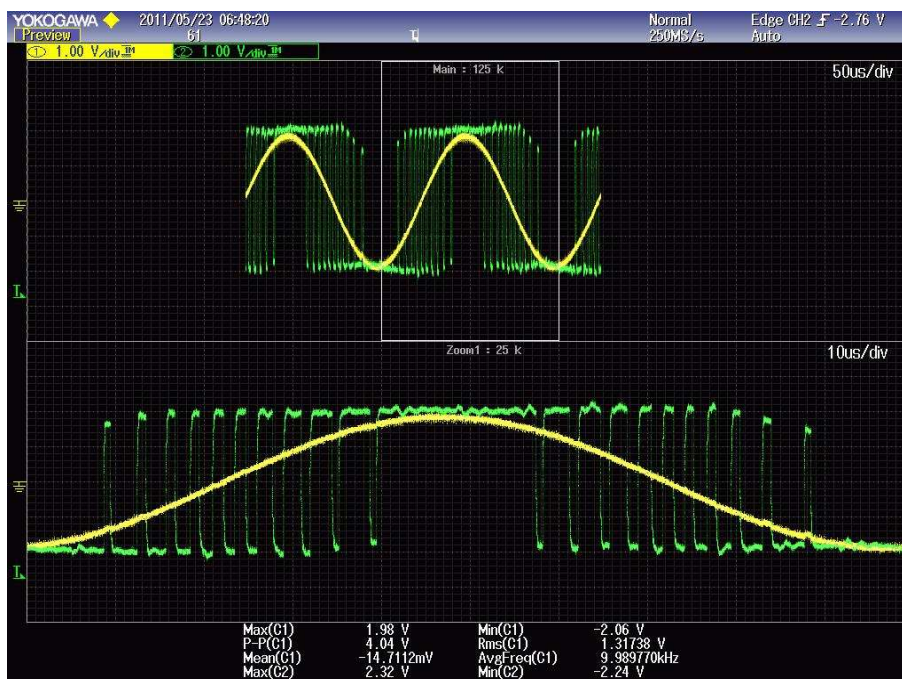


Figura 61 Saída do modulador parte positiva da senóide (verde).

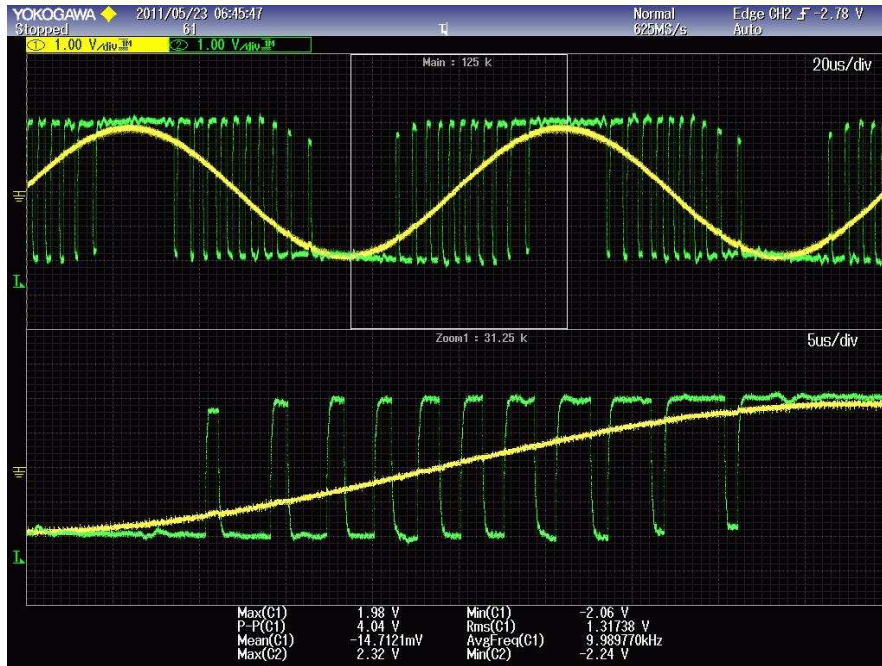


Figura 62 Saída do modulador com destaque na parte crescente da senóide.

Foi realizado no próprio osciloscópio a operação matemática de um Filtro IIR passa-baixa com frequência de corte 15kHz aplicado ao sinal de saída do modulador. O resultado é apresentado na Figura 63, onde em vermelho tem-se a saída do modulador filtrada.

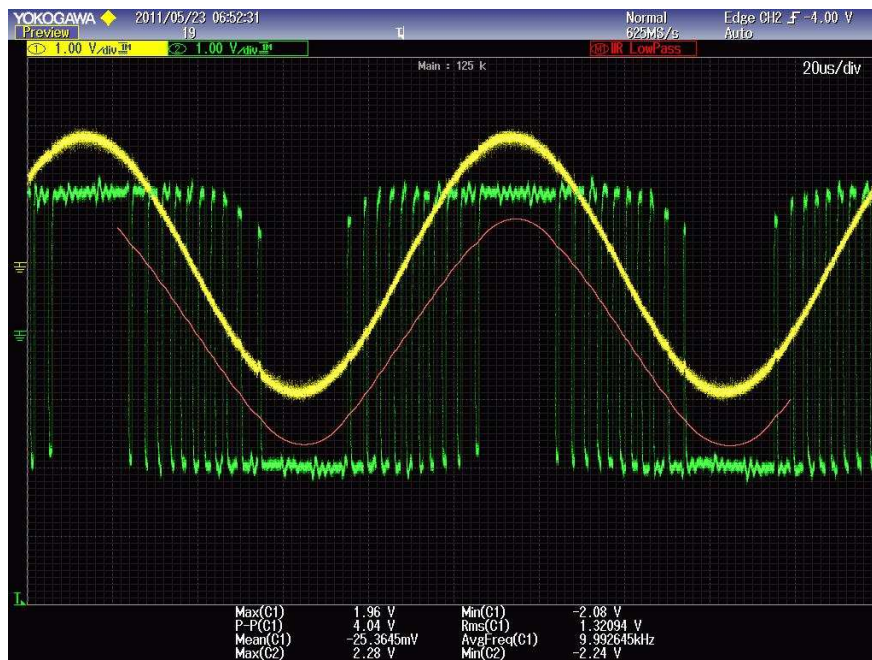


Figura 63 Saída do modulador aplicado um filtro IIR no osciloscópio (vermelho).

O resultado está de acordo com esperado, pois o filtro está eliminando todo o ruído que foi inserido na conversão. Assim, a componente espectral do sinal não será atenuada, pois se encontra na faixa de 10kHz. Contudo, conforme a

Figura 63 pode-se perceber que a onda filtrada tem uma distorção em relação à onda original (amarelo). Este fato se deve por efeitos de não idealidades do circuito implementado no FPAA. Na Figura 64 e Figura 65 é apresentada a densidade espectral de potência da saída do modulador para entrada de 5kHz e $1V_{RMS}$. A taxa de amostragem para medida utilizada no osciloscópio para aquisição de dados foi de 1.25GS/s.

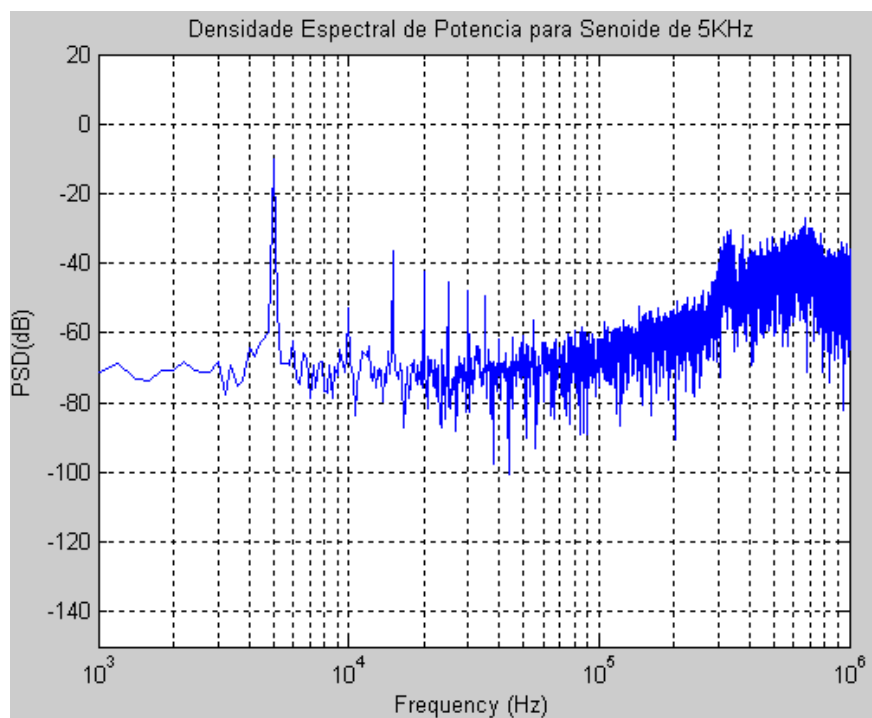


Figura 64 Densidade espectral de potência da saída do modulador implementado em FPAA.

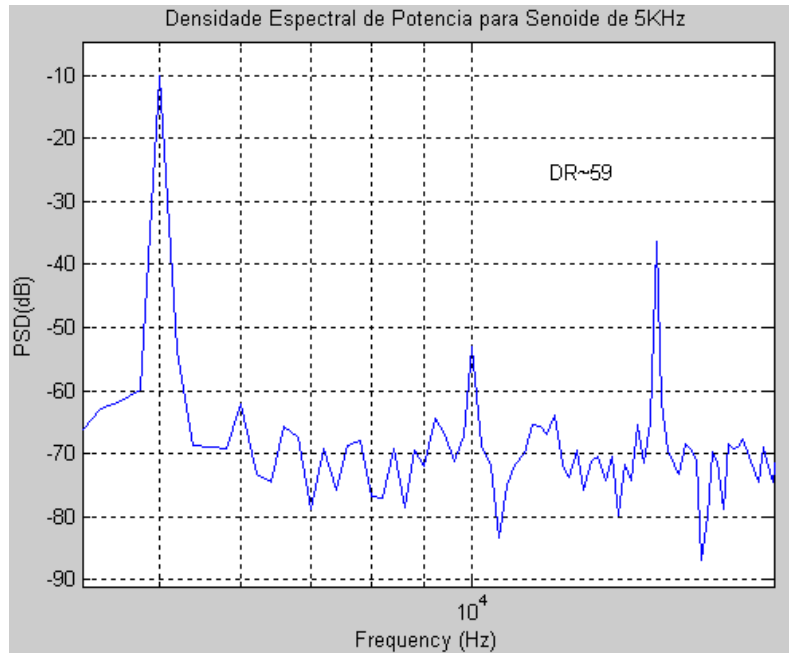


Figura 65 Densidade espectral de potência da Figura 64. .

Em comparação com os resultados da Figura 56, o modulador implementado teve pior desempenho que o modelo ideal. Conforme a Figura 66, modulador real não conseguiu atenuar os ruídos próximos da banda do sinal com o mesmo desempenho que o circuito ideal.

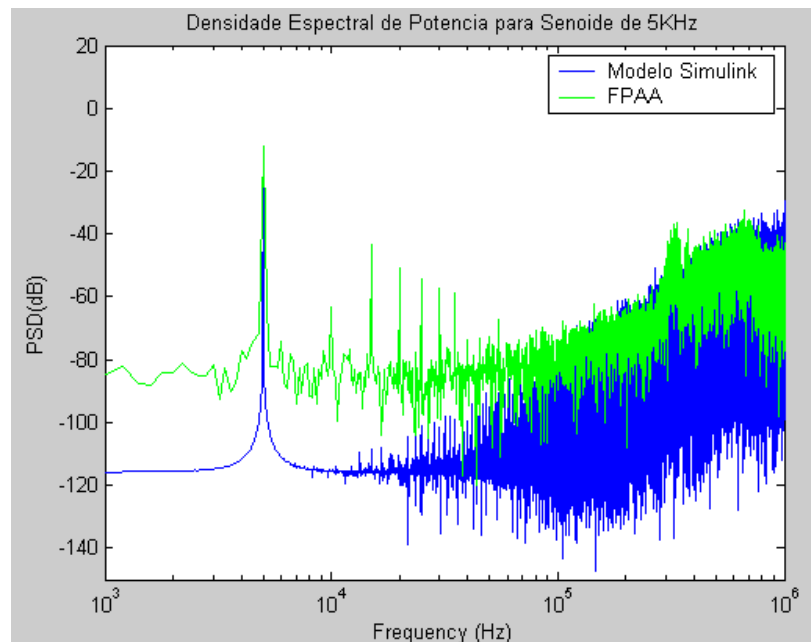


Figura 66 Comparação da *PSD* entre o modelo ideal e o resultado medido.

A *DR* máxima obtida por este modulador foi de aproximadamente 59dB. Este resultado é menor do que o resultado teórico pretendido, pois o circuito real tem perdas que não foram considerados no modelo ideal. Na Tabela 6 são mostrados os resultados da implementação do modulador sigma-delta em FPAA em comparação com outros projetos dos moduladores em circuitos integrados dedicados utilizando as técnicas de capacitor e corrente chaveada (C. A. Prior, 2009).

Tabela 6 Comparação do modulador implementado em FPAA com ASIC com técnica capacitor (SC) e corrente chaveada (SI).

Referência Parâmetros	Este Trabalho	SC C. A. Prior, 2009	SI C. A. Prior, 2009
Processo (μm)	-	0.6	0.6
Tensão (V)	9	5	3
Arquitetura (Ordem)	2	2	2
Frequência de Sobreamostragem (MHz)	4	5	5
<i>OSR</i>	200	256	256
<i>DR</i> (dB)-prático	~59	~75	~60
<i>enob</i>	9	12	9

SC- capacitor chaveado

SI- corrente chaveada

Conforme a Tabela 1° este projeto desenvolvido neste trabalho obteve resultado satisfatório quando comparado com as implementações SC e SI. Em relação a SI o desempenho do modulador obteve praticamente o mesmo desempenho em relação à *DR* e *enob*. Contudo, o

circuito SI é full-custon enquanto o FPAA possui diversos outros blocos analógicos que pode ser utilizados em paralelo em outras aplicações e podem ser reconfigurados dinamicamente.

O FPAA operou com *OSR* de 200, enquanto nos projetos SC e SI foi de 256. Conforme a equação 45 a potência de erro dentro da banda sinal é inversamente proporcional a *OSR*. Assim, o FPAA irá inserir maior ruído dentro da banda do sinal que irá diminuir *DR*. Portanto, os resultados seriam melhores se fosse possível aumentar *OSR*. Mas para o modelo real este valor não apresentou grande impacto no desempenho do modulador. Em relação SC o modulador implementado em FPAA teve valores na mesma faixa. Para o número de bits SC obteve 12 bit enquanto neste trabalho 9 bits. Assim, torna-se interessante à implementação deste modulador em FPAA, pois se obteve resultados semelhantes a técnicas que exigem maior tempo de projeto e conhecimento de circuitos analógicos.

CONSIDERAÇÕES FINAIS

Este trabalho apresentou a implementação do modulador sigma-delta de 2ª ordem em *FPAA* com especificação para o monitoramento da qualidade de energia da rede elétrica. Foi realizada a modelagem do modulador e simulação do modelo ideal no Simulink e analisado os resultados de desempenho. Posteriormente foram capturados os resultados do modulador prototipado em *FPAA*. Os dados foram adquiridos a uma taxa de 1.25GS/s e importado para o Matlab para análise da densidade espectral de potência do sinal e *DR*.

Destaca-se nesse trabalho a simplicidade de utilizar este dispositivo reprogramável para projetos de circuitos analógicos. Os resultados de desempenho obtido com *FPAA* foi muito próximo dos moduladores implementados com circuito integrado de 0.6μm. Assim, torna-se interessante a implementação deste modulador em *FPAA* conforme as especificações de consumo, área e desempenho. Também é possível futuramente desenvolver outros tipos de arquiteturas sigma-delta no *FPAA* para maximizar o desempenho do circuito.

REFERÊNCIAS BIBLIOGRÁFICAS

Tiago Roberto Balen. TESTE DE DISPOSITIVOS ANALÓGICOS PROGRAMÁVEIS (FPAAs) - Dissertação de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, 2006.

R. del Río, F. Medeiro, B. Pérez-Verdú, J.M de la Rosa, Á. Rodríguez-Vázquez . CMOS Cascade Sigma-Delta Modulators for Sensors and Telecon, Error Analysis and Practical Design-Springer, 2006.

Analog Devices. Low Cost, Power Mono Audio Codec AS74111. Disponível em http://www.analog.com/static/imported-files/data_sheets/AD74111.pdf - Acesso 02 maio 2011.

Sangil Park. Principles of sigma-Delta Modulation for Analog-to-Digital Converters-Motorola Digital Signal Processors.

Cesar Augusto Prior . PROCESSAMENTO DE SINAIS ANALÓGICOS AMOSTRADOS UTILIZANDO TÉCNICAS DE CHAVEAMENTO A CAPACITOR E A CORRENTE APLICADAS À CONVERSÃO AD SIGMA-DELTA-Tese de Dissertação do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Maria, 2009.

Sanahuaja R., Barcons V., Balado L., Figueras J. Experimental Test Bench for Mixed-Signal Circuits Based on FPAA Devices — Departament d'Enginyeria Electrònica, Universitat Politècnica de Catalunya – DCIS 2003

Anadigm – AN23K04-DVLP3 – AnadigmAPex Development Board, 2006.

Anadigm – AN23E04 Datasheet Ver 1.1, 3rd Generation Dynamically Reconfigurable dpASP, 2007.

Li Tan. Digital Signal Processing Fundamentals and Applications – Elsevier, 2008.

Paulo Gustavo Raymundo Silva. Estudo dos limites de Performance dos Moduladores $\Sigma\Delta$ Implementados com Circuitos a Capacitores Chaveado – Dissertação Submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, 2001

Steven R. Norsworthy, Richard Schreier, Gabor C. Temes. Delta-Sigma Data Converters Theory, Design, and Simulation, IEEE Circuits & Systems Society, 1997.

Curso de Matlab 5.1 Introdução à Solução de Problemas de Engenharia, 2^a Edição Revista e Ampliada – Universidade do Estado do Rio de Janeiro.

Ray C.C. Cheung, K. P. Pun, Steve C. L. Yuen, K. H. Tsoi, Philip H. W. Leong. An FPGA - based Re-configurable 24-bit 96KHz Sigma-Delta Audio DAC - Department of Electronic Engineering and Department of Computer Science & Engineering, The Chinese University of Hong Kong, 2005.

Daniel Fávero. Conversor Analógico Digital $\Sigma\Delta$ Para um Sistema em Chip - Universidade De Brasília Faculdade de Tecnologia Departamento de Engenharia Elétrica, 2003.