

UNIVERSIDADE FEDERAL DO PAMPA

FABIO DUARTE DA FONSECA

**PROJETO DE UM CONVERSOR DIGITAL-ANALÓGICO *CURRENT-STEERING*
SEGMENTADO DE 8-BITS PARA APLICAÇÕES BIOMÉDICAS**

**Alegrete
2021**

FABIO DUARTE DA FONSECA

**PROJETO DE UM CONVERSOR DIGITAL-ANALÓGICO *CURRENT-STEERING*
SEGMENTADO DE 8-BITS PARA APLICAÇÕES BIOMÉDICAS**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do Título de Bacharel em Engenharia Elétrica.

Orientador: Paulo César Comassetto Aguirre

**Alegrete
2021**

FABIO DUARTE DA FONSECA

PROJETO DE UM CONVERSOR DIGITAL-ANALÓGICO *CURRENT-STEERING* SEGMENTADO DE 8-BITS PARA APLICAÇÕES BIOMÉDICAS

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica da Universidade Federal do Pampa, como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica.

Trabalho de Conclusão de Curso defendido e aprovado em: 23 de setembro de 2021.

Banca examinadora:

Prof. Dr. Paulo César Comassetto de Aguirre

Orientador

UNIPAMPA

Prof. Dr. Alessandro Gonçalves Girardi

UNIPAMPA

Prof. Dr. André Luiz Aita

UFSM

Assinado eletronicamente por **ALESSANDRO GONCALVES GIRARDI, PROFESSOR DO MAGISTERIO SUPERIOR**, em 23/09/2021, às 18:07, conforme horário oficial de Brasília, de acordo com as



normativas legais aplicáveis.



Assinado eletronicamente por **André Luiz Aita, Usuário Externo**, em 23/09/2021, às 18:07, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 23/09/2021, às 18:07, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **0621863** e o código CRC **F6BA675C**.

Universidade Federal do Pampa, Campus Alegrete
Av. Tiarajú, 810 – Bairro: Ibirapuitã – Alegrete – RS CEP: 97.546-550

Telefone: (55) 3422-8400

Ficha catalográfica elaborada automaticamente com os dados fornecidos
pelo(a) autor(a) através do Módulo de Biblioteca do
Sistema GURI (Gestão Unificada de Recursos Institucionais).

F676p FONSECA, FABIO DUARTE DA
PROJETO DE UM CONVERSOR DIGITAL-ANALÓGICO CURRENT-
STEERING SEGMENTADO DE 8-BITS PARA APLICAÇÕES BIOMÉDI-
CAS/ FABIO DUARTE DA FONSECA.

59 p.

Trabalho de Conclusão de Curso (Graduação) --
Universidade Federal do Pampa, ENGENHARIA ELÉTRICA,
2021.

"Orientação: Paulo César Comassetto de Aguirre".

1. Conversores de dados. 2. Aplicações a sinais
biomédicos. 3. Neuroestimulação. 4. Implementação de um
conversor Digital/Analógico. 5. Comparação de DACs.
I. Título.

Dedico este trabalho aos meus pais por todo apoio, amor e carinho que tem me proporcionado ao longo da minha trajetória.

AGRADECIMENTOS

À Deus primeiramente por me propiciar a vida e me abençoar com a oportunidade de estudar nesta Universidade.

À minha família, pelo amor e carinho incondicional, especialmente à minha mãe Mirian Duarte da Fonseca, a quem eu serei eternamente grato, pela incansável e constante dedicação para comigo, a ela dedico todos os meus esforços.

À Universidade Federal do Pampa, pelo espaço físico e pelo ensino de qualidade que me proporcionou, assim como aos professores que colaboraram direta ou indiretamente para a minha formação acadêmica.

Aos meus amigos João Fernandes, Kelton Severo, Luan Pereira, Martina Rodrigues, Rhuan Beling e Vinícius Rodrigues que sempre foram companheiros, me deram todo suporte e apoio.

Aos meus padrinhos José Oliveira (*In Memoriam*), Maria Alice, Alfredo Carmo e Marlene de Abreu, pelo grande incentivo e cuidado que sempre tiveram comigo.

Ao meu orientador Prof. Dr. Paulo César Comassetto de Aguirre, pela orientação, dedicação, sugestões e aprendizado.

À minha Banca de Examinadores o Prof. Dr. André Luiz Aita e o Prof. Dr. Alessandro Gonçalves Girardi pelas valiosas contribuições na minha defesa de TCC.

“Sem ação, as melhores intenções do mundo são nada mais do que isso: intenções.”

O Lobo de Wall Street

RESUMO

Neste trabalho é apresentado o projeto de um conversor digital-analógico (DAC) capaz de enviar ao sistema neurológico, sinais elétricos de neuroestimulação. Este dispositivo terá a capacidade de atenuar ou reduzir as deficiências causadas por falhas de contatos elétricos entre os axônios e com isso, amenizar as dificuldades enfrentadas por pacientes que sofrem com doenças degenerativas do sistema nervoso sensorial, como a doença de Parkinson. Serão apresentados os conceitos e técnicas de implementação e aprimoramentos do conversor de dados, que irá realizar a intercomunicação entre o módulo de controle e a via neural. Este projeto utiliza um conversor de dados do tipo digital para analógico current-steering segmentado de 8-bits desenvolvido em tecnologia CMOS de 180nm com corrente máxima de estimulação de $255\mu\text{A}$. A utilização de um bloco decodificador de código digital para termômetro, construído com portas lógicas a nível de transistores, se fez necessário para o controle do chaveamento das células e seu diagrama construtivo é apresentado. Os aprimoramentos e otimizações deste conversor foram realizadas através da análise da curva de corrente de saída, atenuando os ruídos de chaveamento através do avanço da comutação entre o desvio das fontes de corrente das células e a definição da melhor razão das dimensões dos transistores da fonte de corrente via simulações de Monte Carlo. O teste de variabilidade das características estáticas, foi realizado e verificou-se que o DAC apresentou um INL/DNL máximo de 1.5/1 LSBs para 500 rodadas de simulação. Análises separadas dos blocos em questão e as especificações e dados de projeto também são devidamente analisados neste trabalho.

Palavras-Chave: Conversores de Dados. Conversor Digital-Analógico. Microeletrônica. CMOS.

ABSTRACT

This work presents the design of a digital-to-analog converter (DAC) capable of sending electrical neurostimulation signals to the neurological system. This device will have the ability to attenuate or reduce the deficiencies that cause the failure of electrical contacts between the axons and, thus, alleviate the difficulties faced by patients who suffer from degenerative diseases of the sensory nervous system, such as Parkinson's disease. The concepts and techniques for implementing and improving the data converter will be multiplied, which will carry out the intercommunication between the control module and the neural pathway. This project uses an 8-bit segmented current-steering DAC designed in a 180-nm CMOS technology with a maximum stimulation current of 255 μA . The use of a binary-to-thermometer decoder designed with transistor-level logic gates was necessary to control the built with logic gates at a transistor level, was necessary to control the switching of cells and its constructive diagram is presented. The improvements and optimizations of this converter were carried out through the analysis of the output current curve, attenuating the switching noises by advancing the switching between the deviation of the current sources of the cells and the definition of the best sizing of the current sources transistors through Monte Carlo simulations. current source via Monte Carlo simulations. The variability test of static characteristics was performed and it was found that the DAC presented a maximum INL / DNL of 1.5 / 1 LSBs for 500 simulation runs. Separate analysis of those circuits, the circuits specification and design data are also provided in this work.

Keywords: Data Converters. Digital-to-Analog Converter. Microelectronics. CMOS.

LISTA DE SÍMBOLOS

mV – Milivolt

dBc - Decibel Portadora

dB - Decibel

μ A - Microampère

mA - Miliampère

Hz - Hertz

V -Volt

μ m - Micrômetro

°C - Celsius

® - Marca Registrada

Ω - Ohm

LISTA DE ABREVIATURAS

A/D – Analógico para Digital

D/A – Digital para Analógico

CMOS - *Complementary metal-oxide-semiconductor* / Semicondutor de metal-óxido complementar

DC – *Direct Current* / Corrente Contínua

MOS - *Metal-oxide-semiconductor* / Semicondutor de metal-óxido

PCM - *Pulse-code modulation* / Modulador por código de pulso

PMOS – *P - metal-oxide-semiconductor* / *P -* Semicondutor de metal-óxido

NMOS - *N - metal-oxide-semiconductor* / *N -* Semicondutor de metal-óxido

ADC – *Analogic-to-Digital Converter* / Conversor analógico-digital

DAC – *Digital-to-Analogic Converter* / Conversor digital-analógico

ENOB - *Effective number of bits* / Número efetivo de bits

SNR – *Signal-to-noise ratio* / Relação sinal ruído

SNDR – *Signal-to-noise-and-distortion ratio* / Relação sinal ruído e distorção

SFDR - *Spurious Free Dynamic Range* / Faixa dinâmica livre de espúrios

SoC – *System on Chip* / Sistema em um chip

LISTA DE FIGURAS

Figura 1 – Processo de conversão de sinais A/D e D/A.....	16
Figura 2 – Conceito de um sistema de neuroestimulação ... campo magnético.....	17
Figura 3 – Conversor D/A em aplicação para processamento de sinais	19
Figura 4 – Função de transferência para um DAC ideal	20
Figura 5 – Erros de ganho e offset em um conversor bipolar.....	21
Figura 6 – Métodos de obter o valor de INL	21
Figura 7 – Função de transferência de um DAC não ideal.....	22
Figura 8 – Faixa dinâmica livre de espúrios (SFDR)	24
Figura 9 – Conversor D/A com referência externa	25
Figura 10 – Exemplo de um conversor DAC de 1 bit	25
Figura 11 – Um conversor D/A de 3 bits em arquitetura DAC Resistivo	26
Figura 12 – Conversor D/A com arquitetura de termômetro para 3 bit.....	27
Figura 13 – Conversor D/A de 4 bits em arquitetura por Binary-Weighted.....	28
Figura 14 – DAC segmentado de 6 bits com dois DACs termômetro de 3 bits	29
Figura 15 – DAC de peso binário de 6 bits.....	31
Figura 16 – Esquemático do circuito apresentado	32
Figura 17 – Experimento de estimulação in-vitro	33
Figura 18 – Estágio de potência do neuroestimulador	33
Figura 19 – Formato de uma neuroestimulação.....	34
Figura 20 – Esquemático para análise DC da corrente sobre os...M21 e M22	39
Figura 21 – Função de transferência.....	39
Figura 22 – Simulação de Monte Carlo - INL	40
Figura 23 – Curvas RMS das amostras de Monte Carlo – INL RMS.....	40
Figura 24 – Simulação de Monte Carlo - DNL.....	41
Figura 25 – Curvas RMS das amostras de Monte Carlo – DNL RMS.....	41
Figura 26 – Diagrama de blocos do DAC	43
Figura 27 – Circuito Lógico inversor com transistores CMOS	43
Figura 28 – Esquemático do DAC Segmentado deste trabalho.	44
Figura 29 – Níveis de conversão com chaves com $W/L = 2\mu\text{m}/1\mu\text{m}$	45
Figura 30 – Níveis de conversão com chaves com $W/L 220\text{nm}/180\text{nm}$	46
Figura 31 – Circuito para geração dos sinais de controle das...de corrente.....	47
Figura 32 – Estágio de saída e caminho dump do DAC.....	47

Figura 33 – Análise DC da tensão no nó OUT_STAGE em...saída do DAC	48
Figura 34 – Estágio de potência conectado à carga.	49
Figura 35 – Lógica para decodificação de código binário para termômetro	50
Figura 36 – Curva de resposta da faixa de trabalho do DAC	51
Figura 37 – Simulação de Monte Carlo para 500 rodadas - INL e DNL	52
Figura 38 – Forma do pulso do estimulador	53
Figura 39 – Corrente de saída do DAC para um sinal de entrada...de 200 Hz	54
Figura 40 – Espectro de frequências na saída do DAC	55

LISTA DE TABELAS

Tabela 1 – Especificações do DAC projetado	37
Tabela 2 – Equações características para erros de INL e DNL.....	41
Tabela 3 – Comparação entre este trabalho com referências.....	56

SUMÁRIO

1 INTRODUÇÃO.....	10
1.1 Justificativa.....	12
1.2 Objetivos	13
1.2.1 Objetivo Geral	13
1.2.2 Objetivos Específicos	13
1.3 Organização deste trabalho	14
2 CONCEITOS GERAIS E REVISÃO DE LITERATURA	15
2.1 Uma breve apresentação sobre conversores de dados	15
2.2 Síntese sobre o sistema nervoso	16
2.3 A conversão de sinais	18
2.4 Especificações estáticas dos conversores	19
2.5 Especificações dinâmicas dos conversores.....	22
2.6 Principais arquiteturas de DACs	24
2.6.1 DAC do tipo divisor resistivo	25
2.6.2 DAC Termômetro.....	27
2.6.3 DAC de Pesos Binários	27
2.6.4 DAC Segmentado.....	28
2.7 Aplicações em Sistemas Neurais.....	30
3 METODOLOGIA	35
3.1 Métodos de Projeto.....	35
3.2 Proposta.....	35
3.2.1 Especificações de Projeto	36
3.2.2 Ambiente de Simulação.....	37
4 PROJETO E SIMULAÇÕES EM NÍVEL DE ESQUEMÁTICO	38
4.1 Comparativo entre DACs segmentados, binários e termômetros	38
4.2 Implementação do DAC.....	42
4.3 Decodificador Binário para Termômetro	49
5 RESULTADOS	51
5.1 Curva de Resposta.....	51

5.2 Análise das características estáticas	51
5.3 Análise da tensão sobre a carga	53
5.4 Análise das características dinâmicas	53
5.5 Comparativo de resultados e ficha técnica	55
6 CONSIDERAÇÕES FINAIS	57
REFERÊNCIAS.....	58

1 INTRODUÇÃO

O corpo humano é dotado de inúmeros receptores que se diferem entre si nas capacidades de receberem estímulos do mundo externo, sendo suas funções de extrema importância para a interpretação do sistema nervoso (Kleiner, A. et al., 2011).

Em 1937, Penfield e Boldrey estimularam eletricamente a superfície cortical de pacientes submetidos a cirurgia cerebral, a fim de mapear as áreas responsáveis pelo recebimento e envio das informações relacionadas aos sentidos. Estudos posteriores usaram gravações eletrofisiológicas em primatas não humanos e neuroimagem funcional em humanos em resposta a algum estímulo sensorial para identificar e caracterizar ainda mais o sistema somatossensorial cortical. Desde então, pesquisadores tem se aprofundado cada vez mais no tema que envolve a mente com o intuito de encontrar meios de contornar imperfeições e falhas em conexões relacionadas ao sensoriamento de um indivíduo (Grosman, 2020).

As vias neurais são percorridas por correntes elétricas, que trafegam por uma malha, ligando os axônios aos dendritos e dando a capacidade do corpo em receber e transmitir a um membro. A nível elétrico, essas correntes podem ser definidas como comandos que irão estimular um músculo, fazendo-o executar movimentos coordenados de acordo com o desejado pelo paciente (Mendonça, 2021).

No entanto, a recepção de sinais e estímulos gerados podem ser comprometidos caso haja falhas no caminho que esta corrente deveria percorrer, causando deficiências em pacientes na aquisição dos sentidos ou perdas do controle de movimentos e equilíbrio, a depender do sistema afetado (Kleiner, A. et al., 2011).

Com avanço da neurologia e a facilitação de implantes definitivos no corpo humano, tornou-se possível unir a tecnologia dos sistemas de circuito integrado para o bem-estar e a saúde dos pacientes comprometidos com doenças relacionadas ao cérebro (Yu, Z. et al., 2020).

Além disso, a participação ativa destes componentes eletrônicos no tratamento, possibilita a regeneração de movimentos e sentidos, através de sensoriamentos auxiliares que podem ser processados por unidades de controle e enviá-los diretamente às partes responsáveis por lidar com a informação, no nível de corrente ideal e com elevada confiabilidade.

Nesse contexto, com o interesse na aplicação da microeletrônica no tratamento destes pacientes, os conversores de dados podem ser aplicados para efetuar a

interligação entre os detectores de sentidos e a transmissão do sinal ao destino, via estimulação, possibilitando um novo tráfego para a corrente elétrica e devolvendo a plenitude das funções do sistema nervoso.

1.1 Justificativa

Nos últimos anos vários pesquisadores têm estudado a possibilidade de realizar o controle de deficiências relacionadas ao sistema nervoso. É possível encontrar na literatura científica contemporânea inúmeros relatos de modelos de aparelhos com o intuito de atuar ativamente em tratamentos de neuroestimulação. A proposta desde o início do trabalho, foi a possibilidade de unir a microeletrônica com uma aplicação inabitual, além de poder contribuir para futuros projetos mais avançados na área.

Ao realizar buscas na literatura contemporânea verificamos que a utilização de conversores digital-analógico (DAC) para aplicações em sinais de neuroestimulação é muito debatida e que pode vir a facilitar o tratamento de pacientes com deficiências advindas do sistema neurológico. O DAC tem se mostrado altamente viável, visto que as dimensões físicas e suas características elétricas de baixo consumo possibilita a implantação deste no corpo humano para realização de procedimentos terapêuticos, a fim de atenuar ou mesmo eliminar as dificuldades físicas de pacientes.

Portanto, de acordo com o apresentado surgiu a motivação para a o desenvolvimento deste trabalho.

1.2 Objetivos

1.2.1 Objetivo Geral

O presente trabalho tem como objetivo principal desenvolver um conversor digital-analógico segmentado de 8-bits para compor um sistema para neuroestimulação. O DAC apresentado neste trabalho foi projetado em tecnologia CMOS 180 nm

1.2.2 Objetivos Específicos

Dentre os objetivos específicos do trabalho estão:

- a) Estudar as topologias de DACs compatíveis para o projeto;
- b) Implementar a topologia e seus blocos de controle;
- c) Realizar a análise das variáveis dinâmicas e estáticas e definir as modificações necessárias no projeto;
- d) Verificar a robustez do circuito projetado sob variações de processo a partir de simulações de Monte Carlo;
- e) Estabelecer as características técnicas do dispositivo projetado;

1.3 Organização deste trabalho

O presente trabalho é estruturado em cinco capítulos que fazem a abordagem sobre conversores de dados e suas aplicações, mostra o modelo projetado as informações coletadas pós-simulação em nível esquemático.

No segundo capítulo é realizada uma breve revisão sobre os conceitos do sistema nervoso e a utilidade dos conversores na medicina. Também são estudadas as topologias mais utilizadas para a construção e uma comparação com trabalhos já executados.

Em seguida, no terceiro capítulo são apresentados os métodos utilizados para a implementação, utilização da plataforma e definições das especificações de projeto com base na literatura vista no capítulo anterior.

Logo após, o quarto capítulo apresenta a comparação entre as topologias para definição da mais adequada, simulações e apresentação dos blocos de controle e estágios para o perfeito funcionamento do projeto.

No quinto capítulo, a caracterização do DAC e a análise de resultados é efetuada, a fim de mostrar a viabilidade do projeto para fins de fabricação e aplicação.

Por último, as considerações sobre o trabalho apresentam a visão do autor sobre o trabalho em geral e a qualidade do circuito projetado e as possíveis melhorias a serem realizadas em trabalhos futuros.

2 CONCEITOS GERAIS E REVISÃO DE LITERATURA

Neste capítulo, iremos discutir as características de projeto e funcionamento de um conversor de dados, especificamente de DACs.

A obtenção de um sinal analógico a partir de um código digital necessita de um conversor de dados que irá interpretar as diversas entradas digitais que formam a palavra e disponibilizará em sua saída uma forma de onda, a qual representa o código digital convertido para uma faixa de tensão ou corrente.

2.1 Uma breve apresentação sobre conversores de dados

Conversores de dados convertem sinais analógicos em amostras digitais ou vice-versa e têm uma grande importância na área de processamento de sinais, desempenhando uma espécie de “ponte” entre o mundo físico e o computacional.

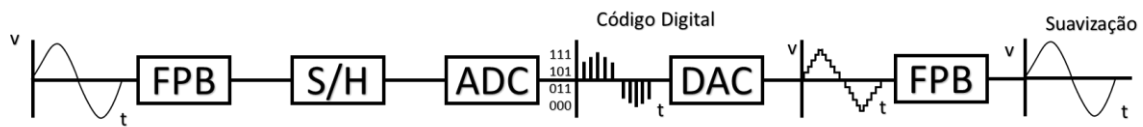
O conversor digital-analógico, também denominado conversor D/A ou DAC, tem por principal função representar uma forma de onda em sua saída, convertendo o sinal processado no domínio digital para o domínio analógico, com uma resolução de bits na sua entrada adequada para tal tarefa (Gregorian, 1999).

Assim como temos um conversor D/A, temos também o conversor de sinais analógico-digital (ADC) ou A/D que realiza o processo inverso de um DAC.

O processo de conversão de um sinal passa por diversas etapas até que seja obtido na saída de um DAC o que foi amostrado na entrada de um ADC. Primeiramente o sinal analógico a ser digitalizado passa por um filtro passa-baixa (FPB) a fim de eliminar todos os ruídos de alta frequência que possam causar o efeito conhecido como *aliasing*. O sinal então é quantizado e retido por um elemento de amostragem e retenção, denominado também como *sample-and-hold* (S/H) e então é convertido pelo ADC em diversas saídas que representam uma palavra digital, que é a imagem do sinal amostrado no domínio digital (Maloberti, 2007).

Já o DAC converte esta palavra digital em uma representação analógica. No entanto, o sinal estará com diversas discontinuidades e componentes de altas frequências não desejáveis. Logo é preciso de um filtro passa-baixa (FPB) o qual irá promover a conformação original do sinal analógico (Baker, 2010). Na figura 1 é possível acompanhar este processo.

Figura 1 – Processo de conversão de sinais A/D e D/A.



Fonte: Baker (2008), adaptado.

Um ponto a ser considerado é que um sinal analógico contém valores contínuos e admite infinitos valores, mas o sinal digital é discreto, ou seja, há um valor limitado de amplitudes a serem representadas, que afetam a qualidade de conversão. Estes valores finitos são conhecidos como passos de quantização. (Hayes, 1999).

Com a necessidade cada vez maior da transferência de dados entre os dois domínios, estes dispositivos têm sido demandados em um número maior de aplicações, possibilitando a passagem de sinais do domínio digital para o nível analógico, bem como o inverso, a fim de permitir que uma amostragem adquirida por um transdutor seja processada por um elemento lógico e transmitida a um atuador.

Sabendo destes princípios básicos de funcionamento de um conversor D/A é possível notar que há inúmeras tarefas do cotidiano que este dispositivo se faz presente e não percebemos, como em um alto-falante de uma televisão, smartphones, equipamentos de internet, entre outros que podem ser distinguidos por trazer o mundo digital para o físico.

Em razão dessa utilidade, muitos pesquisadores tem se aprofundado em estudos na medicina neurológica, em específico soluções que tratam do sistema somatosensorial, no qual o paciente em tratamento não possui capacidade de associar sentidos de temperatura, pressão ou vibração, posição e movimento, dor e equilíbrio, dos quais através da aplicação de sistemas ativos de controle é possível atenuar ou voltar à normalidade com a utilização de conversores D/A que irão informar ao córtex somatosensorial as variáveis necessárias a nível elétrico correspondentes (Liu, 2021).

2.2 Síntese sobre o sistema nervoso

O sistema nervoso humano é responsável por captar as diversas mensagens de estímulo recebidas pelos agentes sensoriais espalhados pelo corpo, e atuar com as devidas respostas aos membros. O sistema somestésico, é dotado de receptores sensoriais que são estruturas responsáveis pelo contato do corpo com o mundo externo. Estas células sensoriais tem a capacidade de realizar a transdução de um

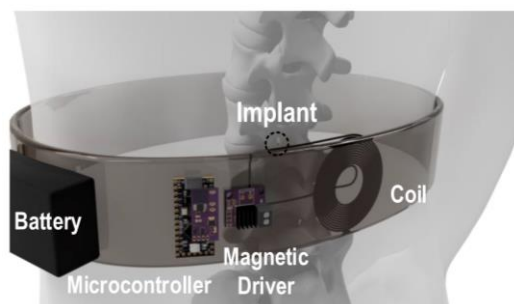
potencial à energia eletroquímica, da forma que seja inteligível ao sistema nervoso. As informações chegam ao sistema somestésico, por meio de fibras nervosas, neurônios e sinapses que traduzem e atuam conforme a experiência sentida. Os receptores associados a estas sensibilidades são classificados em cinco grupos, que envolvem os termorreceptores, quimiorreceptores, nociceptores, fotorreceptores e mecanorreceptor, dos quais respectivamente lidam com informações de temperatura, olfato/gustação, dor, visão, tato/audição/equilíbrio. (Mendonça, 2021).

Apesar desses sentidos estarem presentes e atuantes na maioria dos indivíduos, há casos em que a transmissão e/ou o receptor deixam de exercer o seu papel e afetam a inteligibilidade e desempenho das funções que necessitam das informações da estimulação. Nesses casos, a ausência de um ou mais grupo do sistema somatossensorial, pode acarretar na interpretação errônea do sistema nervoso e contribuir para quadros clínicos mais agudos (Mendonça, 2021).

A neuroestimulação é uma ferramenta da medicina, que tem a capacidade de emitir um sinal modular nos nervos para fins de pesquisas e tratamentos em terapias clínicas. A estimulação dos nervos periféricos é um método comum para tratar a dor neuropática, no qual um dispositivo eletrônico é implantado para fornecer pulsos elétricos à medula espinhal, e evitar que os sinais de dor cheguem ao cérebro.

Um dos maiores desafios na aplicação de sistemas eletrônicos implantados é o fornecimento da energia necessária, sem que haja interferência, seja via cabo, ou procedimentos cirúrgicos para troca de baterias e afins. A utilização de alimentação sem fio, via radiofrequência e sabendo do baixo consumo energético do dispositivo implantado, possibilita a aplicação deste em tratamentos clínicos. A figura 2 mostra um exemplo de localização deste dispositivo (Yu, Z. et al, 2020).

Figura 2 – Conceito de um sistema de neuroestimulação alimentado remotamente por meio de campo magnético.



Fonte: Yu, Z. et al (2020)

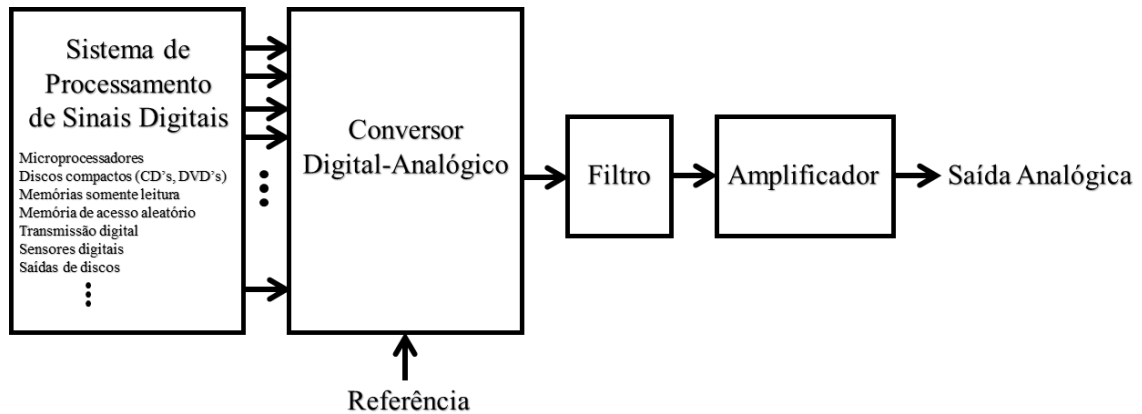
A partir da implantação do SoC (*System-on-chip*), distúrbios neurológicos como a doença de Parkinson ou a epilepsia, que atinge cerca de 1% da população mundial, podem ser atenuados com a utilização de combinações de tratamentos de estimulação elétrica funcional que recentemente foi desenvolvida e amplamente utilizada na neuromodulação para alcançar uma melhor eficácia terapêutica. (Hsieh; Ker, 2021).

Em outra aplicação, as próteses neurais podem restaurar os movimentos funcionais após lesões, através do estabelecimento de uma interface cérebro-máquina. Esses sistemas decodificam informações relacionadas ao movimento e transformam em comandos de controle para conduzir um braço robótico, por exemplo. Na maioria das demonstrações, o único feedback para o usuário é a correspondência visual entre movimentos pretendidos e reais. No entanto, isso não resulta em um desempenho adequado em muitas tarefas do cotidiano envolvendo forças de interação. Nesse caso, os braços robóticos podem ser equipados com sensores que traduzem estímulos somatossensoriais. A saída do sensor pode então ser codificada no cérebro por meio elétrico de estimulação em um ponto acima da lesão, ao longo do sistema neural, via que normalmente processa essas informações, fazendo com que o cérebro interprete o movimento e responda em sequência para o nervo de estimulação do músculo (LIU, X. et al, 2021).

2.3 A conversão de sinais

Uma das funções mais fundamentais em processamento de sinais é a etapa de conversão entre sinais analógicos e digitais. A entrada de um conversor digital-analógico consiste em uma palavra de codificação digital que tem origem de um sistema de processamento digital e enviada paralelamente as portas de conversão do DAC que em seguida é convertido em sinal analógico, utilizando uma referência de tensão ou corrente para estabelecer os passos de conversão e passando posteriormente por filtros e amplificadores, caso necessário, sendo entregue na saída um sinal analógico que representa uma imagem do domínio digital da entrada do conversor (Allen; Holberg, 2002).

Figura 3 – Conversor D/A em aplicação para processamento de sinais.



Fonte: Autor (2021).

Em geral, conversores de dados possuem em sua construção um ou mais comparadores, circuitos digitais, chaves, integradores, amostradores, além de componentes passivos. A tensão de referência em ADCs e DACs é uma importante variável que permite interferir na precisão. Além disto, existe uma grande variedade de arquiteturas que variam desde uma simples divisão de tensão a complexas estruturas de controle para contornar problemas de ruído, consumo de energia, área em silício, entre outras (Baker, 2010).

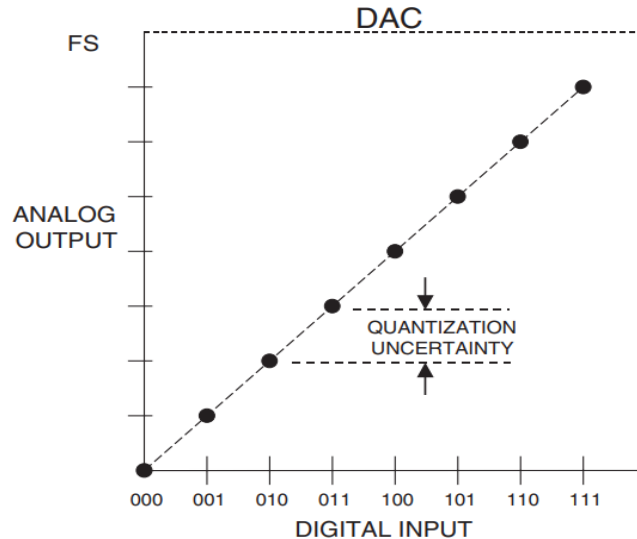
2.4 Especificações estáticas dos conversores

A coisa mais importante a lembrar sobre os DACs e ADCs é que a entrada ou a saída é digital e, portanto, o sinal é quantizado, ou seja, uma palavra de N bits representa um dos 2^N estados possíveis, e, portanto, um DAC de N -bits (com uma referência fixa) pode ter apenas 2^N saídas analógicas possíveis e os sinais analógicos são formados por tensões e correntes que admitem infinitos valores entre os estados possíveis (Kester, 2005).

Para os DACs e ADCs o maior valor que é inserido na saída corresponde a 1 bit menos significativo (LSB) abaixo da escala total analógica, conforme figura 9. As transições dos ADCs ideais ocorrem em $\frac{1}{2}$ LSB acima de zero e, a partir daí, a cada LSB, até $\frac{1}{2}$ LSB abaixo da escala real analógica. Uma vez que a entrada analógica para um ADC pode assumir qualquer valor, mas a saída digital é quantizada e pode haver uma diferença de até $\frac{1}{2}$ LSB entre a entrada analógica real e o valor exato da saída digital. Isso é conhecido como erro de quantização ou incerteza de quantização,

conforme mostrado na Figura 4. Em aplicações para amostragem, este erro de quantização dá origem ao ruído de quantização.

Figura 4 – Função de transferência para um DAC ideal.

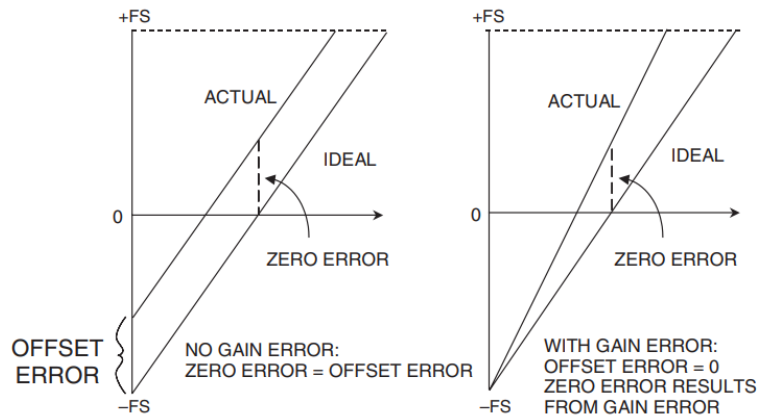


Fonte: Kester (2005)

Os quatro erros de componente contínua (DC) em um conversor de dados são: erro de *offset*, erro de ganho e dois tipos de erro de linearidade que são erro de não linearidade diferencial (DNL) e o erro de não linearidade integral (INL). Erros de compensação e de ganho são análogos aos erros vistos em amplificadores operacionais.

As equações características da função de transferência dos DACs e ADCs podem ser expressas como uma reta dada por $D = K + GA$, onde D é o código digital, A é o sinal analógico e K e G são constantes. Em um conversor unipolar, o valor ideal de K é zero e em um conversor bipolar é -1. O erro de *offset* é o valor pelo qual o valor real de K difere de seu valor ideal. O erro de ganho é a valor pelo qual G diverge de seu valor ideal e é geralmente expresso como a diferença percentual entre os dois, embora possa ser definida como a contribuição de erro de ganho (em mV ou LSB) ao erro total em escala completa. Na figura 5, é possível visualizar o impacto destes erros no resultado de saída dos conversores.

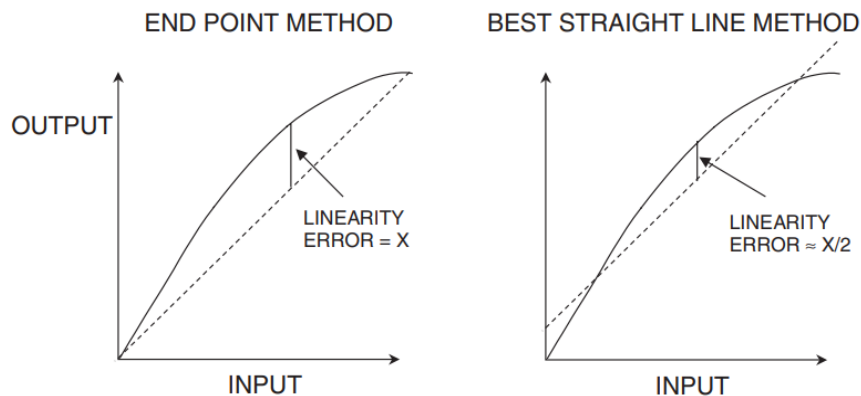
Figura 5 – Erros de ganho e offset em um conversor bipolar.



Fonte: Kester (2005)

O erro de não-linearidade integral de um conversor também é análogo ao erro de linearidade de um amplificador, definido como o desvio máximo entre a curva característica do conversor e uma linha reta, geralmente expressa como uma porcentagem da escala total (mas pode ser fornecido em LSBs). Para um ADC, é comum desenhar a linha reta através dos pontos médios dos códigos, ou os centros de código. Existem duas maneiras comuns de escolher a reta: ponto terminal (*end point method*) e melhor linha reta (*best straight line method*) (Kester, 2005), como mostrado na figura 6.

Figura 6 – Métodos de obter o valor de INL.



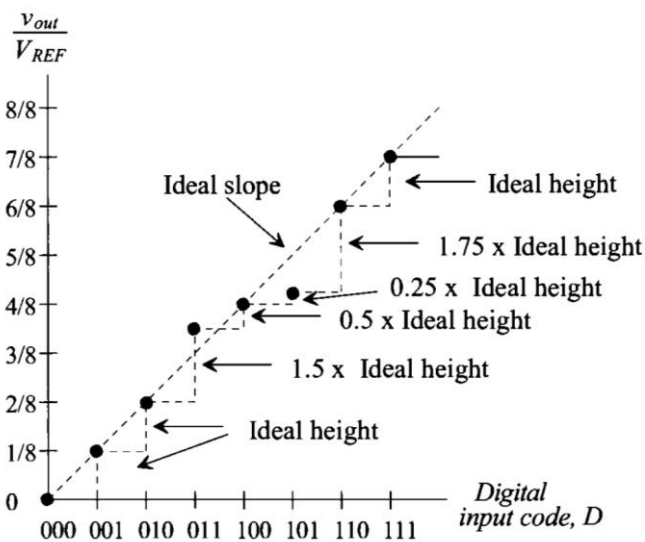
Fonte: Kester (2005)

No sistema de ponto terminal, o desvio é medido a partir da reta, linha através da origem e do ponto de máxima escala (após o ajuste de ganho). Este é o método mais útil na medição de linearidade pois, considera toda a faixa de conversão e permite uma maior especificação da distorção de sinais contínuos entre o sinal desejado

e o obtido. Já no método da melhor linha reta se destaca por obter uma distorção em componentes alternadas, mas este método está sujeito a um erro de não-linearidade integral reduzido em 50% (Kester, 2005).

O outro tipo de não linearidade de um conversor é o erro de não linearidade diferencial (DNL). Isso se relaciona com a linearidade das transições de código do conversor. No caso ideal, uma mudança de 1 LSB no código digital corresponde a uma mudança de exatamente 1 LSB de sinal analógico. Em um DAC, uma mudança de 1 LSB no código digital deve produzir exatamente 1 mudança LSB de saída analógica, enquanto em um ADC o sinal analógico de entrada deve ter uma variação de 1 LSB para que ocorra a transição da palavra digital de saída. O erro de linearidade diferencial é definido como a quantidade máxima de desvio (ou mudança de LSB) em toda a função de transferência em relação ao degrau ideal de 1 LSB (Kester, 2005). A função de transferência de um DAC com DNL diferente de zero é apresentada na figura 7.

Figura 7 – Função de transferência de um DAC não ideal.



Fonte: Baker (2010)

2.5 Especificações dinâmicas dos conversores

Existem várias maneiras de caracterizar o desempenho de conversores A/D e D/A. Antes da década de 1970, havia pouca padronização com respeito às especificações de equipamentos e técnicas de medição que não foram bem compreendidos

ou disponíveis. Desde então, fabricantes buscam meios de obter as características dinâmicas e o desempenho de conversores (Kester, 2005).

As características dinâmicas fazem parte da caracterização de DACs e uma das principais é a velocidade de conversão, que pode ser definida como o tempo para fazer um sinal de entrada digital ser entregue na saída analógica, podendo variar de milissegundos até nanossegundos dependendo da tecnologia e caminho que o sinal percorre pelo DAC.

O fator que determina a velocidade do DAC são as capacitâncias parasitas, o ganho de largura de banda e o *slew rate* do sistema de amplificação do sinal, se este por último for utilizado. Capacitâncias parasitas estão presentes nos nós dos circuitos, em particular de circuitos integrados. Felizmente, muitos nós não apresentam altas impedâncias, visto que são conexões de fontes de corrente, fontes de tensão, saída de amplificador com realimentação entre outros (Allen; Holberg, 2002).

Existem várias maneiras de mensurar a distorção de um DAC. Uma análise do sinal de saída com o espectro obtido através da transformada rápida de Fourier (FFT) pode ser usada para medir a amplitude das componentes harmônicas. Os harmônicos do sinal de saída podem ser distinguidos de outros produtos de distorção por sua localização no espectro de frequência. A distorção harmônica é normalmente especificada em *dBc* (decibéis abaixo da portadora), embora em frequências de áudio possa ser especificado como uma porcentagem. Distorção harmônica é geralmente especificada quando o sinal de saída está quase em escala total - FS (geralmente 0,5 a 1 dB abaixo do maior valor possível para evitar o *clipping*), mas pode ser especificado em qualquer nível.

Distorção harmônica total mais ruído (THD + N) é a proporção do valor rms (*root mean square*) do sinal fundamental ao valor médio quadrático de seus harmônicos mais todos os componentes de ruído (excluindo dc). A largura de banda sobre a qual o ruído é medido deve ser especificada. No caso de uma FFT, a largura de banda é de 0 Hz até $f_s / 2$. A relação sinal-ruído-e-distorção (SNDR) é a relação entre a potência do sinal e a potência combinada de todos os componentes de distorção e ruído (Kester, 2005).

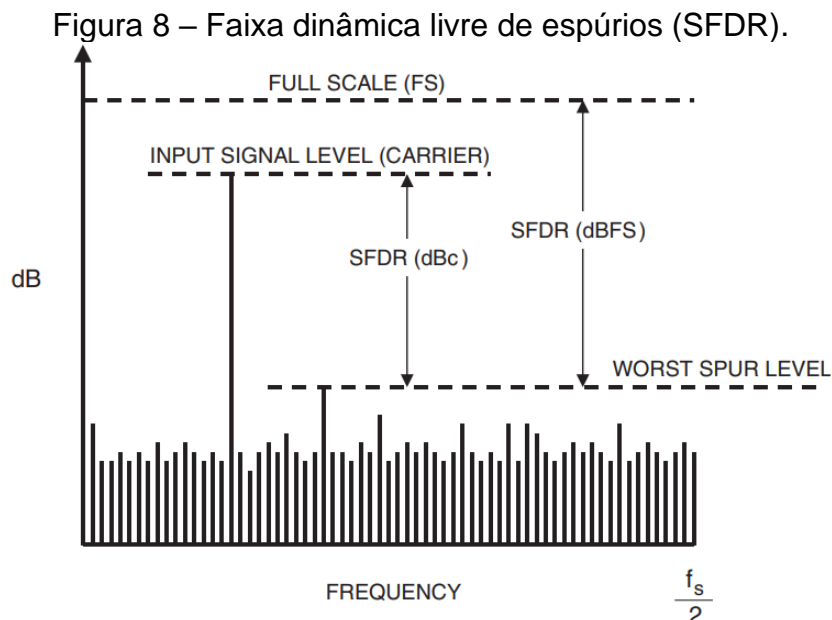
O número efetivo de bits (ENOB) representa o número de bits no sinal digitalizado que está acima do patamar de ruído. Com a relação teórica da SNR de um DAC

ideal de N bits, pode-se obter o ENOB, a partir do valor medido do SNDR, que é substituído pelo valor de SNR, conforme equação 01:

$$ENOB = \frac{SNDR - 1,76}{6,02} \quad (01)$$

Por fim, a faixa dinâmica livre de espúrios (SFDR) é provavelmente a especificação mais importante de ADCs e DACs usados em aplicações para comunicações. O SFDR de um DAC é definido como a razão entre a amplitude da frequência fundamental do sinal em rms e o valor do pico de espúrio do conteúdo espectral medido ao longo da largura de banda de interesse. Salvo indicação em contrário, a largura de banda é assumida como sendo a largura de banda de Nyquist.

O SFDR é calculado como uma função da amplitude do sinal e pode ser expresso em relação a amplitude do sinal (dBc) ou em dBFS do DAC, conforme figura 8 (Kester, 2005). DACs com boa linearidade integral, oferecem uma SFDR maior que a SNR do sistema (Plassche, 2003).

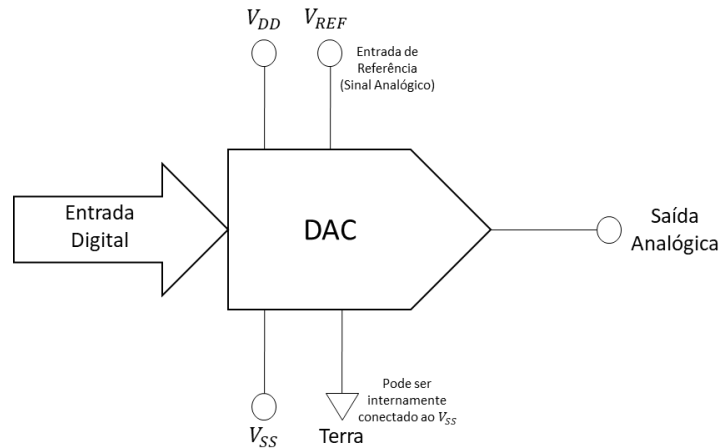


Fonte: Kester (2005)

2.6 Principais arquiteturas de DACs

DACs podem utilizar referências de sinais a partir de uma unidade externa (Ver figura 9) ou integrado ao chip.

Figura 9 – Conversor D/A com referência externa.

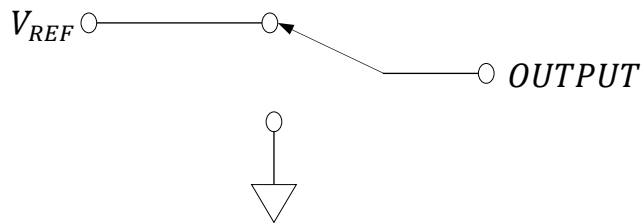


Fonte: Autor (2021)

A saída de um DAC pode ser referenciada em tensão ou em corrente. Independentemente é importante saber a impedância de saída.

É possível considerar um DAC como uma chave de comutação (uma chave de pólo único), controlada por um sinal de ativação que comuta a saída entre uma referência e o terra ou entre positivo igual e tensões de referência negativas, como no DAC de 1 bit mostrado na figura 10.

Figura 10 – Exemplo de um conversor DAC de 1-bit.



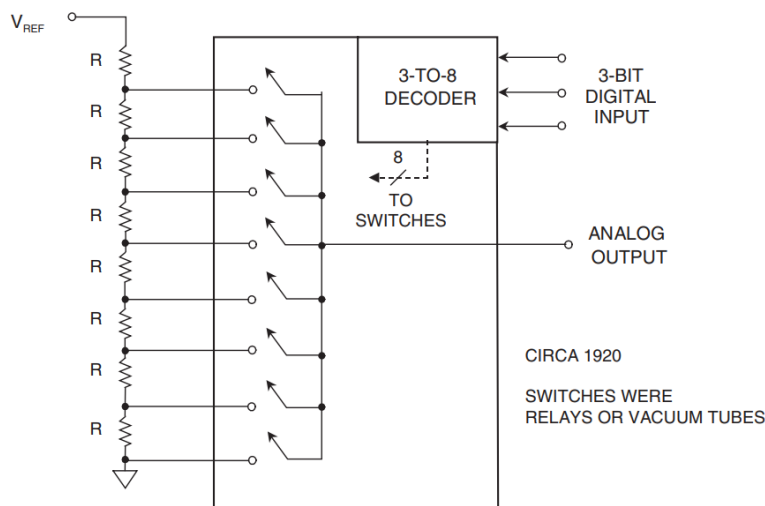
Fonte: Autor (2021)

2.6.1 DAC do tipo divisor resistivo

A arquitetura de um DAC mais simples é o de topologia de divisão de tensão, conforme mostrado na figura 11. Uma versão de N bits deste DAC consiste simplesmente em 2^N resistores iguais em série e 2^N chaves (geralmente transistores MOS), um entre cada nó da rede resistiva e a saída. Na saída então são comutados apenas os interruptores correspondentes a palavra decodificada, resultando em uma saída analógica. As origens desse DAC remontam a meados do século XIII e foi

implementado pela primeira vez com resistores e relés, e mais tarde com válvulas na década de 1920 (Kester, 2005).

Figura 11 – Um conversor D/A de 3-bits em arquitetura DAC Resistivo.



Fonte: Kester (2005)

A implementação deste DAC é tecnicamente simples, há uma saída de tensão que é inerentemente monotônica, mesmo se um resistor for acidentalmente curto-circuitado. Uma vez que apenas duas chaves operam durante uma transição, é uma arquitetura com elevada robustez. Ainda, a alteração de comutação não depende do código, tornando este DAC ideal para aplicações de baixa distorção. A principal desvantagem deste DAC é o grande número de resistores e chaves necessários para alta resolução e como resultado não era comumente empregado como uma arquitetura DAC até o recente advento dos circuitos integrados que são em escala micrométrica. Deste modo, este tipo de DAC é atualmente muito empregado para diferentes aplicações de baixa e média resolução. Hoje a arquitetura é amplamente utilizada em DACs mais simples, como potenciômetros digitais e também é para aplicações mais complexas.

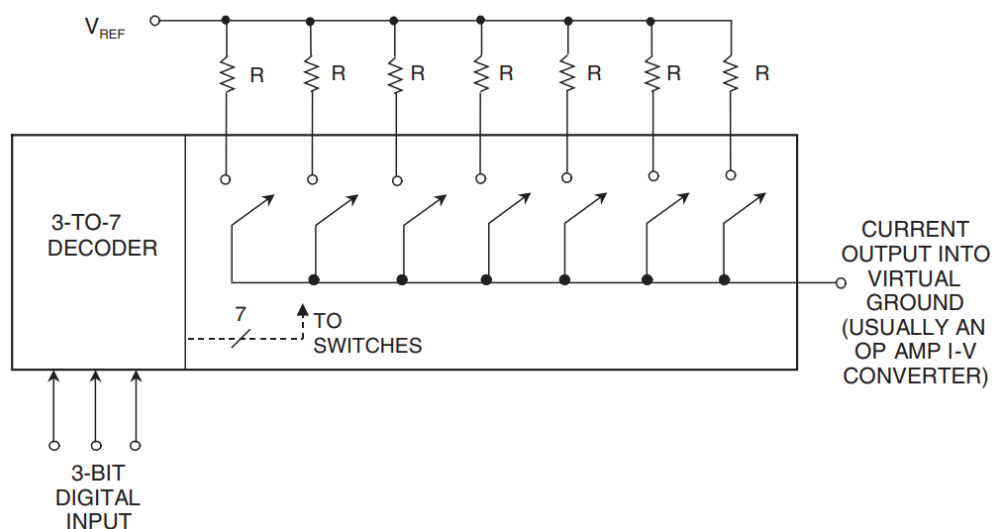
O controle das chaves de comutação deste tipo de conversor necessita de um decodificador, que irá converter o sinal de saída do dispositivo de processamento digital para código termômetro. Este *decoder* limita, em parte, a frequência de operação do DAC pois, o sinal terá que transitar em estruturas lógicas em série responsáveis por decodificar a palavra binária em sinais de controle.

2.6.2 DAC Termômetro

Há um DAC análogo a um Divisor resistivo que consiste em fontes de corrente comutáveis $2^N - 1$ conectadas a uma saída terminal. A Figura 12 mostra um DAC termômetro que utiliza resistores conectados a uma referência de tensão para gerar as correntes de saída, estes resistores podem ser substituídos por fontes de correntes de mesmo valor que irão fornecer a saída, a corrente unitária de referência.

Uma vez que uma corrente em um DAC tipo termômetro é chaveada para o circuito por incremento da palavra digital, mais ramos estarão contribuindo para a saída. A arquitetura é inerentemente monotônica, independentemente de imprecisões nas correntes e como no Divisor de Kelvin, apenas o advento de processos de circuitos integrados de alta densidade fez esta arquitetura ser aplicável para DACs de resolução média de uso geral, embora um pouco mais complexo, e por ser amplamente usada em aplicações de alta velocidade (Kester, 2005).

Figura 12 – Conversor D/A com arquitetura de termômetro para 3-bit.



Fonte: Kester (2005)

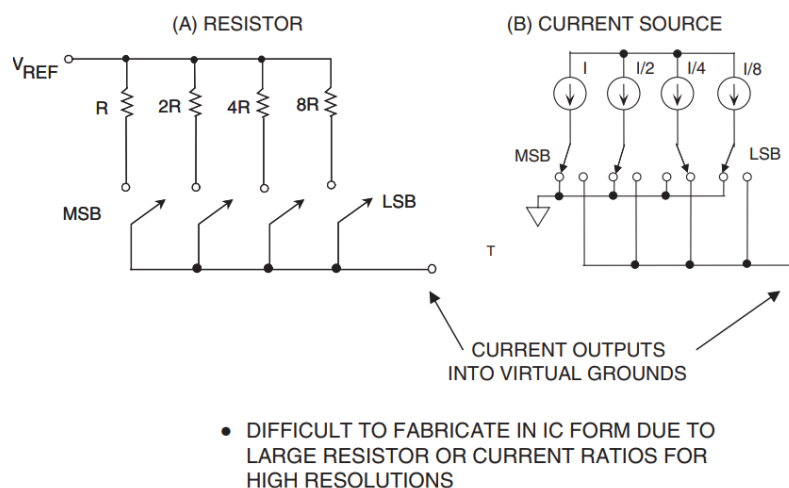
2.6.3 DAC de Pesos Binários

Uma das primeiras referências para um DAC de pesos binários (*Binary-Weighted*) pode ser encontrado em uma patente de Paul M. Rainey's (1921) para um sistema de transmissão baseado em modulação PCM. O objetivo de Rainey's era controlar a intensidade da luz de uma lâmpada incandescente localizada no receptor. Conectando várias combinações de interruptores em paralelo, N valores possíveis de

resistência em série podem ser obtidos variando de 0 a $(N - 1)R$ e, com isso, N níveis possíveis de intensidade de luz.

Um DAC *Binary-Weighted* geralmente é a forma mais simples de implementação após o Divisor de Kelvin, visto que não é necessário decodificar a palavra binária. No entanto, este DAC não é inerentemente monotônico e é realmente muito difícil de fabricar com sucesso em altas resoluções, devido ao incremento na dimensão dos componentes, seja resistores ou transistores. Além disso, a impedância de saída do DAC é modificada a cada variação do código de entrada. Na figura 13 é possível visualizar um conversor com base em fontes de corrente. Um DAC de N bits deste tipo consiste de N fontes de corrente ponderadas na proporção de 1: 2: 4: 8: ...: 2^{N-1} , (Kester, 2005).

Figura 13 – Conversor D/A de 4-bits em arquitetura por *Binary-Weighted*.



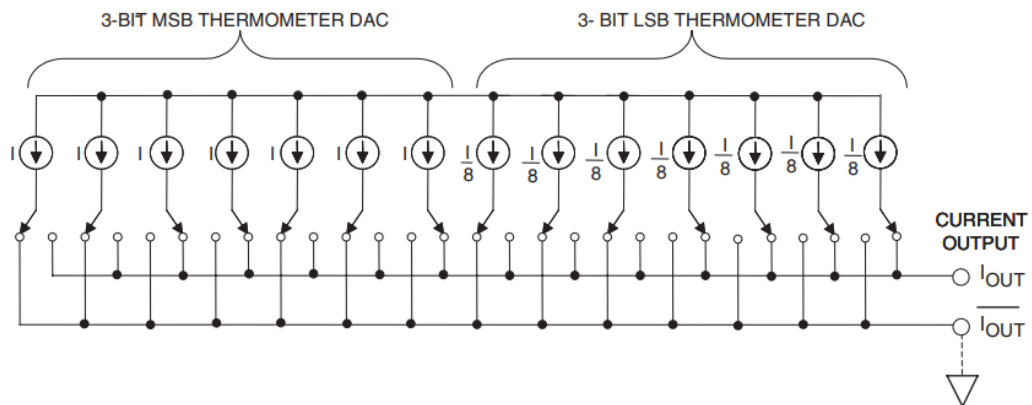
Fonte: Kester (2005)

2.6.4 DAC Segmentado

Ao projetar um DAC de alto desempenho, pode acontecer que nenhuma arquitetura anterior seja ideal para uma aplicação que visa o equilíbrio entre complexidade de projeto *versus* qualidade do sinal convertido *versus* espaço físico disponível. Nesses casos, dois ou mais DACs podem ser combinados em um único DAC de resolução superior para fornecer o desempenho necessário. Esses DACs podem ser do mesmo tipo ou de tipos diferentes e não precisam ter a mesma resolução entre si. Na prática, um DAC irá lidar com a parte de *MSBs* e outro lida com os *LSBs* e suas saídas são

conectadas. O processo é conhecido como "segmentação" e essas estruturas mais complexas são chamadas de "segmentos de DACs" (Maloberti, 2007). A figura 14 mostra um DAC de 6-bits construído a partir de dois DACs de 3 bits totalmente decodificados.

Figura 14 – DAC segmentado de 6 bits com dois DACs termômetro de 3 bits.



Fonte: Kester (2005)

Ao utilizar, duas arquiteturas para formar um DAC segmentado une-se as vantagens e particularidades de cada topologia, como exemplo, um DAC binário tem complexidade e dimensões extremamente reduzidas para implementação em altas resoluções, porém é sujeito a maiores erros de não linearidade devido a sua característica construtiva.

Já um DAC de código termômetro tem decodificadores mais complexos para projetos de alta resolução, mas suas características dinâmicas e estáticas contribuem para uma maior qualidade do sinal convertido, sendo a união destas duas arquiteturas

DACs de altíssima velocidade são fundamentais para aplicações de *broadcast*, vídeo, plataformas de transmissão multimídia, controladores e automação de alta precisão, em sistemas de comunicações e mais recentemente em procedimentos terapêuticos na medicina neurológica.

É extremamente importante que esses DACs tenham baixa distorção em alta frequência, e há várias questões importantes a serem consideradas em seu projeto. Em primeiro lugar, as fontes de corrente de cada célula do DAC não podem ser desligadas, elas devem ser direcionadas para um caminho de dreno ou alternadas para o estágio de saída, visto que, o desligamento da fonte de corrente fará com a que a mesma, ao ser religada, tenha um atraso até a estabilização da corrente de saída; por

segundo, é importante que a comutação de tensão no chip necessária para alternar a corrente seja o menor possível.

Além disso, a latência que é o tempo total a partir do momento em que a palavra digital de entrada muda para o tempo que o valor da saída analógica se estabilizou dentro de uma tolerância especificada. A latência não deve ser confundida com o tempo de acomodação, uma vez que a latência inclui o atraso necessário para mapear a palavra digital para um valor analógico mais o tempo de acomodação.

Além disso, deve-se garantir que a palavra digital aplicada na entrada do DAC, seja totalmente decodificada e convertida a saída, com a estabilização do sinal pelas fontes de corrente de cada célula do DAC, a tempo para uma nova palavra ser transmitida, de modo a não haver sobreposição de decodificações no bloco decodificador, fazendo-o enviar a saída um sinal errôneo, devido a latência de conversão. Por isso, é fundamental saber a frequência máxima de operação, ou utilizar-se de métodos de intertravamento, no qual a próxima decodificação só ocorre após a conclusão e estabilização da conversão atual. No caso deste último, a solução é útil caso não seja conhecido o tipo de sinal a ser convertido pelo DAC (Baker, 2010).

2.7 Aplicações em Sistemas Neurais

O controle da atividade elétrica no sistema nervoso em pacientes tem mostrado grande potencial para pesquisas em neurociência e terapias clínicas. Estes neuroestimuladores favorecem a retomada de movimentos e sensações do sistema somatosensorial utilizando-se de sensoriamento de pressão, temperatura, posição e movimento, dor entre outros tipos de recepção de sinais comum ao sistema nervoso de um ser. Neste sentido, pesquisadores têm avançado em pesquisas relacionadas ao processamento e tratamento dos sinais que serão enviados ao córtex central e interpretados pelo sistema nervoso, dando de volta a capacidade de vivenciar percepções.

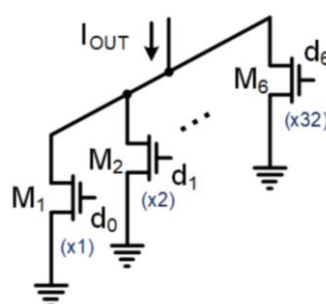
Estes avanços em estimuladores neurais implantáveis permitiram tratar deficiências relacionadas à neurologia, como a doença de Parkinson, epilepsia e distonia. Em geral, os sistemas de estimulador neural fornecem cargas balanceadas de pulsos de corrente no tecido neural para reativar as suas funções. O estágio de controle consiste em um conversor D/A para controlar a amplitude da corrente e um estágio de saída para amplificar e entregar os pulsos de corrente bifásica com carga balanceada para o tecido neural por meio de eletrodos (Sajjad, 2020).

Em aplicações para pacientes com paralisia, a experiência ao usar membros robóticos é prejudicada por haver apenas o retorno visual do movimento. O reabilitador ideal é reanimar o próprio membro paralisado da pessoa. Um trabalho recente demonstrou que isso é possível usando estimulação elétrica funcional do braço controlada pelo cérebro e músculos da mão e que sensores artificiais de estímulos somatossensoriais são necessários para fornecer o *feedback* para os movimentos (Ajiboye, 2017).

Na literatura encontra-se modelos de conversores de dados desenvolvidos exclusivamente para fins de conversão de sinais em nível de corrente compatível com o sistema nervoso humano.

O modelo proposto por Liu (2021) integra partes de aquisição dos sinais através de sensores eletrogoniômetro para propriocepção ou posicionamento relativo no ambiente e contempla o projeto de uma interface. O módulo integra 16 canais independentes para estimulação neural bidirecional e registro. A figura 15 mostra o esquema do circuito no local de condução de estimulação, que é compartilhado entre um grupo de quatro canais. Dois conversores D/A de 6 bits são projetados para gerar correntes catódicas e anódicas nos eletrodos de estimulação. Cada DAC tem a arquitetura de fontes de corrente de pesos binários. Um DAC adicional de 4 bits é usado para calibrar as incompatibilidades estáticas entre as correntes catódica e anódica. O estimulador tem dois modos de operação: no modo de alta corrente, a faixa de corrente de saída é variável de 0 à 2048 μ A com LSB de 32 μ A e no modo de baixa corrente, a faixa de corrente é 0 à 255 μ A com passo de 4 μ A.

Figura 15 – DAC de peso binário de 6 bits.

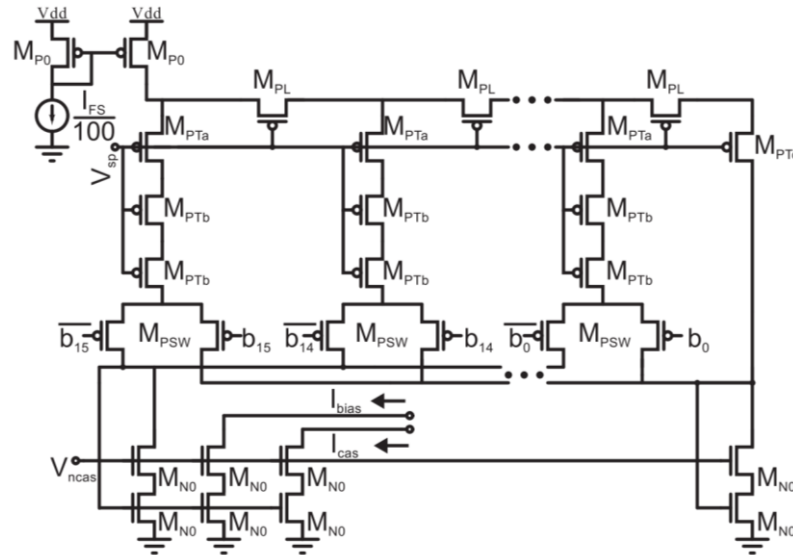


Fonte: Liu (2021)

Em outro artigo, Greenwald (2017), elabora um DAC de 8 bits Current-Steering R- β R com a vantagem de um DNL extremamente reduzido de apenas 0.3LSB, com

auxílio de um circuito de calibração. A sua aplicação foi desenvolvida para fins de estimulação de nervos ciático comprometidos. Utiliza-se uma tensão de alimentação de 3.3V e uma corrente máxima de estimulação de 255 μ A. Na figura 16 é mostrado o esquemático do circuito projetado.

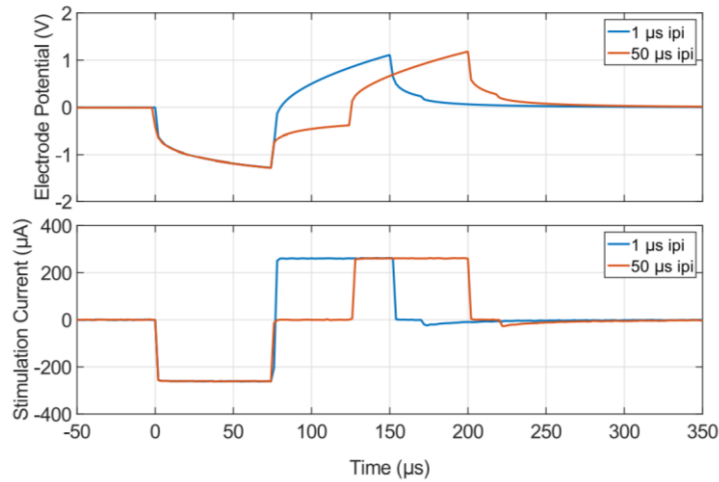
Figura 16 – Esquemático do circuito apresentado.



Fonte: Greenwald (2017)

Os sinais de estímulo são gerados a partir do DAC que espelha a corrente para um circuito de saída ligado ao eletrodo. Utilizando uma frequência de 500 Hz/1000 Hz, Greenwald (2017) conduziu os experimentos *in-vitro* com pulsos bifásicos de 250 μ A em um eletrodo de Prata/Cloreto de Prata (Ag/AgCl) imerso em uma solução salina com um membro anestesiado, com estimulações de 75 μ s e intervalos entre mudanças de fase de 1 μ s e 50 μ s, verificou a presença de uma corrente residual sobre o membro de 3 nA e 5 nA durante 5 minutos, como mostrado na figura 17.

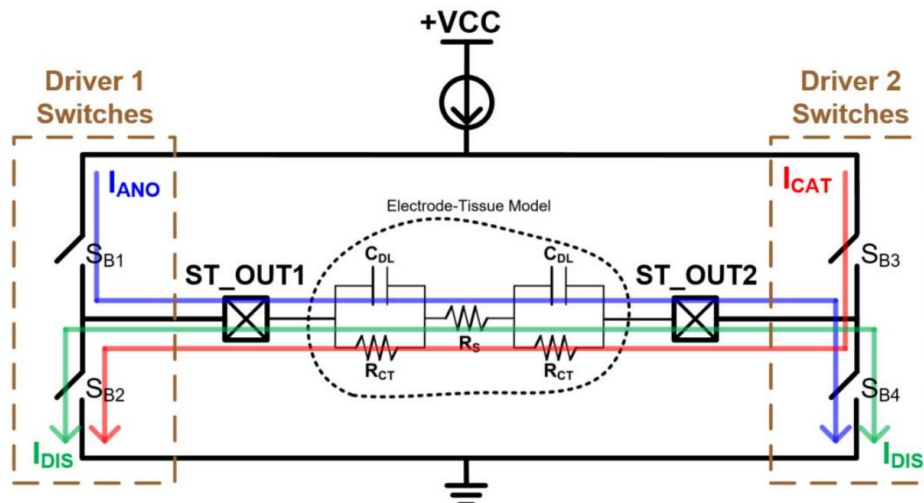
Figura 17 – Experimento de estimulação *in-vitro*.



Fonte: Greenwald (2017)

Buscando formas de construir o estágio de potência que realiza a interligação do DAC com o eletrodo, Hsieh (2021) propõe em seu artigo um chip estimulador bifásico monopolar com 16 canais de descarga para aplicações biomédicas. Para o fornecimento das correntes de estímulo bifásico são utilizadas fontes de tensão de +6 V, que geram pulsos de até ± 3 mA. A impedância do eletrodo apresentado é de $1\text{k}\Omega$, porém a modelagem inclui as capacitâncias e resistências para a transferência do estímulo para a carga, que são respectivamente 500 nF e $1\text{ M}\Omega$. Além disso, para realizar a troca do sentido de corrente são empregadas chaves dispostas em uma ponte H como na figura 18.

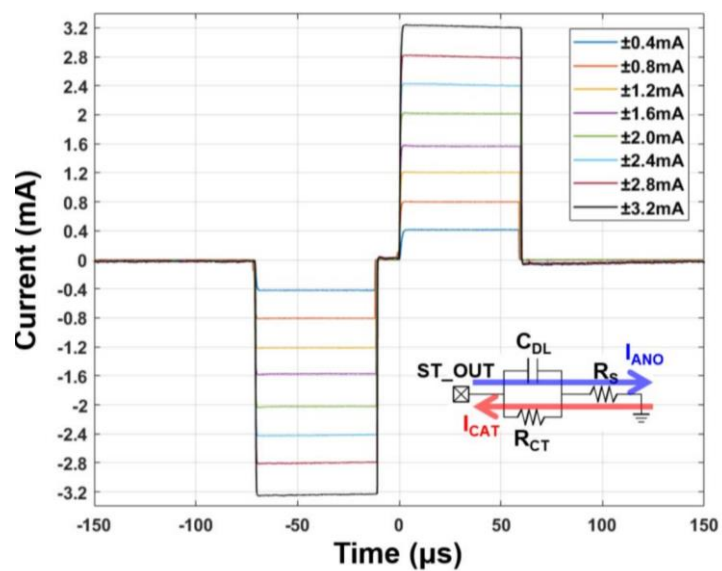
Figura 18 – Estágio de potência do neuroestimulador.



Fonte: Hsieh (2021)

O estímulo apresentado por Hsieh (2021) mostra um período de estimulação catódica como sendo de $60\mu\text{s}$, um tempo de $10\mu\text{s}$ entre fases e um pulso de $60\mu\text{s}$ anódico, conforme apresentado na figura 19.

Figura 19 – Formato de uma neuroestimulação.



Fonte: Hsieh (2021)

3 METODOLOGIA

Nesta seção, será apresentada os métodos empregados para a escolha da topologia do conversor e os testes analíticos e empíricos realizados para determinar as variáveis construtivas.

3.1 Métodos de Projeto

Durante a revisão bibliográfica, foi possível adquirir os conhecimentos sobre os tipos de topologias disponíveis para construção do DAC. Neste trabalho optou-se por desenvolver um DAC segmentado de 8 bits. A escolha do modelo que será base para o desenvolvimento deste projeto, se deu pela diversificação em relação a literatura e pela possibilidade de verificar o desempenho de um DAC utilizando arquiteturas de DAC binário e termômetro com partes iguais de controle, ou seja, a quantidade de bits que cada topologia assumirá serão iguais. Dessa forma, será possível entender a contribuição de cada DAC sobre o sinal convertido.

Após a definição, é possível se aprofundar nas características ligadas à implementação e aprimoramento do DAC e extrair resultados que demonstram se a escolha foi acertada. Para este trabalho, várias soluções e adequações de projeto foram adicionadas, a fim de elevar a qualidade do sinal final e garantir os níveis adequados das características estáticas e dinâmicas. Estas soluções são apresentadas no tópico simulações.

3.2 Proposta

A principal característica da metodologia utilizada é o uso de simulação com softwares profissionais que são capazes de implementar e simular a nível elétrico, um DAC segmentado de 8-bits em tecnologia de 180nm para aplicações em sinais de neuroestimulação.

Como objetivo, cita-se o projeto de um conversor capaz de atender às especificações iniciais de acordo com os níveis de corrente e tensão necessários para atender a aplicação no qual está inserido, visto que a partir do momento do implante de um dispositivo eletrônico, este requer um nível de confiabilidade, durabilidade e redundância.

3.2.1 Especificações de Projeto

A determinação das características elétricas foi definida após uma profunda revisão bibliográfica em artigos científicos disponíveis na literatura na área de atuação da medicina e de circuitos eletrônicos biomédicos. Neste trabalho optou-se pelo desenvolvimento de um DAC de 8 bits. Já o nível de corrente do DAC varia de acordo com a aplicação que para sinais que trafegam diretamente entre os membros e respondem na medula espinhal é comum níveis de corrente entre 255 μA e 20 mA (Liu, 2021; Chen, 2011; Tseng, 2011). Neste trabalho optou-se por uma corrente de $\pm 255\mu\text{A}$ como sendo a máxima corrente de estimulação, se enquadrando em um nível de excitação entre membros e a medula espinhal.

Assim, para encontrar o valor da corrente correspondente a 1LSB é preciso utilizar a equação 02:

$$I_{LSB} = \frac{I_{m\acute{a}x}}{2^N} \quad (02)$$

Devido a característica de aplicação deste conversor verificou-se que na literatura revisada, apenas o trabalho de Greenwald (2017) apresenta o projeto de um DAC completo e a aplicação para sinais de neuroestimulação, indicando os detalhes do projeto do conversor, sendo uma referência direta a este trabalho. No entanto, para a implementação foi também utilizado trabalhos de outros autores que falam especificamente sobre o desenvolvimento e particularidades de DACs. Na tabela 1 é mostrado as especificações deste projeto.

Além desses parâmetros, outro fator que contribui para a medição da qualidade do sinal entregue pelo conversor é o valor da SFDR. Há relatos em trabalhos científicos de valores maiores que 66 dB (Samanta, 2020). Outras medidas de desempenho do conversor foram mensuradas de forma a garantir a confiabilidade do sistema montado, como o valor de INL, DNL e a relação SNDR.

Tabela 1 – Especificações do DAC projetado.

Parâmetros	Este Trabalho
Topologia	Segmentado
Medição	Simulação
Arquitetura	0.18um
Tensão de Alimentação	1.8V
Temperatura	37°C
Resolução	8-Bits
Corrente Máxima	±255uA
Corrente LSB	1uA
Velocidade	200Hz
Modo de Estimulação	Bifásico

Fonte: Autor (2021)

3.2.2 Ambiente de Simulação

O projeto do circuito foi efetuado utilizando a ferramenta Cadence® Virtuoso® Analog Design Environment. O simulador empregado foi o Spectre, e todos os resultados da simulação presentes neste trabalho consideram a temperatura corporal média humana de 37°C. Para o aumento da produtividade foram utilizados quatro núcleos de processamento em paralelo do servidor de simulação.

4 PROJETO E SIMULAÇÕES EM NÍVEL DE ESQUEMÁTICO

Neste tópico, será mostrado as etapas de implementação e simulações do DAC projetado.

4.1 Comparativo entre DACs segmentados, binários e termômetros

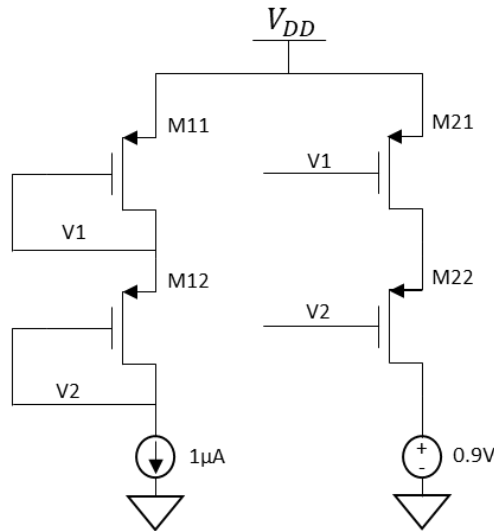
A fim de comprovar as características estáticas dos tipos de DAC, foi estudado uma possibilidade de encontrar a topologia mais adequada para a utilização neste trabalho de forma empírica.

Em primeiro momento foi necessário realizar a análise de *mismatch* dos transistores de espelhamento e verificar o descasamento das características físicas e elétricas de fabricação.

As fontes de correntes podem ser desenvolvidas a partir de espelhos de corrente. A corrente unitária é de 1 uA. A figura 20 mostra a primeira etapa de simulação para encontrar a melhor relação de dimensões dos transistores. Foram utilizados transistores PMOS, utilizando-os em cascode com o intuito de aumentar a resistência de saída da fonte de corrente e reduzir a dependência da corrente com a tensão entre os seus terminais, o qual limita a taxa de chaveamento, devido as capacitâncias parasitas sobre o transistor. Nesse caso os nós V1 e V2 são usados para gerar a tensão de polarização dos transistores M21 e M22, e assim espelhar a corrente de 1 Ua para estes transistores. Porém, com a variabilidade da tecnologia, devido ao *mismatch* entre os transistores, essa corrente pode ser alterada.

Nesta etapa, variou o tamanho do transistor, ou seja, o seu comprimento (L) e largura (W) e a partir desse ponto, foi realizado a simulação de Monte Carlo, a fim de encontrar o desvio padrão médio da corrente sobre os transistores M21 e M22. Foram simuladas inúmeras combinações que viessem a reduzir o *mismatch* e garantir a robustez do DAC.

Figura 20 – Esquemático para análise DC da corrente sobre os transistores M21 e M22.

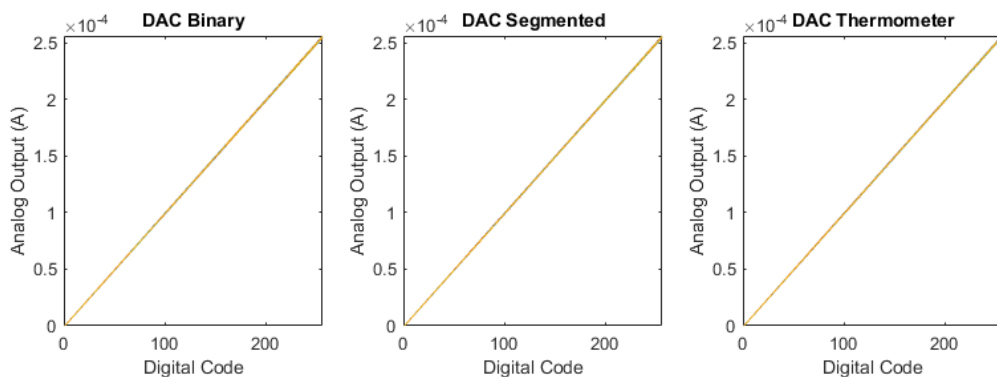


Fonte: Autor (2021)

Com um valor de $W = 2\mu\text{m}$ e $L = 4\mu\text{m}$, após cem rodadas de Monte Carlo obteve-se o valor de 13,5nA de desvio padrão sobre a corrente de referência espelhada para o ramo de alimentação das células do DAC, ou seja, a corrente espelhada nas fontes de corrente em cada célula compreende uma faixa de corrente de $I_{LSB} = 1 \pm 0,0135\mu\text{A}$, ou $\pm 1,35\%$ da corrente LSB.

Após, efetuou-se a modelagem de 3 DACs de 8 bits projetados com fontes de corrente com o respectivo desvio padrão no software MATLAB. Foram considerados DACs de código termômetro, de pesos binários, e um DAC segmentado. Com base nestes resultados foi possível comparar a diferença entre as três implementações. Na figura 21, é mostrada a função de transferência para cada DAC.

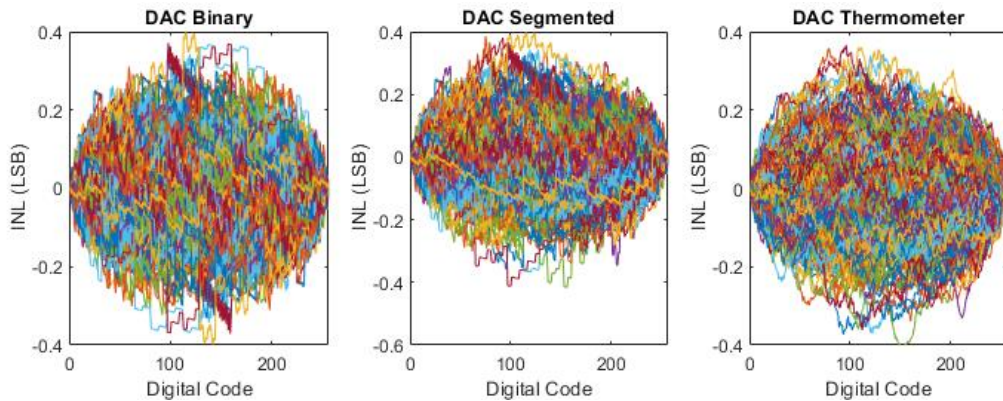
Figura 21 – Função de transferência.



Fonte: Autor (2021)

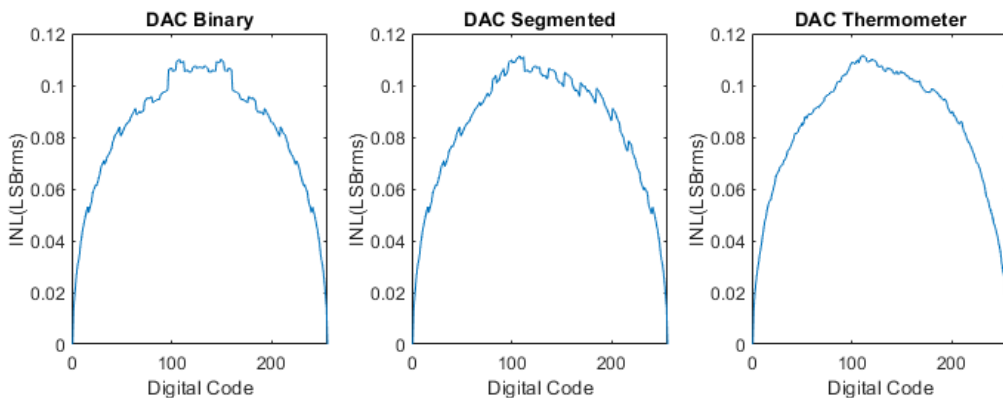
As figuras 22 e 23 apresentam os resultados de INL para cada um dos DACs considerando uma simulação de Monte Carlo com 500 rodadas e o seu valor quadrático médio (RMS) calculado para cada código digital, respectivamente.

Figura 22 – Simulação de Monte Carlo - INL.



Fonte: Autor (2021)

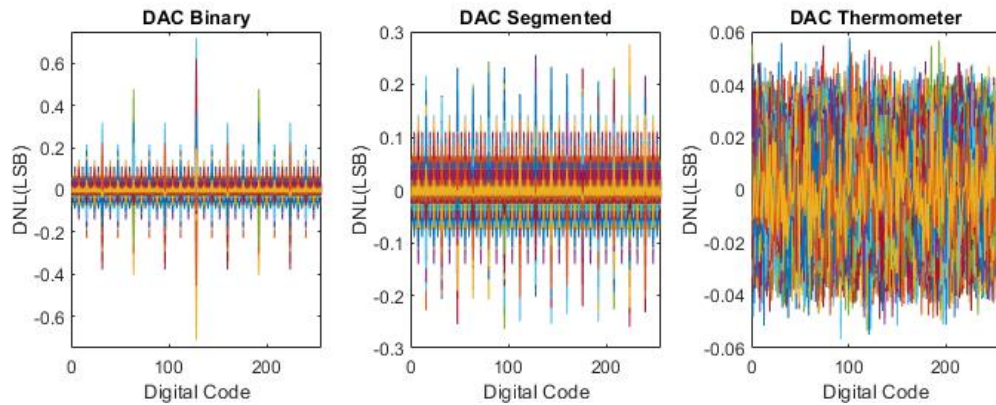
Figura 23 – Curvas RMS das amostras de Monte Carlo – INL RMS.



Fonte: Autor (2021)

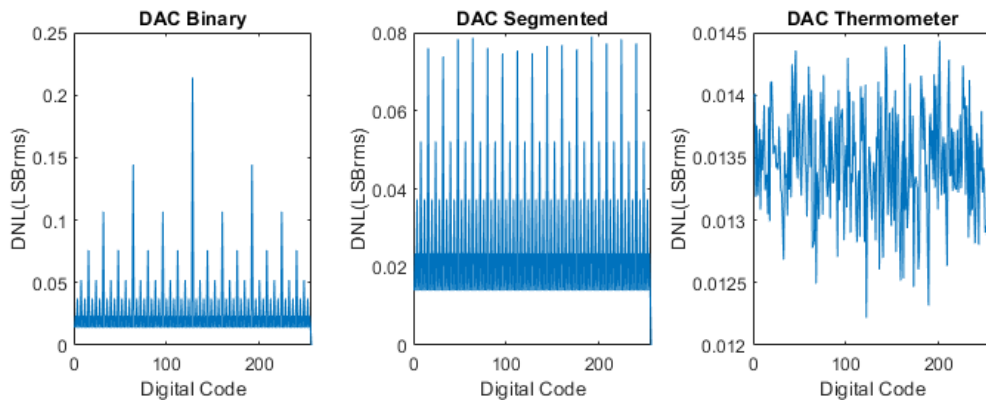
Semelhantemente, as figuras 24 e 25, apresentam a simulação de Monte Carlo para o DNL de cada DAC e o seu valor RMS calculado para cada código digital das 500 rodadas, respectivamente.

Figura 24 – Simulação de Monte Carlo - DNL.



Fonte: Autor (2021)

Figura 25 – Curvas RMS das amostras de Monte Carlo – DNL RMS.



Fonte: Autor (2021)

A partir desses resultados, observa-se que o INL dos três DACs são aproximadamente o mesmo, com apenas alguns *outliers*. É possível comparar esses resultados com a teoria apresentada por Manganaro (2012), em seu livro, (Ver tabela 2), no qual o erro de INL para os três tipos de DACs simulados são idênticos. Já o DNL varia de acordo com a implementação do DAC

Tabela 2 – Equações características para erros de INL e DNL.

	Thermometric	Segmented	Binary
σ_{INL}		$\frac{1}{2}\sigma_u\sqrt{2^n}$	
σ_{DNL}	$\simeq\sigma_u$	$\simeq\sigma_u\sqrt{2^{L+1}-1}$	$\simeq\sigma_u\sqrt{2^n-1}$
Number of switched elements	$2^n - 1$	$L + 2^M - 1$	n

Fonte: Manganaro (2012)

O erro de DNL é maior em DACs de pesos binários. Isso ocorre devido às fontes de corrente de pesos binários. O maior erro de DNL ocorre quando o MSB é ligado, e os demais bits do DAC são desligados (Baker, 2010).

Já no caso de um DAC tipo termômetro, a contribuição de cada fonte é a mesma para o erro de não linearidade das fontes de corrente, o que resulta em um DNL menor. Porém, a complexidade de construção de um decodificador de binário para termômetro e a quantidade de componentes necessários, torna inviável sua aplicação para resoluções mais elevadas.

O DAC do tipo segmentado, no caso especial deste trabalho, onde os 4 Bits mais significativos são controlados por um conversor do tipo termômetro e os 4 Bits menos significativos são destinados ao DAC do tipo binário, une as vantagens de cada topologia em um número menor de chaves e fontes, consumo e complexidade. O seu DNL é intermediário entre o DNL de um DAC de código termômetro e um DAC de pesos binários.

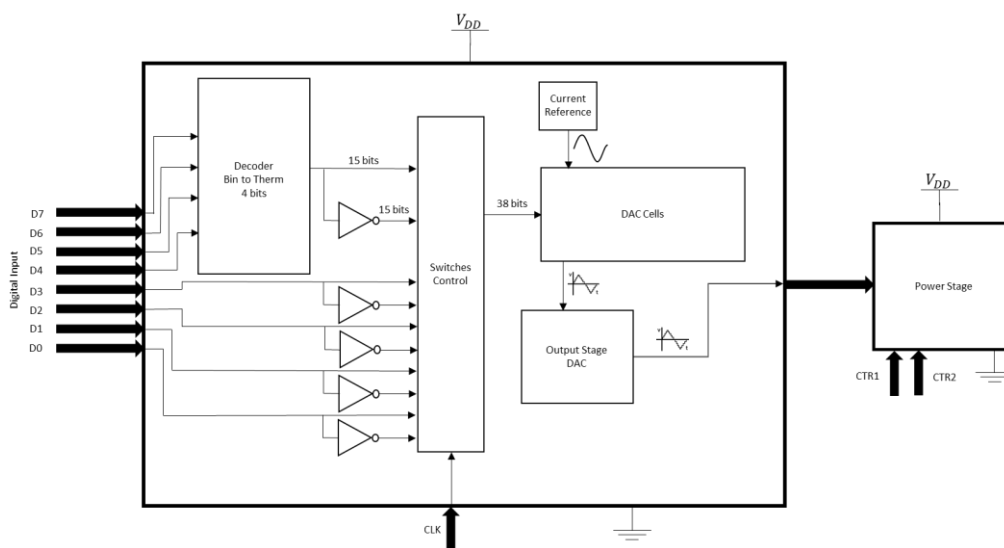
Logo, a partir desses dados podemos iniciar o processo de montagem do esquemático.

4.2 Implementação do DAC

Os sinais de código digital foram gerados por um ADC ideal de 8-bits, disponível na biblioteca da plataforma, o qual necessita de duas entradas, sendo elas, o relógio (*clock*), para determinar a taxa de amostragem, e o sinal a ser amostrado pelo conversor analógico para digital, de modo que após a conversão o código digital é diretamente ligado às portas de entrada do DAC.

A construção do DAC, se deu a partir do modelo proposto por Sajjad (2020), adaptando-o para segmentado. As chaves de controle são do tipo PMOS, pois os transistores ficam ligados quando a tensão de *gate* for igual a zero, facilitando o controle das células para que as fontes de corrente não fiquem em aberto. O diagrama dos blocos que integram este DAC é mostrado na figura 26 a seguir;

Figura 26 – Diagrama de blocos do DAC.

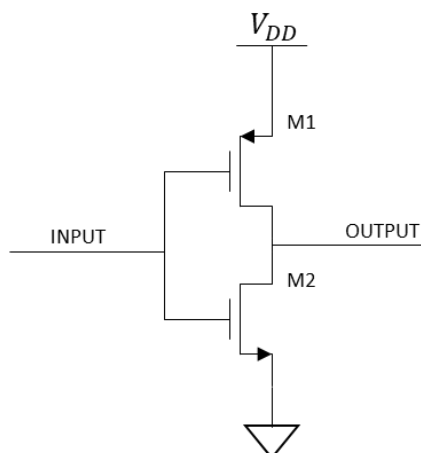


Fonte: Autor (2021)

Em virtude da particularidade construtiva deste conversor é preciso criar um desvio de corrente quando uma fonte de corrente é desconectada da saída, pois ao deixar uma fonte de corrente em aberto pode levar os transistores a entrar na região de triodo e levar a desestabilização da corrente da célula, sendo estabilizada após um tempo. Logo foi realizado um caminho *dump* para essa tarefa. Devido a esse desvio, o consumo de energia do DAC é comprometido.

Cada célula necessita de um sinal de controle e o seu complementar para realizar o chaveamento para o estágio de saída ou o caminho *dump* e assim foi construído um bloco inversor com transistores conforme a figura 27.

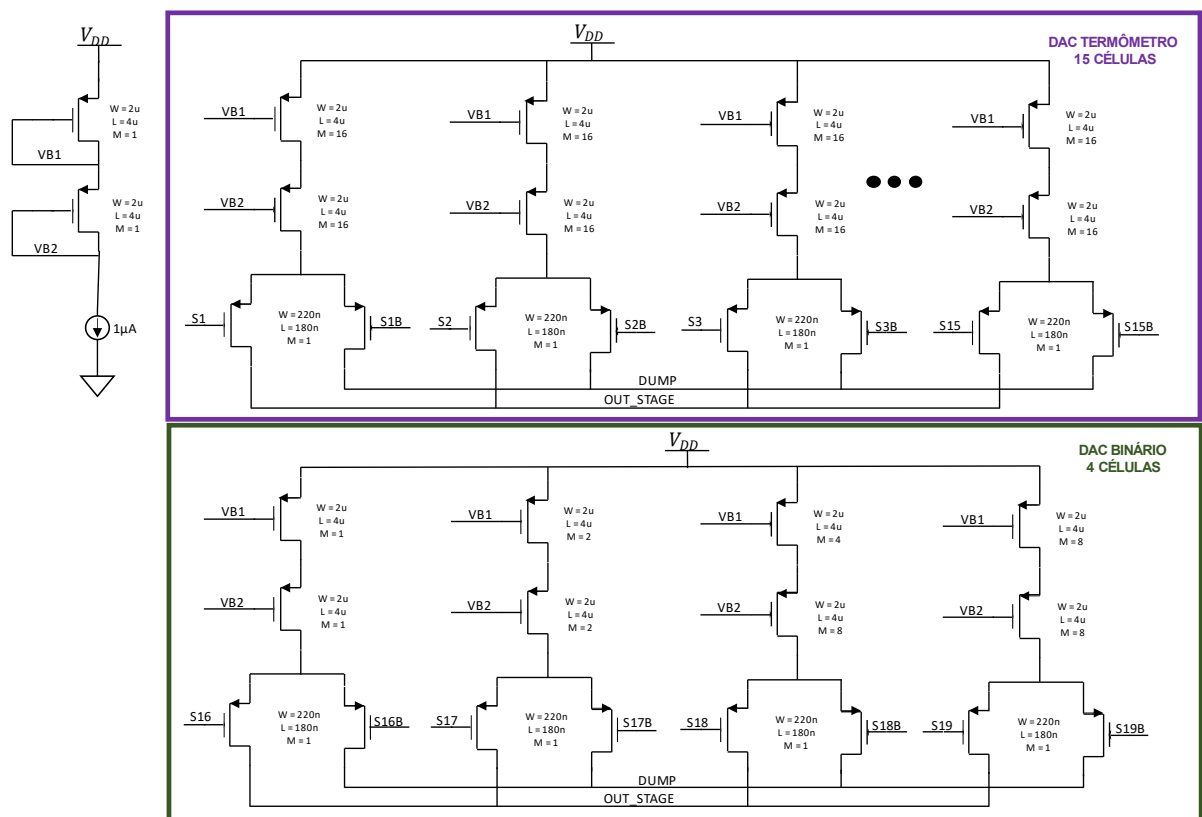
Figura 27 – Circuito lógico inversor com transistores CMOS.



Fonte: Autor (2021)

A corrente de referência é obtida através de uma fonte de corrente ideal que espelha os nós VB1 e VB2 às fontes de corrente de cada célula, conforme explanado no item 4.1. Em seguida, as chaves habilitam a passagem de corrente para o caminho de estágio de saída ou para o dump. Na figura 28 é mostrado o circuito equivalente do DAC deste trabalho. É importante observar que os nós OUT_STAGE e DUMP serão conectados à espelhos de corrente NMOS, que irão espelhar a corrente de saída para o estágio de potência.

Figura 28 – Esquemático do DAC segmentado deste trabalho.



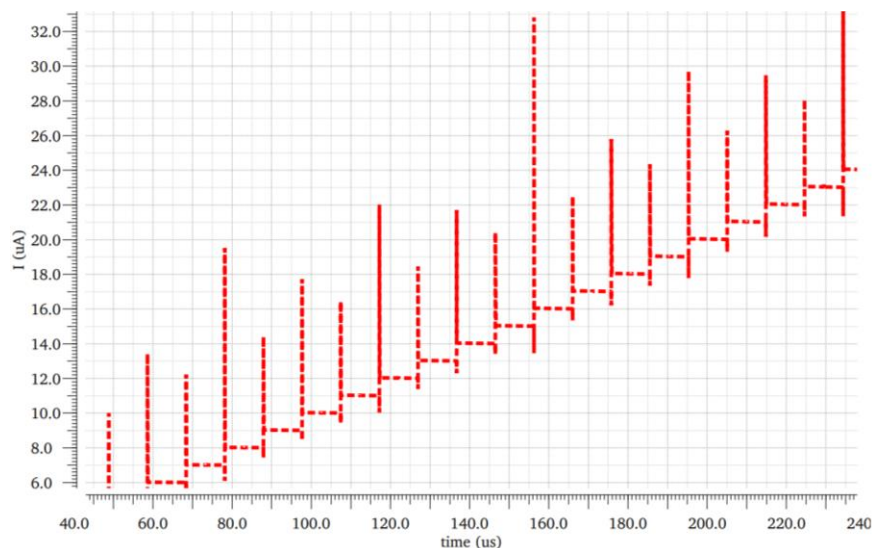
Fonte: Autor (2021)

Na figura 28, as dimensões dos transistores que fazem o papel de fonte de corrente são multiplicadas conforme é elevado o nível de conversão, ou seja, a corrente de referência é igual a corrente de LSB. Portanto, como definido, o DAC binário será responsável pelos 4 bits LSBs e o DAC termômetro pelos outros MSBs. Dessa forma, os múltiplos de cada transistor são alterados para alterar o peso da fonte, visando a maior uniformidade das características elétricas/construtivas para efeito de fabricação.

As dimensões das chaves de controle foram definidas a partir da análise do comportamento na mudança de estado de nível lógico alto para baixo e vice-versa, pois chaves com tamanhos elevados podem acarretar picos de corrente devido a sua característica capacitiva, pois em um transistor há capacitâncias mútuas entre seus terminais em razão do dielétrico formado pelos substratos P e N.

Logo, utilizando valores $W/L = 2\mu\text{m}/1\mu\text{m}$, a saída do DAC apresentou ruídos de chaveamento (Ver figura 29) por consequência da elevada capacitância da chave no momento de transição do código de entrada.

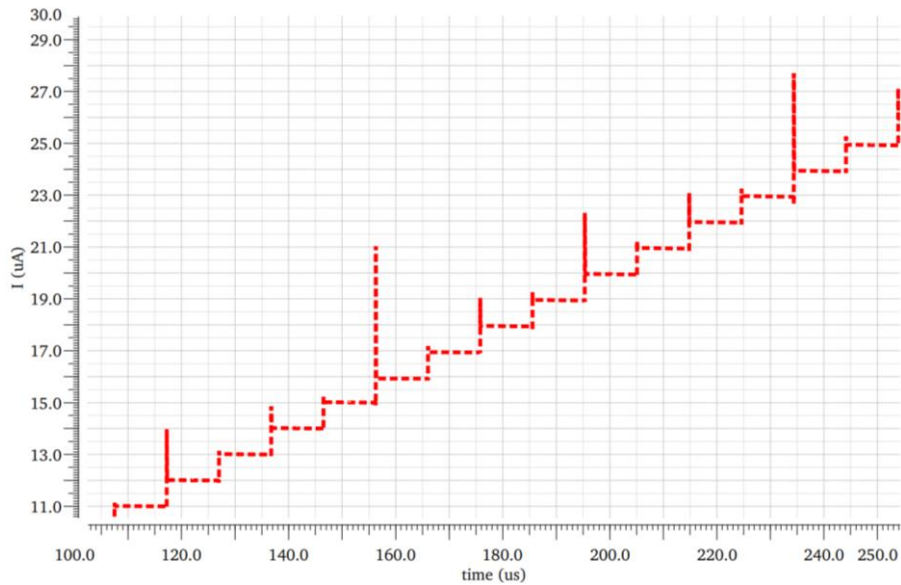
Figura 29 – Níveis de conversão com chaves com $W/L = 2\mu\text{m}/1\mu\text{m}$.



Fonte: Autor (2021)

Na figura 30, foi realizado a redução das dimensões do transistor, a fim de evitar os picos de corrente no instante da comutação. Todas as chaves das células do DAC foram reduzidas ao tamanho mínimo possível da tecnologia 220nm/180nm e como resultado a atenuação foi consideravelmente satisfatória. Perceba que há ruídos com amplitude menor, se comparado com a figura 29, nas comutações das células ligadas ao segmento binário. Isto se deve ao maior peso sobre as outras comutações e ocorrem no desligamento das respectivas fontes do caminho de saída, pois como mostrado no item 4.6.4 a fonte de corrente em si não é desligada, mas desviada da saída principal.

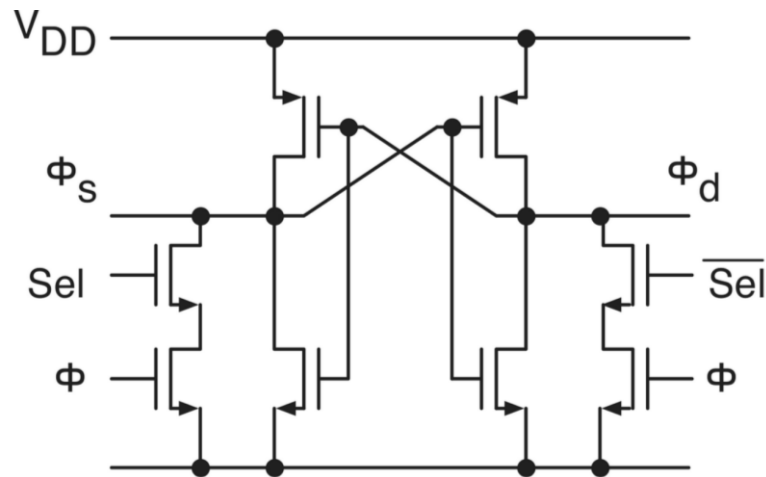
Figura 30 – Níveis de conversão com chaves com W/L 220nm/180nm.



Fonte: Autor (2021)

Além disso, houve uma preocupação com a possível tendência de haver o desligamento temporário da fonte de corrente, o que ocasionaria desestabilização e levaria os transistores a operarem na região de triodo e demorar para recuperar seu valor de corrente nominal. Sendo assim, foi implementado um bloco apresentado por Maloberti (2007), para os sinais de controle das chaves das fontes de corrente, de modo a evitar o desligamento das fontes de corrente. A figura 31 apresenta este circuito, onde Φ_s é o sinal digital de entrada, Φ_d é o sinal digital de entrada complementar, Φ é o clock do DAC de acordo com a frequência fundamental de conversão e as saídas SEL e \overline{SEL} irão ser conectadas às chaves de cada célula. As dimensões dos transistores foram definidas a fim de reduzir as capacitâncias das chaves com $W = 220\text{nm}$ e $L = 180\text{nm}$.

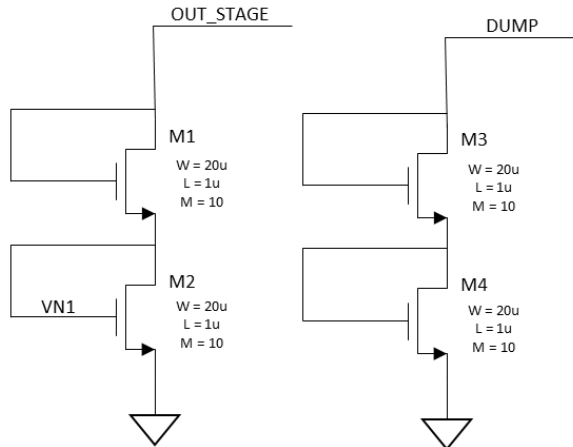
Figura 31 – Circuito para geração dos sinais de controle das chaves das fontes de corrente.



Fonte: Maloberti (2007)

O estágio de saída, que é conectado no nó OUT_STAGE, ver figura 28, é composto por dois transistores NMOS em conexão cascode ligados às células do DAC. Neste estágio, espelha-se a corrente de saída para um estágio de potência. Na figura 32 são apresentados os caminhos dump e estágio de saída.

Figura 32 – Estágio de saída e caminho Dump do DAC.

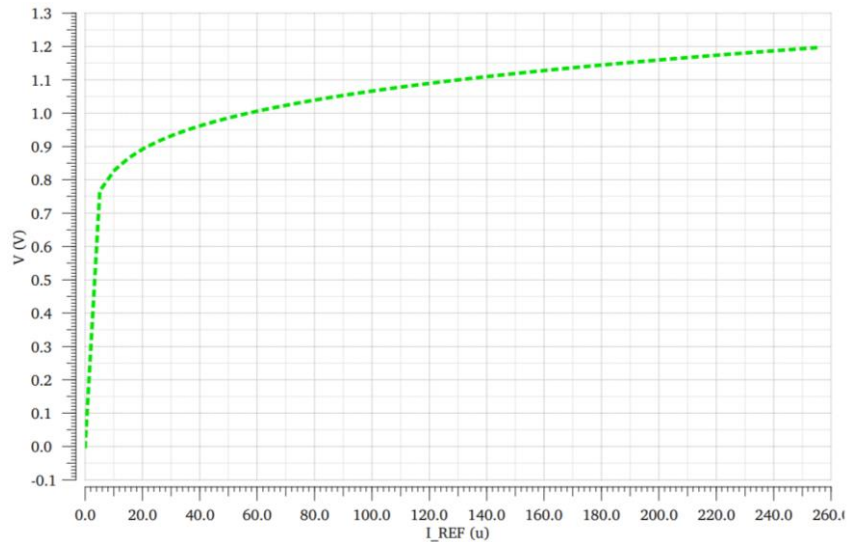


Fonte: Autor (2021)

Suas dimensões foram definidas, a partir da análise da curva de saída e verificando o comportamento da tensão sobre o espelho de corrente composto pelos transistores M1 e M2 (tensão entre o nó OUT_STAGE e o terra), conforme figura 33. Verifica-se que para uma corrente de 255 uA têm-se uma tensão no nó OUT_STAGE de

aproximadamente 1,2 V, ou seja, a tensão sobre as fontes de corrente e as chaves é de aproximadamente 600 mV.

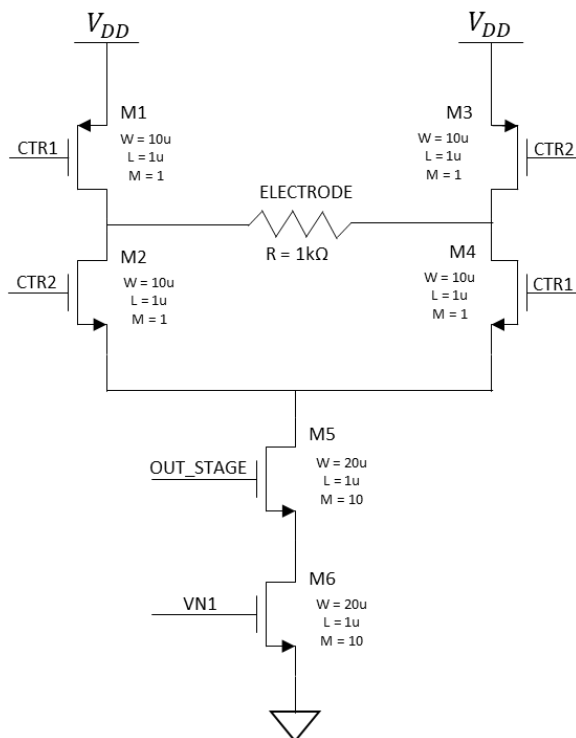
Figura 33 – Análise DC da tensão no nó OUT_STAGE em função da corrente de saída do DAC.



Fonte: Autor (2021)

O estágio de potência é apresentado na figura 34. O eletrodo é conectado entre os terminais de uma ponte H, que tem a função de polarizar diretamente e inversamente o eletrodo, de modo a alterar o sentido da corrente que passa sobre a carga. Isto possibilita a geração de uma alimentação bifásica que será aplicada no eletrodo. O eletrodo utilizado neste trabalho se baseia nos artigos de Hsieh (2021) e Yu (2020), que utilizam uma resistência de 1 k Ω .

Figura 34 – Estágio de potência conectado à carga.



Fonte: Autor (2021)

O estágio de saída possui uma fonte de corrente NMOS composta pelos transistores M5 e M6, que espelha a corrente de saída do DAC, possibilitando a replicação desta corrente sobre a carga.

As tensões de controle CTR1 e CTR2 controlam o sentido das correntes anódicas e catódicas do estimulador bifásico. Seus sinais podem ser originados de um gerador de sinais de acordo com a necessidade do tratamento. Como visto no item 2.7, há diversos períodos de controle para cada tipo de aplicação.

4.3 Decodificador Binário para Termômetro

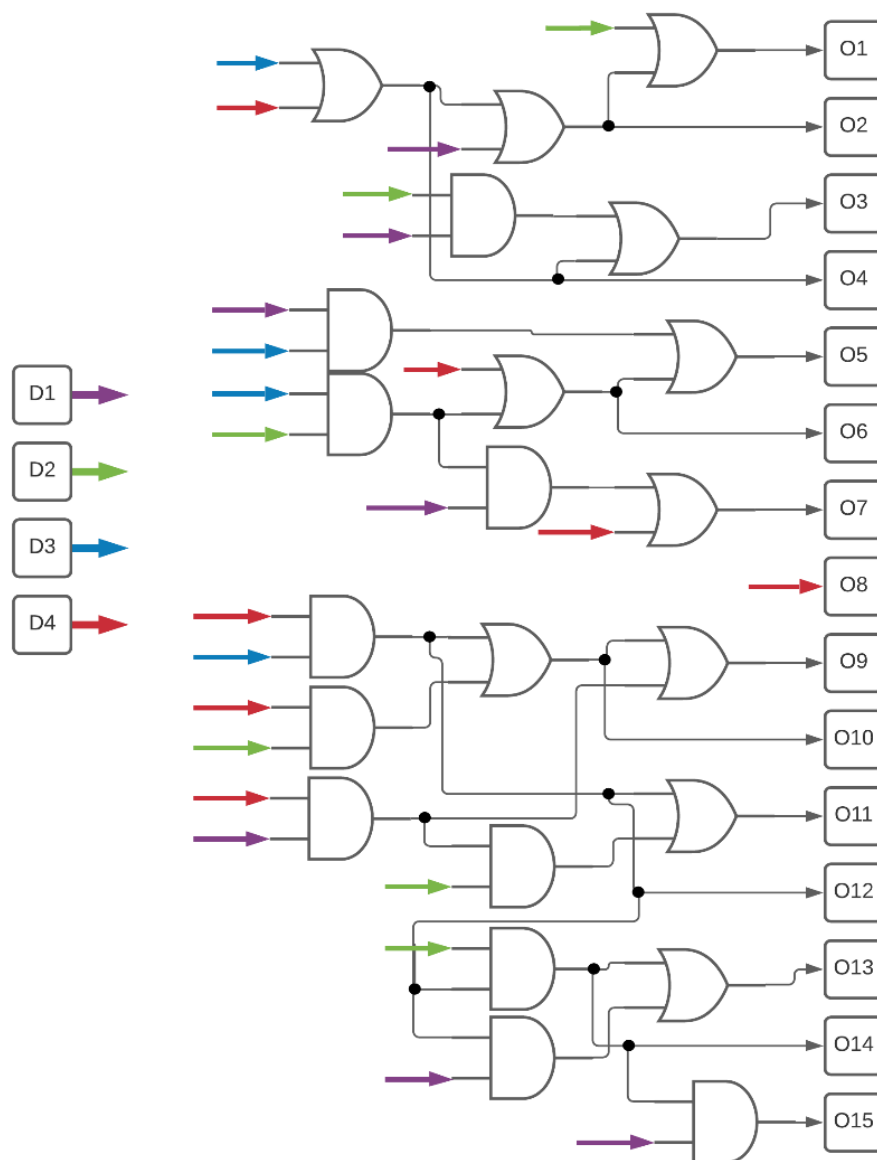
Um dos blocos responsáveis pelo controle do chaveamento do DAC segmentado é o decodificador binário para termômetro o qual irá receber os 4 bits mais significativos e controlar as 15 células do DAC.

A lógica por trás da decodificação é mostrada na figura 35, onde são utilizados transistores CMOS para criar portas lógicas E (*AND*) e OU (*OR*). Toda a lógica desenvolvida pelo autor foi derivada de uma tabela verdade para 4 entradas e 16 saídas. Foram projetadas portas *AND* e *OR* a partir de transistores PMOS/NMOS, utilizados

como chaves para comutação dos sinais digitais de entrada do DAC e realizada a união destes para formar o bloco decodificador.

Para a construção da porta *AND* foi implementado uma porta lógica NÃO E (*NAND*) com um inversor em série, e para as portas lógicas *OR* uma NÃO OU (*NOR*) com inversor na saída, devido a lógica de trabalho da tecnologia CMOS. Os transistores foram dimensionados para o mínimo efeito da capacitância das chaves com $W = 220\text{nm}$ e $L = 180\text{nm}$.

Figura 35 - Lógica para decodificação de código binário para termômetro.



Fonte: Autor (2021)

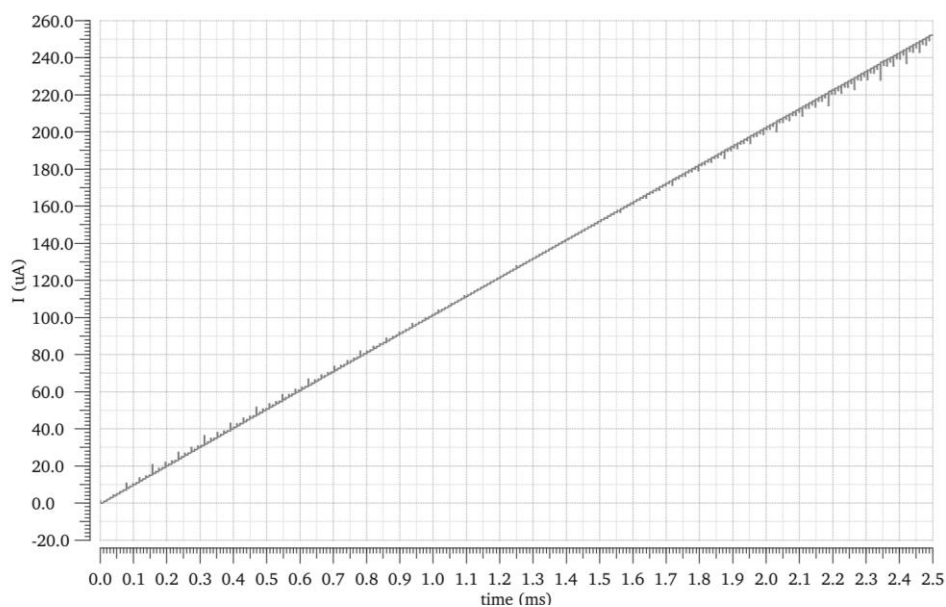
5 RESULTADOS

Nesta seção são apresentados os resultados de simulação do DAC segmentado de 8 bits desenvolvido neste trabalho.

5.1 Curva de Resposta

A curva que apresenta a resposta de toda faixa de trabalho do DAC é mostrada na figura 36. Nela é possível notar que há linearidade e baixo ruído de comutação das chaves. A simulação de transiente utiliza um sinal em rampa de período igual a 2.5ms, como descrito por Yu (2020) em seu trabalho, com uma frequência de chaveamento de 102,4 kHz.

Figura 36 – Curva de resposta da faixa de trabalho do DAC.



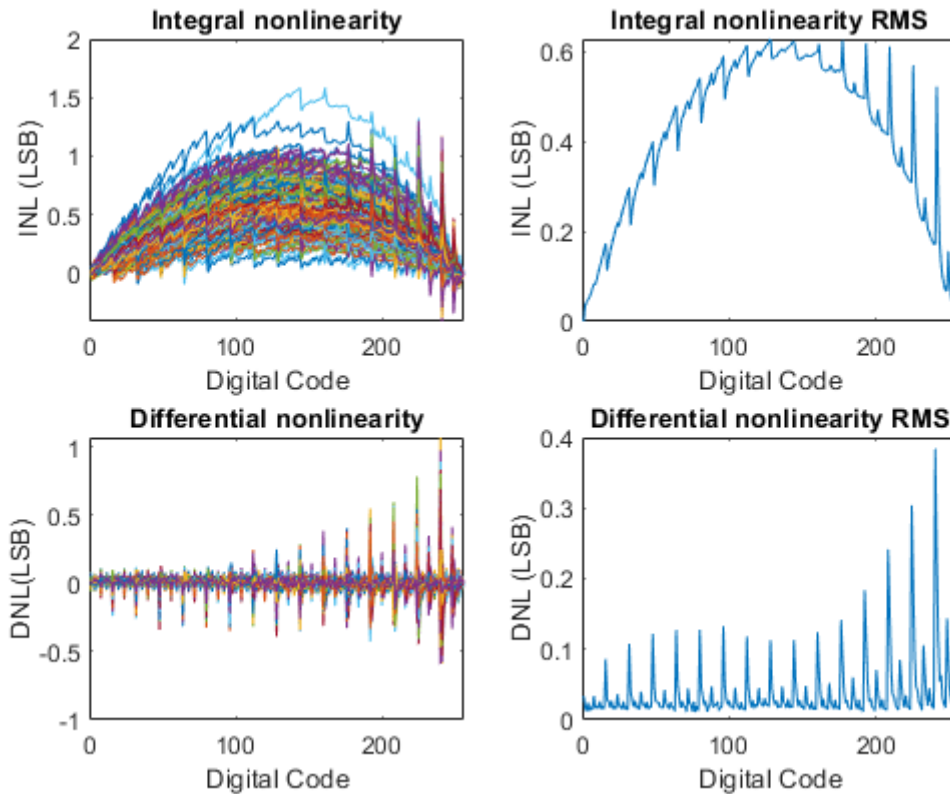
Fonte: Autor (2021)

5.2 Análise das características estáticas

A partir da definição final das características construtivas do DAC e o resultado satisfatório função de transferência do DAC, foram efetuadas simulações de Monte Carlo para avaliar a robustez do DAC sob variações de processos de fabricação e descasamento de transistores.

Para esta análise se utilizou de 500 amostras para efeito de comprovação da viabilidade do projeto para uma futura prototipação. Como realizado no item 4.1, agora com os resultados reais do circuito projetado, conforme mostrado na figura 37.

Figura 37 – Simulação de Monte Carlo para 500 rodadas - INL e DNL.



Fonte: Autor (2021)

Com esses resultados, é possível notar uma semelhança com os resultados obtidos por simulação, apenas utilizando o valor do desvio padrão da corrente das fontes. Nesse DAC o INL ficou abaixo de 1LSB em 99.6% das vezes e o DNL igualmente inferior a 1LSB.

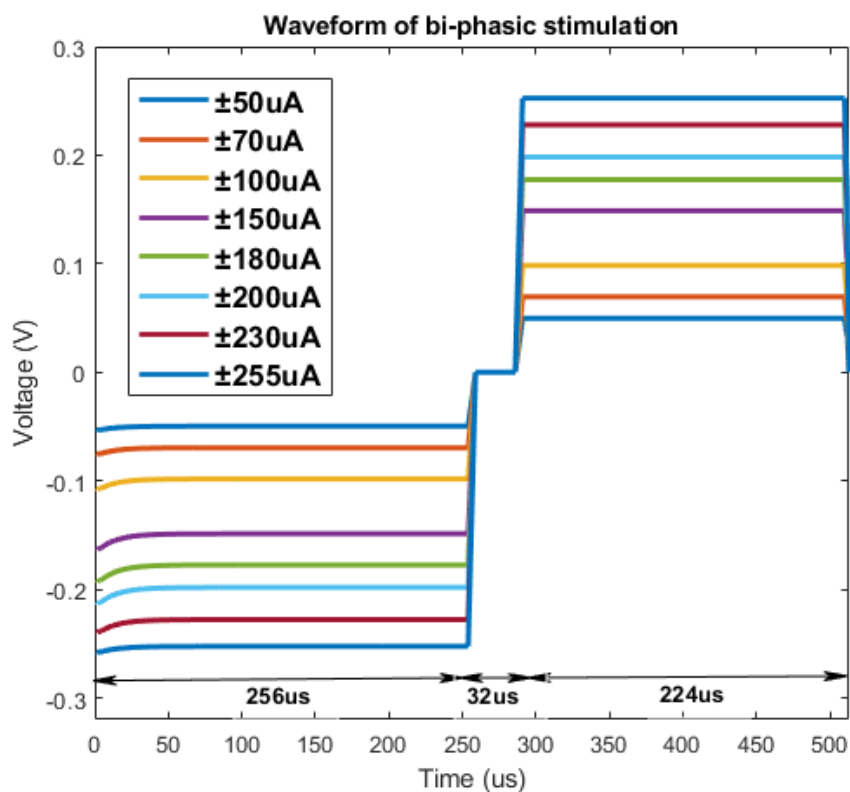
Um dado não encontrado na literatura revisada é o erro de ganho médio e o erro de offset médio, que para este DAC em 500 rodadas, foi de -3.17 LSB e de 2.31%, respectivamente. Ressaltando que o erro de ganho está relacionado diretamente com a incapacidade do DAC representar todos os níveis possíveis de saída sobrepondo uma curva característica de um DAC ideal (Ver figura 5).

5.3 Análise da tensão sobre a carga

Segundo Yu (2020), o estimulador neural utiliza de correntes bifásicas com períodos pré-definidos para os procedimentos terapêuticos. Em seu trabalho, é utilizado uma estimulação de duração de 512 μs divididos em três etapas de aplicação do sinal. Além disso, a estimulação é iniciada com baixas correntes e eleva-se até gerar o resultado pretendido.

Na figura 38 é mostrado o resultado de simulação obtido para pulsos do estimulador bifásico, com uma variação da corrente de excitação e sua respectiva tensão sobre o tecido cerebral. A frequência de estimulação é de 67 Hz.

Figura 38 – Forma do pulso do estimulador.



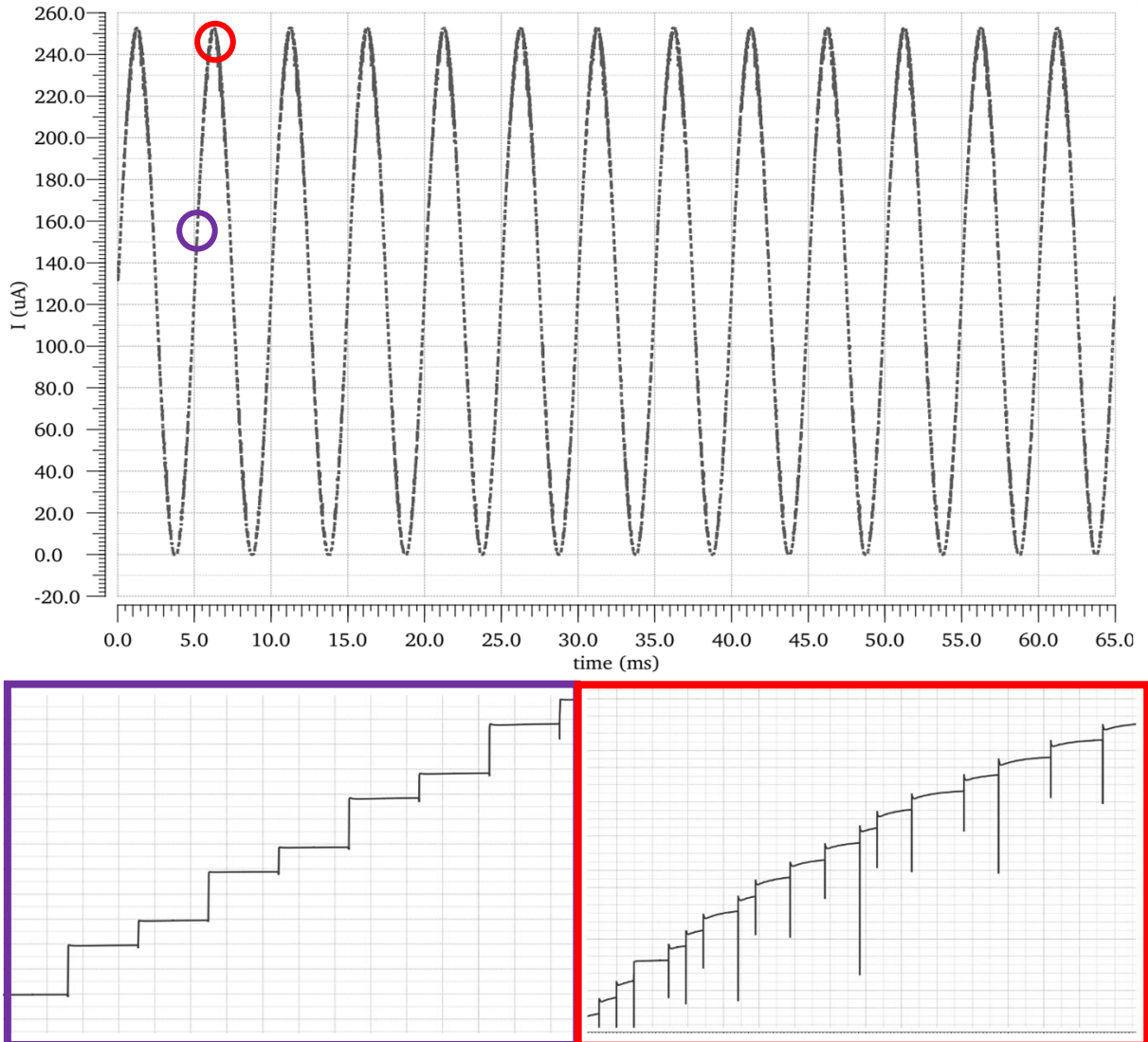
Fonte: Autor (2021)

5.4 Análise das características dinâmicas

O comportamento dinâmico do DAC foi verificado através de uma simulação transiente. Usou-se amostragem coerente, e para uma FFT com 4096 pontos, com 13

períodos de um sinal de entrada com frequência de 200 Hz, usou-se um clock de 63,015 kHz. A corrente de saída do DAC pode ser observada na figura 39.

Figura 39 – Corrente de saída do DAC para um sinal de entrada senoidal de 200 Hz.



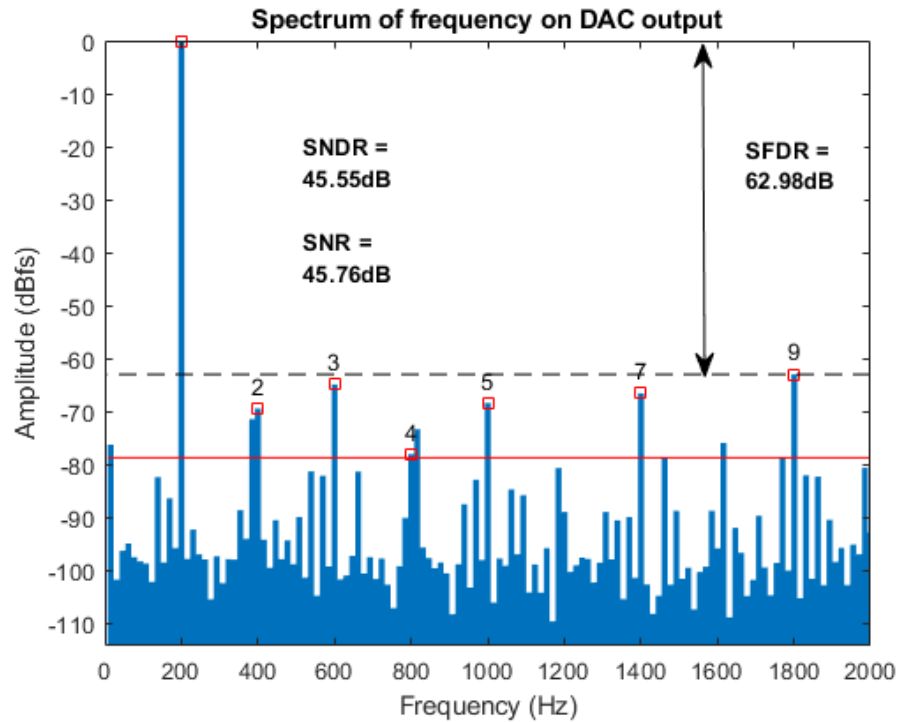
Fonte: Autor (2021)

Analisando esta forma de onda é possível notar que ao se aproximar dos picos da senoide, uma pequena distorção ocorre e a estabilização dos níveis não é instantânea como visto em outras áreas da forma de onda. Isso se deve, a redução da tensão V_{DS} sobre os transistores da fonte de corrente das células do DAC.

Após a amostragem, inseriu-se os dados em uma função para MATLAB desenvolvida por (Xlinkx, 2019) denominada “*PrettyFFT*”, que disponibiliza todos os dados para análise de um conversor de sinais, como SNR, SNDR, SFDR e ENOB, além de

realizar a plotagem do espectro de frequência da corrente de saída do DAC, conforme a figura 40.

Figura 40 – Espectro de frequências na saída do DAC.



Fonte: Autor (2021)

Desta figura, foi possível ver o desempenho do DAC. A largura de banda foi limitada até a próxima década do tom, ou seja, 2000 Hz e O SFDR foi analisado para esta faixa, pois para análises de largura de banda maiores aparecem componentes de alta frequência na ordem de -53 dBFS .

5.5 Comparativo de resultados e ficha técnica

A ficha técnica deste projeto e a comparação com trabalhos da área é mostrada na Tabela 3. Alguns dados essenciais para caracterização de um DAC não são apresentados pelos autores em seus artigos.

Tabela 3 – Comparação entre este trabalho com referências.

Parâmetros	Este Trabalho	Greenwald, E. et al (2017)	Chen, Z. (2011)	Tseng, W. et al (2011)	Sajjad, S (2020)
Topologia	Segmentado	R- β R	R-2R	Segmentado	M-2M
Referência	-	Direta	Indireta	Indireta	Indireta
Medição	Simulação	Real	Simulação	Simulação	Simulação
Modo de Estimulação	Bifásico	Bifásico	-	-	-
Arquitetura	0.18 μ m	0.18 μ m	0.5 μ m	0.09 μ m	0.13 μ m
Tensão de Alimentação	1.8V	3.3V	3.3V	2.5V	1.2V
Temperatura	37°C	-	-	-	-
Resolução	8-Bits	8-Bits	8-Bits	8-Bits	8-Bits
Corrente Máxima	\pm 255 μ A	\pm 255 μ A	400 μ A	20mA	20 μ A
Corrente LSB	1 μ A	1 μ A	1.56 μ A	78.125 μ A	78nA
Velocidade	200Hz	500Hz	10MHz	1.6MHz	10MHz
INL	1.5LSB	3LSB	0.3LSB	0.2LSB	2.5LSB
DNL	1LSB	0.3LSB	0.22LSB	0.04LSB	1.5LSB
SNR	45.76dB	-	-	-	-
SNDR	45.55dB	-	-	-	46.7dB
SFDR	62.98dB	-	-	-	56.2dB
ENOB	7.27bits	7bits	-	-	7.47bits
Erro de Ganho	-3.17LSB	-	-	-	-
Erro de Offset	2.31%	-	-	-	-

Fonte: Autor (2021)

6 CONSIDERAÇÕES FINAIS

A escolha do tema para este trabalho teve como ponto de partida a integração da área de microeletrônica, foco da graduação do autor e a aplicação sobre um tema relevante para a sociedade. O ramo da medicina neurológica provou ser uma decisão assertiva que contribui no reestabelecimento de pacientes acometidos por falhas derivadas do controle e percepção dos movimentos.

O projeto do DAC apresentado por este trabalho tem elevado potencial para realizar este tratamento terapêutico. Sua função de integrar parte de um sistema nervoso auxiliar ativo, que tem a tarefa de receber e enviar informações, realizando o processamento destes, reforça a necessidade de estudos e trabalhos com objetivo a recuperação das características originais de um sistema nervoso sadio.

A arquitetura do conversor segmentada, utilizando uma parte binária e outra termômetro, possibilitou a melhor relação entre complexidade *versus* consumo de energia / área, além dos resultados das características estáticas e dinâmicas serem compatíveis com a aplicação desejada, segundo a literatura.

Durante a implementação, foi necessário realizar modificações no projeto, a fim de contornar possíveis problemas advindos da comutação entre eles podemos citar a inclusão do atraso de comutação das chaves de cada célula e a redução para os níveis mínimos de tamanho dos transistores da tecnologia para contornar efeitos da capacitância sobre as chaves.

As não linearidades do DAC ficaram em consenso com trabalhos da área e a sua robustez para fins de fabricação, mostrou a pequena variabilidade sobre as especificações almejadas, sendo base para futuras melhorias e estudos mais avançados.

Dentre estes aperfeiçoamentos podemos citar: o desenvolvimento de uma fonte de corrente para realizar a referência deste DAC com calibração; Um gerador de sinais para o controle dos estímulos no estágio de potência, com possibilidade de ajuste manual do período de pulso para cada fase; Um filtro FPB para atenuar as componentes de alta frequência; Possibilidade da simplificação das células do DAC através da retirada do caminho dump, visto que a aplicação é para baixas frequências e o tempo necessário para a estabilização da corrente das fontes é desprezível; A realização de um leiaute do para fabricação em tecnologia CMOS 180nm; Estudo para outras aplicações na área de conversão de sinais.

REFERÊNCIAS

- AJIBOYE, B. et al. **Restoration of reaching and grasping movements through brain-controlled muscle stimulation in a person with tetraplegia: A proof-of-concept demonstration**, Lancet, 2017.
- ALLEN, P. E. *et al.* **CMOS Analog Circuit Design**. New York: Oxford University Press, 2002.
- BAKER, J. R. **CMOS Circuit Design, Layout, and Simulation**. Piscataway: Wiley-Interscience, 2010.
- CHEN, Z; DAI, F. F. **A 3mW 8-bit radiation-hardened-by-design DAC for ultra-wide temperature range from -180° C to 120° C**, IEEE International Symposium Circuits Systems, 2011.
- GEIGER, R. L.; ALLEN, P. E.; STRADER, N. R. **VLSI Design Techniques for Analog and Digital Circuits**. New York: McGraw-Hill, 1990.
- GREENWALD, E. et al. **A CMOS Current Steering Neurostimulation Array With Integrated DAC Calibration and Charge Balancing**, IEEE Transactions on Biomedical Circuits and Systems, 2017.
- GREGORIAN, R. **Introduction to CMOS OP-AMPS and comparators**. New York: Wiley-Interscience, 1999.
- HAYES, M. H. **Schaum's Outline: Digital Signal Processing**. New York: McGraw-Hill, 1999.
- HSIEH, C. KER, M.; **Monopolar Biphasic Stimulator with Discharge Function and Negative Level Shifter for Neuromodulation SoC Integration in Low Voltage CMOS Process**. IEEE Transactions on Biomedical Circuits and Systems, 2021.
- Kim, J. et al. **A 12-b, 1-GS/s 6.1 mW current-steering DAC in 14 nm FinFET with 80 dB SFDR for 2G/3G/4G cellular application**, IEEE Radio Frequency Integrated Circuits Symposium, 2017.
- KESTER, W. **The Data Conversion Handbook**. Boston: Newnes, 2005.
- KLEINER, A. et al. **O papel dos sistemas visual, vestibular, somatosensorial e auditivo para o controle postural**. São Paulo: Revista Neurociências, 2011.
- LIU, X. et al. **A Fully Integrated Sensor-Brain-Machine Interface System for Restoring Somatosensation**, IEEE Sensors Journal, 2021.
- MANGANARO, G. **Advanced Data Converters**. New York: Cambridge University Press, 2012.
- MALOBERTI, F., **Data Converters**, Springer, 2007.

MATTOS, G. A. **Projeto de um Conversor Analógico-Digital de baixo consumo utilizando a transformada Wavelet.** Brasília: UNB, 2018.

MENDONÇA, J.; **Sistema somatossensorial: tudo o que você precisa saber!** SanarMED - Anatomia de órgãos e sistemas, 2021.

XILINX. **Modeling-of-10-bit-Pipeline-ADC-and-10-bit-DAC.** GitHub, Califórnia, 07 de abr. de 2019. Disponível em: < <https://github.com/muhammadaldacher/Modeling-of-10-bit-Pipeline-ADC-and-10-bit-DAC/blob/master/Matlab/prettyFFT.m> >. Acesso em: 15 de set. de 2021.

NYQUIST, H. **Certain Factors Affecting Telegraph Speed.** Bell System Technical Journal, 1924.

OPPENHEIM, A. V; SCHAFFER, R. W. **Discrete-Time Signal Processing.** Upper Saddle River: Prentice Hall, 2010.

PLASSCHE, R. Van de. **CMOS integrated analog-to-digital and digital-to-analog converters.** Boston: Kluwer Academic Publishers, 2003.

SAJJAD, S.; MEHDI, S. **A Highly Linear 8-Bit M–2M Digital-to-Analog Converter for Neurostimulators.** IEEE Transactions on Circuits and Systems, 2020.

SAMANTA, S; SARKAR, S. **A 1.8 V 8-bit 500 MSPS Segmented Current Steering DAC with > 66 dB SFDR,** IEEE Computer Society Annual Symposium on VLSI, 2020.

TSENG, W. H. et al. **A CMOS 8-bit 1.6-GS/s DAC with digital random return-to-zero.** IEEE Transactions on Circuits and Systems, 2011.

VASCONCELLOS, R. D. **Projeto de um conversor analógico/digital por aproximações sucessivas de 12-bits.** Belo Horizonte: UFMG, 2011.

YU, Z., et al; **MagNI: A Magnetoelectrically Powered and Controlled Wireless Neurostimulating Implant.** IEEE Transactions on Biomedical Circuits and Systems, 2020.